

Д.З. Джурунтаев

СХЕМОТЕХНИКА

Учебник

Рекомендовано Министерством образования и науки
Республики Казахстан
в качестве учебника для студентов
технических специальностей вузов Казахстана

Алматы, 2014
Эверо

УДК 378(075.8):004
ББК 32.844 я 7
Д 40

Учебник является победителем республиканского конкурса на разработку и издание учебников и учебно-методической литературы и перевод учебников на государственный язык для высших учебных заведений.

Рецензент: Бериккулы Алимжан – к.т.н., зав. кафедры электроники и компьютерных технологий АИЭС

Джурунтаев Д.З.

Д 40 Схемотехника – Учебник для студентов технических специальностей вузов Казахстана. Алматы: издательство «ЭВЕРО», 2014. – 268 с.

ISBN 9965-680-97-3

В учебнике дается систематизированное изложение вопросов, отражающих современные тенденции в развитии цифровой и аналоговой схемотехники.

В первой части рассматриваются схемотехника базовых логических элементов и типовых функциональных узлов цифровых устройств ЭВМ. Особое внимание уделяется вопросам схемотехнической реализации и структурным особенностям полупроводниковых запоминающих устройств ЭВМ, программируемых логических матриц и базовых матричных кристаллов, а также обсуждаются вопросы проектирования современных СБИС программируемой логики.

Во второй части рассматриваются принципы построения и работы нелинейных преобразователей аналоговых сигналов, компараторов и цифро-аналоговых и аналого-цифровых преобразователей.

Предназначен для студентов, обучающихся по специальностям 050704 – “Вычислительная техника и программное обеспечение” и 050703 – “Информационные системы”, а также может быть полезен для студентов специальностей радиоэлектронного и телекоммуникационного направлений.

ББК 32.844 я 7

Д $\frac{4310020000}{00(14)-14}$

ISBN 9965-680-97-3

© Министерство образования и науки Республики Казахстан, 2014

ПРЕДИСЛОВИЕ

Современные интегральные схемы (ИС) позволяют создавать сложные, высокотехнологичные и надежные цифровые и аналоговые устройства, широко применяемые для преобразования и обработки сигналов.

Залогом высокой надежности функционирования цифровых и аналоговых электронных устройств является правильное использование в них интегральных микросхем и соблюдение режимов их эксплуатации: нарушение же этих условий из-за недостаточного знания технических характеристик, электрических параметров, принципов построения и режимов их работы чаще всего и приводит к неисправностям и отказу. Поэтому ознакомление с техническими характеристиками ИС, функциональным составом серий, особенностями их применения, а также изучение принципов построения и режимов работы схем базовых элементов и типовых узлов аналоговых и цифровых устройств во всем их многообразии имеют важное практическое значение, и рассмотрение этих вопросов является одной из основных задач настоящего учебника. В учебнике дается систематизированное изложение вопросов микроэлектроники и схемотехники – динамично развивающейся области науки и техники, играющей особую роль в развитии современных средств вычислительной техники.

Учебник состоит из двух частей: в первой – рассматривается элементная база цифровых устройств ЭВМ, а во второй – обсуждаются вопросы построения аналоговых электронных устройств, а также аналого-цифровых и цифро-аналоговых преобразователей. При рассмотрении этих вопросов предполагается, что читатель знаком с основами электроники и теории электрических цепей, а также законами и правилами алгебры логики. Материалы, изложенные в данном учебнике, имеют логическую последовательность и в сжатой и доступной форме отражают все разделы программы курса.

В первой главе дается классификация ИС и рассматриваются их основные параметры и условные обозначения.

Во второй главе дается систематизированное изложение вопросов схемотехнической реализации и принципов работы базовых логических элементов ЭВМ.

В главах 3 и 4 подробно описываются методика и принципы работы схем функциональных узлов, широко применяемых в устройствах цифровой обработки данных для выполнения таких

типовых функций, как, например, дешифрирование, мультиплексирование, подсчет импульсов, сравнение и суммирование двоичных сигналов и т. д.

В главе 5 “Полупроводниковые запоминающие устройства” рассматриваются основные параметры, классификация и структуры запоминающего устройства (ЗУ), вопросы кэширования оперативного ЗУ, особенности и схемотехника ЗУ статического и динамического типов (SRAM и DRAM) и энергонезависимых ЗУ типа: ROM, PROM, EPROM и EEPROM.

В последующих двух главах (6 и 7) рассматриваются схемотехника программируемых логических матриц (ПЛМ) и конструктивные особенности базовых матричных кристаллов (БМК), которые служат основой (полуфабрикатом) для создания полужаказных БИС и СБИС. Здесь же обсуждаются конструктивно-технологические и схемотехнические особенности современных БИС и СБИС с программируемыми и репрограммируемыми структурами.

В главе 8 даются основные параметры и структурная схема операционных усилителей (ОУ), которые являются элементной базой большинства современных аналоговых электронных устройств.

В главах 9 и 10 обсуждаются вопросы построения на основе ОУ различных аналоговых электронных устройств: типовых узлов для преобразования аналоговых сигналов, активных фильтров и аналоговых компараторов, даются их схемы и определяются передаточные функции.

В главе 11 дается классификация и рассматриваются основные характеристики и схемотехника цифро-аналоговых и аналого-цифровых преобразователей.

Усвоение материала, изложенного в учебнике, позволяет осуществить правильный выбор схемотехнических вариантов построения электронных устройств, модернизировать их, проектировать новые устройства с улучшенной характеристикой и применять их на практике.

Учебник предназначен для студентов вузов, обучающихся по специальностям 050704 – “Вычислительная техника и программное обеспечение” и 050703 – “Информационные системы”, а также он может быть полезен для студентов специальностей радиоэлектронного и телекоммуникационного направлений.

Автор благодарит рецензентов за ряд ценных замечаний, способствовавших улучшению книги.

ВВЕДЕНИЕ

Бурное развитие микроэлектроники, достигнутое благодаря прогрессу в области технологии и схемотехники, привело к быстрому повышению степени интеграции интегральных схем (ИС). Современные ИС позволяют создавать сложные цифровые и аналоговые электронные устройства, которые характеризуются высокой надежностью, малыми габаритами, высоким быстродействием и т. д. Наибольшее распространение получили цифровые ИС, которые широко применяются для преобразования и цифровой обработки сигналов (информации). Интегральные схемы, используемые в аналоговых электронных устройствах, предназначены для преобразования и обработки сигналов, изменяющихся по закону непрерывной функции.

По степени интеграции цифровые ИС условно разделяются на следующие уровни: малые, средние, большие и сверхбольшие ИС (МИС, СИС, БИС, СБИС, соответственно). ИС малой и средней степени интеграции, содержащие десятки и сотни элементов, используются при разработке базовых и типовых схем, выполняющих функции простых логических элементов (И – НЕ, ИЛИ – НЕ, И – ИЛИ – НЕ и др.) и функциональных узлов (регистров, счетчиков, распределителей сигналов, дешифраторов, мультиплексоров и др.). С появлением БИС и СБИС со степенью интеграции от десятков и сотен тысяч до миллионов (и более) элементов стала возможной разработка и размещение на одном кристалле схем крупных блоков и устройств ЭВМ и даже систем в целом. Примером таких СБИС являются микропроцессорные СБИС (МП СБИС), СБИС ЗУ, СБИС программируемой логики (СБИС ПЛ) и т. д. Большим достоинством МП СБИС и СБИС ЗУ и им подобных СБИС является их универсальность (кристаллы БИС/СБИС ПЛ, так называемые полуфабрикаты, в некотором смысле также обладают свойством универсальности), что позволяет выпускать их в очень большом количестве и ассортименте и на их основе создавать сложные, высокотехнологичные и надежные цифровые электронные устройства вычислительной техники (ВТ) и микропроцессорных систем. Это обстоятельство создало реальную возможность широкого применения современной электронной аппаратуры в различных сферах жизни и деятельности человека: производстве, обработке информации, управлении и быту.

Качественное проектирование цифровых устройств вычислительной техники и микропроцессорных систем практически невозможно без хорошего знания номенклатуры и характеристик (в том числе электрических параметров) базовых элементов и узлов устройств цифровой аппаратуры.

В качестве базовых элементов цифровых устройств используются элементы ТТЛШ, ЭСЛ, ИИЛ (изготавливаемые по биполярной технологии) и элементы на основе nМОП- и КМОП-структур. Для схем элементов ТТЛШ и ЭСЛ, управляемых токами, характерно высокое быстродействие, большая потребляемая мощность и их применение для создания СБИС связано с рядом проблем, в частности, с неэффективными затратами площади кристалла, сложными технологическими процессами их изготовления и т. д. Интегральные схемы nМОП- и КМОП (CMOS)-элементов, управляемые напряжением, имеют меньшее быстродействие по сравнению с элементами ТТЛШ и ЭСЛ. Однако технологические процессы изготовления nМОП и КМОП ИС проще, а также интеграция МОП-транзисторов производится легче, поэтому они в настоящее время широко используются для создания СБИС. Элементы КМОП отличаются также очень низкой потребляемой мощностью (потребление мощности имеет место только во время переключения элемента), высокой помехозащищенностью и т. д.

Применение ИС также позволило упростить проектирование сложных аналоговых электронных устройств, повысить надежность и точность. В настоящее время на основе биполярных и МОП ИС создан большой ассортимент интегральных универсальных операционных усилителей, которые являются элементной базой большинства аналоговых электронных устройств, таких как компараторы, нелинейные преобразователи, активные фильтры, источники тока и напряжения, цифро-аналоговые и аналого-цифровые преобразователи и т. д. Использование интегральных схем ОУ позволило упростить структуру этих аналоговых устройств, повысить их надежность и точность.

В настоящее время БИС и СБИС, наряду с интегральными схемами малой и средней степени интеграции, стали основной элементной базой современных средств цифровой вычислительной и аналоговой техники.

ЧАСТЬ ПЕРВАЯ

ЦИФРОВАЯ СХЕМОТЕХНИКА

1. КЛАССИФИКАЦИЯ ИНТЕГРАЛЬНЫХ СХЕМ И ИХ ОСНОВНЫЕ ПАРАМЕТРЫ

Интегральные схемы, изготавливаемые на основе полупроводниковой технологии, широко применяются в современных электронных устройствах для выполнения различных функций. Основными функциями, выполняемыми ИС, называемыми также интегральными микросхемами, являются обработка и преобразование электрических сигналов, задаваемых в виде напряжения или тока. Электрические сигналы могут представлять собой информацию в аналоговой или цифровой форме. Интегральные схемы, выполняющие обработку этой информации, называются соответственно *аналоговыми* или *цифровыми*.

По типу основного активного компонента различаются биполярные ИС (на биполярных транзисторах) и МДП ИС (на МДП-транзисторах). Биполярные ИС, как правило, характеризуются высоким быстродействием и большой потребляемой мощностью. Процесс изготовления их весьма сложен и требует применения кристаллов большой площади. В этом отношении МДП-структуры являются их противоположностью. Именно поэтому в СБИС более широкое применение находят МДП-транзисторы. Таким образом, в тех случаях, когда требуется высокое быстродействие, т. е. функционирование на высокой частоте, применяются ИС на биполярных транзисторах, а когда к схеме не предъявляются особые требования в отношении быстродействия, тогда применяются МДП ИС, которые обеспечивают сравнительно малую потребляемую мощность и имеют низкую стоимость.

1.1. Аналоговые интегральные схемы

Аналоговые ИС применяются для разработки самых различных аналоговых электронных устройств, предназначенных для усиления, сравнения, обработки, преобразования и т. д. сигналов, изменяющихся по закону непрерывной функции. В настоящее время

разработано большое число аналоговых микросхем как общего применения, так и специального назначения. К ним в первую очередь относятся аналоговые микросхемы операционных усилителей (ОУ), компараторов и преобразователей аналоговых сигналов, стабилизаторов напряжения, применяемых в цепях питания. Большую группу составляют специализированные аналоговые ИС, предназначенные для выполнения различных радиотехнических преобразований на основе аналоговых перемножителей, например, амплитудных и фазовых модуляторов и демодуляторов (детекторов), а также для построения бытовой аппаратуры. Однако, несмотря на различия применяемых аналоговых ИС и их функционального назначения и технологии изготовления, основой большинства из них является схемотехника операционных усилителей (ОУ), реализуемых на основе дифференциальных усилителей постоянного тока. Операционные усилители являются основными схемотехническими элементами современной интегральной аналоговой электроники. Поэтому характеристики большинства аналоговых электронных устройств определяются основными параметрами ОУ, к которым относятся:

- коэффициент усиления по напряжению;
- входное сопротивление;
- выходное сопротивление;
- полоса усиливаемых частот.

Применение аналоговых ИС достаточно специфично и оставляет большой простор для творчества разработчика. Он должен знать внутреннюю схемотехнику и конструкцию аналоговых ИС, свойства типовых схем и условия их применения, а также методы быстрой оценки основных характеристик разрабатываемого устройства.

1.2. Цифровые интегральные схемы и их основные параметры

В отличие от аналоговых ИС, выбор цифровых интегральных микросхем с нужными свойствами достаточно формализован и практически не представляет труда. Цифровыми ИС называются микросхемы, предназначенные для преобразования и обработки сигналов, представленных в двоичном или другом цифровом коде.

Схемотехническая реализация всего многообразия цифровых ИС осуществляется на основе логических элементов (ЛЭ), которые

представляют собой логические схемы, выполняющие элементарные логические функции (конъюнкцию, дизъюнкцию, инверсию и др.). Постоянное повышение требований к увеличению быстродействия и уменьшению потребляемой мощности средств вычислительной техники привело к созданию различных цифровых ИС, которые, как и аналоговые ИС, разрабатываются и выпускаются сериями. Серия представляет собой комплект ИС, имеющих единое конструктивно-технологическое исполнение.

В состав серий цифровых ИС наряду с логическими элементами, триггерными, комбинационными и последовательностными схемами, реализующими функции: хранения, шифрования, дешифрования, мультиплексирования, подсчёта и распределения импульсов и т. д., входят также микросхемы, представляющие собой целые узлы и блоки арифметических и запоминающих устройств.

В настоящее время наиболее широкое применение в цифровой вычислительной технике получили серии биполярных ИС ТТЛ, ЭСЛ и ИИЛ, а также схемы на основе nМОП-транзисторов и КМДП (комплементарных МДП)-структур.

Современная технология позволяет изготавливать сверхбольшие интегральные схемы (СБИС), содержащие десятки миллионов элементов, которые широко применяются в малогабаритных, высоконадёжных, быстродействующих и экономичных цифровых вычислительных устройствах и системах для выполнения самых сложных операций обработки и преобразования информации. Рост уровня интеграции в настоящее время даёт возможность размещать на кристалле схемы, сложность которых сопоставима целым системам, включая память и процессоры. При этом практически любые сложные операции преобразования и обработки в конечном счете сводятся к простейшим операциям НЕ, И – НЕ, ИЛИ – НЕ и т. д., выполняемым логическими элементами. Основные электрические параметры этих ЛЭ, называемых базовыми функциональными элементами, определяют характеристики более сложных по уровню интеграции и функциональному назначению ИС, входящих в состав серии. Параметры ЛЭ, которые делятся на статические и динамические, позволяют сравнивать между собой ИС различных типов и серий и определяют возможности их совместной работы в составе одной аппаратуры.

К основным статическим параметрам относятся:

- входные и выходные напряжения логического 0 и логической 1 ($U_{ВХ}^0, U_{ВХ}^1, U_{ВЫХ}^0, U_{ВЫХ}^1$);
- входные и выходные пороговые напряжения логического 0 и логической 1 ($U_{ВХ П}^0, U_{ВХ П}^1, U_{ВЫХ П}^0, U_{ВЫХ П}^1$);
- входные и выходные токи логического 0 и логической 1 ($I_{ВХ}^0, I_{ВЫХ}^0, I_{ВЫХ}^1$);
- помехоустойчивость;
- нагрузочная способность;
- потребляемая мощность.

Параметры ЛЭ определяются по его передаточной характеристике, которая представляет собой зависимость выходного напряжения $U_{ВЫХ}$ от напряжения $U_{ВХ}$ на одном из входов при постоянных значениях напряжения ($U_{ВХ}^0$ или $U_{ВХ}^1$) на остальных входах.

В качестве примера передаточная характеристика ЛЭ с инвертирующим выходом (НЕ, И – НЕ, ИЛИ – НЕ) приведена на рис. 1.1. На передаточной характеристике выделены три участка:

- участок I, соответствующий состоянию лог. 1 ($U_{ВЫХ} = U_{ВЫХ}^1$);
- участок II, соответствующий состоянию лог. 0 ($U_{ВЫХ} = U_{ВЫХ}^0$);
- участок III, называемый зоной неопределённости, причём значения напряжения $U_{ВХ}$, соответствующие границам этой зоны, называются пороговыми напряжениями переключения $U_{ВХ П}^0$ и $U_{ВХ П}^1$.

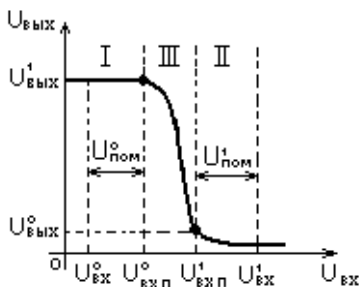


Рис. 1.1. Передаточная характеристика инвертирующего ЛЭ

В практических схемах вход одного элемента подключен к выходу другого ЛЭ, поэтому уровни логического 0 и логической 1 входного и выходного напряжений, соответственно, равны между

собой, т. е., $U_{\text{вх}}^0 = U_{\text{вых}}^0$ и $U_{\text{вх}}^1 = U_{\text{вых}}^1$. Причём разность напряжений $U_{\text{вых}}^1$ и $U_{\text{вых}}^0$, обозначаемая как $U_{\text{л}} = U_{\text{вых}}^1 - U_{\text{вых}}^0$, называется логическим перепадом. При определении статической помехоустойчивости под этими уровнями напряжений подразумевают максимальный уровень напряжения логического 0 ($U_{\text{вх max}}^0$, $U_{\text{вых max}}^0$) и минимальный уровень напряжения логической 1 ($U_{\text{вх min}}^1$, $U_{\text{вых min}}^1$), соответственно. Так как ЛЭ в статическом режиме может находиться в одном из двух состояний («0» или «1»), различают статическую помехоустойчивость по уровню «0» ($U_{\text{пом}}^0$) и по уровню «1» ($U_{\text{пом}}^1$). Величину этих параметров определяют согласно выражениям (рис. 1.1):

$$\begin{aligned} U_{\text{пом}}^0 &= U_{\text{вх п}}^0 - U_{\text{вх}}^0 = U_{\text{вх п}}^0 - U_{\text{вых max}}^0; \\ U_{\text{пом}}^1 &= U_{\text{вх}}^1 - U_{\text{вх п}}^1 = U_{\text{вых min}}^1 - U_{\text{вх п}}^1. \end{aligned}$$

Таким образом, статическая помехоустойчивость определяет максимально допустимую величину напряжения помехи ($U_{\text{пом}}^0$ или $U_{\text{пом}}^1$), при подаче которого на вход ЛЭ относительно уровня «0» или «1» не происходит его ложное срабатывание.

Входные и выходные токи ($I_{\text{вх}}^0$, $I_{\text{вх}}^1$, $I_{\text{вых}}^0$, $I_{\text{вых}}^1$) ЛЭ, которые в зависимости от уровня напряжения на его выходе могут быть как втекающими, так и вытекающими, характеризуют нагрузочную способность ЛЭ. При высоком уровне выходного напряжения из элемента-источника ток вытекает и поступает на входы всех n ЛЭ, выполняющих функцию нагрузок. Если элементы-нагрузки однотипные, тогда коэффициент нагрузки n определяется как $n = I_{\text{вых}}^1 / I_{\text{вх}}^1$.

Аналогично рассуждая, можно определить нагрузочную способность элемента-источника для случая, когда он находится в состоянии логического нуля $n = I_{\text{вых}}^0 / I_{\text{вх}}^0$.

Логические элементы при работе в составе цифрового устройства могут находиться либо в статическом режиме, который характеризуется одним из двух состояний («0» или «1»), либо в стадии переключения. Обычно ЛЭ, выполненные по биполярной схмотехнологии, потребляют в основном мощность в статическом режиме, которая лишь незначительно увеличивается в динамическом режиме. Другие, например, КМДП-элементы, наоборот, характеризуются очень незначительной мощностью в статическом режиме и некоторым увеличением её во время переходных процессов. Биполярные логические элементы с малым потреблением мощности в

динамическом режиме характеризуются средней потребляемой мощностью $P_{\text{пот ср}} = 0,5 (P_{\text{пот}}^0 + P_{\text{пот}}^1)$, где $P_{\text{пот}}^0$ – мощность, потребляемая схемой в состоянии логического 0; $P_{\text{пот}}^1$ – мощность, потребляемая схемой в состоянии логической 1.

Динамические параметры характеризуют быстродействие ЛЭ и к ним относятся $t^{1,0}$ и $t^{0,1}$ – длительности, соответственно, отрицательного (спадающего) и положительного (нарастающего) фронтов выходного сигнала; $t_{\text{зд р}}^{1,0}$ и $t_{\text{зд р}}^{0,1}$ – задержки распространения сигнала при включении и выключении, соответственно; $t_{\text{и}}$ – длительность входного импульса; $f_{\text{р}}$ – рабочая частота. На рис. 1.2 приведены временные диаграммы переходных процессов переключения инвертирующего ЛЭ, где показаны уровни отсчёта, относительно которых определяются динамические параметры. Уровни отсчета напряжений для определения динамических параметров устанавливаются относительно выходных пороговых напряжений логической 1 и логического 0 (рис. 1.2). При расчёте временной задержки сигнала последовательно включённых цифровых микросхем используется средняя задержка распространения сигнала ЛЭ:

$$t_{\text{зд р ср}} = (t_{\text{зд р}}^{0,1} + t_{\text{зд р}}^{1,0}).$$

Для ИС сверхвысокой степени интеграции (СВИС) используют также интегральные параметры, которые характеризуют уровень развития технологии и схемотехники и качество цифровых ИС. Основными интегральными параметрами являются энергия переключения $A_{\text{п}}$ и уровень(степень) интеграции S .

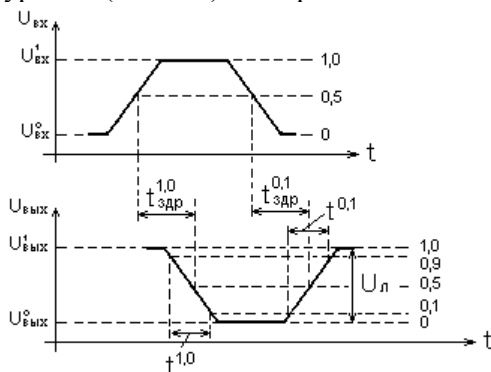


Рис. 1.2. Временные диаграммы переходных процессов переключения инвертирующего ЛЭ

Степень интеграции S логических ИС определяется числом простейших эквивалентных ЛЭ на кристалле. Иногда степень интеграции СБИС измеряют числом элементов-транзисторов на кристалле. Степень интеграции современных СБИС составляет несколько десятков миллионов элементов. Функциональную сложность интегральных микросхем, запоминающих устройств, имеющих регулярную структуру, оценивают числом бит памяти на кристалле.

Рассмотрим условные обозначения интегральных микросхем. По принятой системе [12] обозначения ИС состоят из четырёх элементов:

- первый элемент – это цифра, соответствующая конструктивно-технологическому исполнению микросхемы;
- второй элемент – две или три цифры, обозначающие порядковый номер серии ИС от 00 до 99 или от 000 до 999;
- третий элемент – две буквы, соответствующие подгруппе и виду по характеру выполняемых ИС функций;
- четвёртый элемент – порядковый номер разработки ИС по функциональному признаку в данной серии.

Первые два элемента определяют номер серии ИС. Буквы К, КМ, КР в начале условного обозначения микросхем характеризуют условия их приёмки на заводе-изготовителе и особенности конструктивного исполнения. Например, обозначение ИС КР1533ЛА3 означает, что данная микросхема находит широкое применение в цифровых устройствах (К), изготовлена в пластмассовом корпусе (Р) и на основе полупроводниковой технологии (1) и выполняет логическую функцию И – НЕ, имеет порядковый номер в данной серии, равный 3.

2. БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

2.1. Элементы транзисторно-транзисторной логики

Микросхемы на основе транзисторно-транзисторной логики (ТТЛ) широко применяются для построения различных цифровых устройств современных ЭВМ. Существует несколько разновидностей ИС ТТЛ (TTL), наиболее распространенными среди них являются микросхемы ТТЛ серии К155, К531, КР1531, КМ555 и КР1533.

Стандартные микросхемы серии К155 (и их функциональные аналоги серий SN74, разработанные фирмой Texas Instruments) имеют среднюю потребляемую мощность (10 МВт) и сравнительно низкое быстродействие (10 нс). Интегральные микросхемы ТТЛ с транзисторами Шоттки (ТТЛШ) серий К531 (SN74S) при более высокой, чем у стандартных ИС, потребляемой мощности (20 МВт) имеют в три раза выше быстродействие (3 нс). ИС ТТЛШ серии К555 (SN74LS) с пониженным потреблением мощности (2 МВт) имеют невысокое быстродействие (10 нс). Наиболее перспективными являются микросхемы ТТЛШ серии КР1531 (SN74F) и КР1533 (SN74ALS), имеющие высокое быстродействие (3 и 4 нс, соответственно) при низкой потребляемой мощности (4 и 2 нс). Буквы Н, L и S в обозначениях функциональных аналогов характеризуют: Н – повышенное быстродействие; L – малую потребляемую мощность; S – наличие в структурах транзисторов Шоттки.

Микросхемы ТТЛ электрически совместимы друг с другом и питаются от источника напряжения +5 В. Некоторые микросхемы ТТЛ работают от источника питания с напряжением 3,3 В. Микросхемы серии К155, К531, К555, КР1531 и КР1533 выпускаются в пластмассовом корпусе, а КМ155 и КМ555 – в керамическом корпусе типа ДИП со штыревыми выводами.

Схемотехнически почти все логические элементы, входящие в состав указанных серий, могут быть получены комбинированием двух базовых схем: логического элемента (ЛЭ) И – НЕ (рис. 2.1, а) и расширителя по ИЛИ (рис. 2.1, б). ЛЭ И – НЕ совместно с расширителем по ИЛИ образует логический элемент И – ИЛИ – НЕ. Присоединяя расширитель к точкам 1 и 2 (рис. 2.1, а), можно увеличить число объединений по логическому входу ИЛИ. Для всех серий ИС ТТЛ, имеющих возможность расширения по ИЛИ,

максимальное число объединений равно 8. Сравнительно невысокие входные и большие выходные токи обеспечивают хорошее согласование элементов между собой и большую нагрузочную способность ($n \geq 10$).

Рассмотрим состав и назначение компонентов схемы ЛЭ ТТЛ стандартной серии К155 (рис. 2.1, а). Схема элемента состоит из следующих каскадов:

- входного каскада, состоящего из многоэмиттерного транзистора (МЭТ) T_0 с малым инверсным коэффициентом усиления по току, и резистора R_0 ;
- фазоразделительного каскада, построенного на транзисторе T_1 , резисторе R_1 и корректирующей цепи, состоящего из резисторов R_2 и R_3 и транзистора T_4 ;
- двухтактного выходного каскада, выполненного на транзисторах T_2 и T_3 , резисторе R_4 и диоде D_0 .

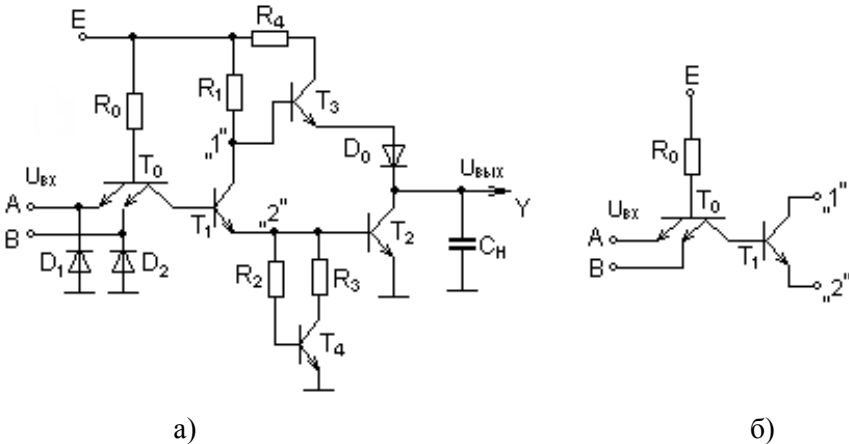


Рис. 2.1. Схемы базового логического элемента ТТЛ серии К155 (а) и логического расширителя по ИЛИ (б)

Входной каскад с МЭТ T_0 и резистором R_0 реализует логическую функцию И в случае прямых сигналов (положительной логики), когда логической единице (лог. 1) соответствует высокий уровень сигнала, а логическому нулю (лог. 0) – низкий. В случае инверсных сигналов (отрицательной логики), когда лог. 1 представляется низким уровнем сигнала, а лог. 0 – высоким, МЭТ T_0 вместе с R_0 реализуют функцию ИЛИ.

К эмиттерам МЭТ T_0 присоединены демпфирующие диоды D_1 и D_2 , которые предназначены для ограничения импульсов напряжения помехи отрицательной полярности.

Транзистор T_1 фазоразделительного каскада имеет малые емкости р-п-переходов и работает в режиме с малым рабочим током. Корректирующая цепь R_1 , R_2 и T_4 улучшает форму передаточной характеристики (приближая ее к прямоугольной) и тем самым повышает помехоустойчивость ЛЭ в состоянии логической 1.

Фазоразделительный каскад обеспечивает управляющие сигналы для противофазного переключения транзисторов T_2 и T_3 выходного каскада. Диод D_0 обеспечивает смещение уровня открывания транзистора T_3 и надежное запираение его на тот момент, когда T_2 открыт. Транзистор T_2 рассчитан на большой рабочий ток и имеет малое время выхода из режима насыщения при переключении элемента.

Использование в ИС ТТЛ (рис. 2.1, а.), выходного каскада (сложного инвертора), выполненного по двухтактной схеме, позволяет (по сравнению с ТТЛ-схемой с простым инвертором) существенно увеличить помехоустойчивость и нагрузочную способность, а также повысить быстродействие ЛЭ при работе на значительную емкостную нагрузку. Способность ТТЛ-схемы со сложным инвертором работать на большую емкостную нагрузку при высоких скоростях переключения объясняется тем, что у этой схемы как заряд, так и разряд нагрузочной емкости происходят через низкоомную выходную цепь (открытые транзисторы T_3 и T_2 , соответственно). Однако при переключениях схемы из одного состояния в другое есть момент, когда транзисторы T_2 и T_3 одновременно открыты. При этом через них течет кратковременный, но мощный сквозной ток, который может привести к появлению импульсной помехи и увеличению мощности потребления. Для ограничения сквозного тока в выходном каскаде, например, во время выключения схемы, когда транзистор T_2 еще находится в режиме насыщения, а транзистор T_3 уже открылся, в коллекторную цепь T_3 включают резистор R_4 . Величину сопротивления R_4 в быстродействующих элементах ТТЛ выбирают порядка 100 Ом, а в элементах с малой потребляемой мощностью $R_4 = 300$ Ом. Для исключения действия помех шины питания должны выполняться с малой собственной индуктивностью и по всей длине шунтироваться дополнительными конденсаторами с малой паразитной индуктивностью.

Рассмотрим принцип работы и передаточную характеристику схемы ТТЛ элемента И – НЕ (рис. 2.1, а и 2.2, а). При подаче хотя бы на один из входов элемента (А или В) напряжения низкого уровня $U_{вх}^0$ (лог. 0) соответствующий р-п-переход база – эмиттер (Б – Э) МЭТ T_0 отпирается. При этом потенциал базы $U_{БТ0}$ транзистора T_0 имеет значение, недостаточное для отпираания трех р-п-переходов: база – коллектор (Б – К) у МЭТ, база – эмиттер (Б – Э) у транзисторов T_1 и T_2 . Для открывания этой цепи необходимо выполнение следующего условия:

$$U_{БТ0} \geq U_{БКТ0} + U_{БЭТ1} + U_{БЭТ2} = 3U_{пор}, \quad (2.1)$$

где $U_{БКТ0}$, $U_{БЭТ1}$ и $U_{БЭТ2}$ – пороговые напряжения отпираания $U_{пор}$ р-п-переходов транзисторов T_0 , T_1 и T_2 . Обычно в ИС ТТЛ используются транзисторы одного и того же типа, поэтому эти пороговые напряжения равны между собой и примерно составляют (0,6–0,8) В. Пусть $U_{БЭ} = 0,7$ В. Таким образом, при $U_{вх} = U_{вх}^0$ напряжение

$$U_{БТ0} = U_{вх} + U_{БЭТ0} \quad (2.2)$$

мало, и транзисторы T_1 и T_2 оказываются закрытыми.

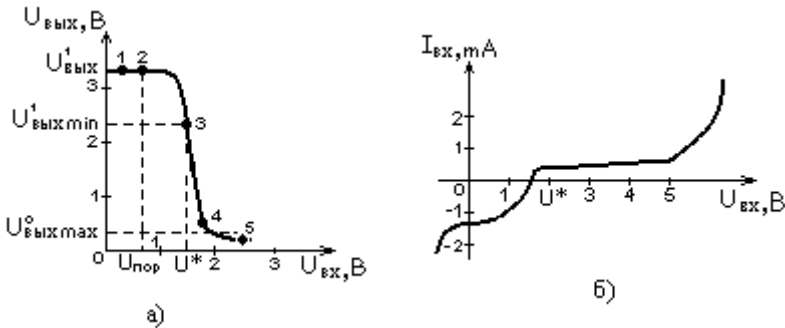


Рис. 2.2. Передаточная (а) и входная (б) характеристики ТТЛ логического элемента

Ток, протекающий от источника питания E через резистор R_1 , втекает в базу транзистора T_3 и открывает его, а также диод D (вводя их в насыщение). При этом на выходе элемента устанавливается высокий уровень напряжения

$$U^1_{вх} = U_{К1} - U_{D0} - U_{БЭТ3} \cong E - 2U_{пор} \quad (2.3)$$

(участок 1–2 на рис. 2.2, а), соответствующий логической 1, а во входной цепи течет прямой ток (рис. 2.2, б), определяемый как $I_{\text{вх}} \cong (E - U_{\text{БЭТ0}})/R_0$, где U_{D0} , $U_{\text{БЭТ0}}$ и $U_{\text{БЭТ3}}$ – пороговые напряжения отпираания $U_{\text{пор}}$ р-п-переходов диода D_0 и транзисторов T_0 и T_3 ; $U_{\text{К1}}$ – напряжение на коллекторе транзистора T_1 .

При увеличении напряжения $U_{\text{вх}}$ (на всех эмиттерных входах МЭТ) потенциал базы транзистора T_0 $U_{\text{БТ0}}$ растет согласно выражению (2.2), пока $U_{\text{вх}}$ не достигнет значения $U^* = 2U_{\text{пор}}$ (рис. 2.2, а). При достижении $U_{\text{вх}}$ значения, равного U^* , $U_{\text{БТ0}} = 3U_{\text{пор}}$, транзисторы T_0 , T_1 и T_2 открываются. Начинает протекать ток через транзистор T_1 , вследствие чего напряжения на его коллекторе $U_{\text{К1}}$ и на выходе элемента $U_{\text{вых}}$ уменьшаются. При дальнейшем увеличении $U_{\text{вх}}$ потенциал базы $U_{\text{БТ0}}$ сохраняет достигнутое значение, р-п-переходы Б–Э МЭТ закрываются (переход Б–К T_0 открыт), и в эмиттерных цепях этого транзистора начинают протекать инверсные токи (рис. 2.2, б). Транзистор T_0 входит в инверсный режим, а транзистор T_1 – в режим насыщения (двойной инжекции), т. к. его оба перехода (Б–Э и Б–К) находятся под прямым напряжением. Отношение сопротивлений R_2 и R_3 выбирается таким, чтобы обеспечить насыщение транзистора T_4 . Обычно $R_2 \cong R_3$. Через открытый транзистор T_1 в базу транзистора T_2 поступает ток $I_{\text{БН2}}$, вызывающий его насыщение:

$$I_{\text{БН2}} = I_{\text{БН1}} + I_{\text{КН1}} - (I_{\text{БН4}} + I_{\text{КН4}}) \cong I_{\text{БН1}} + I_{\text{КН1}} - U_{\text{пор}}/R_3,$$

где $I_{\text{БН1}}$, $I_{\text{КН1}}$, $I_{\text{БН4}}$, $I_{\text{КН4}}$ – токи баз и коллекторов насыщенных транзисторов T_1 и T_4 .

Ток транзистора T_1 течет также через резистор R_1 и тем самым приводит к уменьшению потенциала его коллектора $U_{\text{К1}}$, который устанавливается на уровне

$$(U_{\text{пор}} + U_{\text{КЭТ1}}) \cong U_{\text{пор}},$$

где $U_{\text{КЭТ1}}$ – остаточное напряжение на насыщенном транзисторе T_1 ($U_{\text{КЭТ1}} \cong 0,1 - 0,2$ В). В результате этого транзистор T_3 и диод D_0 запираются, а напряжение на выходе элемента снижается до уровня логического 0 (участок 4–5 на передаточной характеристике) и определяется как

$$U_{\text{вых}}^0 = U_{\text{КЭТ2}} + I_{\text{КНТ2}} r_{\text{КК}} = U_{\text{КЭТ2}} + I_{\text{Н}}^0 r_{\text{КК}},$$

где $I_{\text{кнт}2}$ – коллекторный ток насыщенного транзистора T_2 , равный току $I_{\text{н}}^0$; $I_{\text{н}}^0$ – выходной ток, поступающий от нагрузки; $r_{\text{кк}}$ – объемное сопротивление коллекторного слоя (обычно при нормальных условиях $U_{\text{вых}}^0 = 0,1-0,2 \text{ В}$).

Коллекторный ток транзистора T_2 сначала целиком идет на разряд емкости нагрузки $C_{\text{н}}$, и поэтому крутизна фронта выходного напряжения определяется граничной частотой T_2 и емкостью $C_{\text{н}}$. При напряжении $U_{\text{вых}}$ ниже 1,4 В в транзистор T_2 начинает втекать ток нагрузки $I_{\text{н}}^0$ из входной цепи следующего ЛЭ и, как показано на рис. 2.2, б, скорость снижения $U_{\text{вых}}$ на участке 4–5 передаточной характеристики несколько падает.

Рассмотрим работу схемы элемента ТТЛ при его выключении. Пока входное напряжение $U_{\text{вх}}$ не уменьшится до величины $2U_{\text{пор}}$ – порога переключения элемента, никаких изменений в нем не происходит. Когда $U_{\text{вх}}$ достигает уровня напряжения $2U_{\text{пор}} = 1,4 \text{ В}$ транзистор T_0 входит в насыщение, и его коллекторный ток, рассасывая заряд из области базы насыщенного транзистора T_1 , обеспечивает его быстрое выключение. При дальнейшем уменьшении $U_{\text{вх}}$ транзистор T_0 переходит в нормальный активный режим, в цепи эмиттера T_0 течет прямой ток, и потенциал базы $U_{\text{бт}0}$ становится меньше $3U_{\text{пор}}$, вследствие чего закрываются транзисторы T_1 , T_2 и T_4 . По мере запираания транзистора T_1 потенциал его коллектора $U_{\text{кт}1}$ возрастает, и при повышении $U_{\text{кт}1}$ примерно на 1 В открываются транзистор T_3 и диод D_0 . Ток транзистора T_3 обеспечивает быстрый перезаряд емкости нагрузки $C_{\text{н}}$. По мере заряда емкости $C_{\text{н}}$ выходное напряжение увеличивается до уровня напряжения логической 1, определяемого выражением (2.3). Таким образом, благодаря транзистору T_3 в сложном инверторе влияние емкости $C_{\text{н}}$ на время нарастания фронта выходного импульса оказывается значительно слабее, чем в элементе ТТЛ с простым инвертором.

В рассмотренной выше ИС ТТЛ стандартной серии используются обычные транзисторы, которые в проводящем состоянии находятся в режиме насыщения. При этом в области базы этих транзисторов накапливается заряд неосновных носителей, что приводит при выключении элемента к дополнительной задержке, связанной с рассасыванием избыточного заряда и, следовательно, к снижению быстродействия. Базовые элементы ИС ТТЛ серии К531, К555, К1531 и К1533 (рис. 2.3 и 2.4) работают аналогично

элементу ТТЛ стандартной серии. Однако в них вместо обычных транзисторов используются транзисторы Шоттки, в которых параллельно к коллекторному переходу включен диод Шоттки.

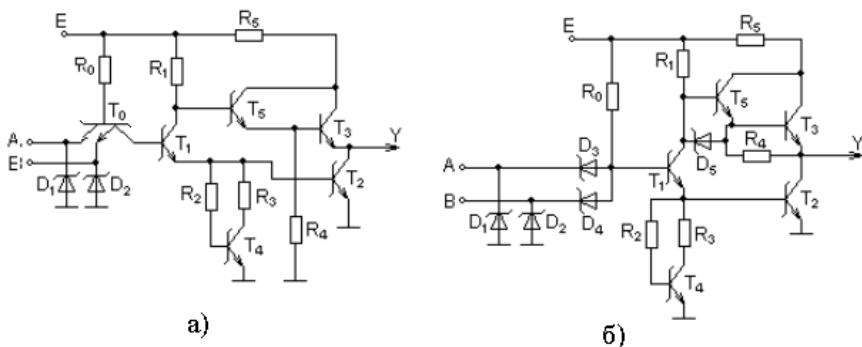


Рис. 2.3. Схемы базовых логических элементов ТТЛ серии К531 (а) и серии К555 (б)

Диод Шоттки в интегральном исполнении представляет собой контакт металла с высокоомным полупроводником коллекторной области транзистора. Напряжение на диоде Шоттки в открытом состоянии составляет 0,4 В, что меньше порогового напряжения отпираания р-п-перехода. Поэтому шунтирование коллекторного перехода диодом Шоттки исключает насыщение (накопление заряда в базе) транзистора и тем самым ускоряет процесс его запираения и, следовательно, выключение схемы, т. к. время рассасывания избыточного заряда в ненасыщенном транзисторе $t_{\text{рас}} \approx 0$. Таким образом, применение транзисторов Шоттки в элементах ТТЛ указанных выше серий позволяет повысить их быстродействие.

Повышение быстродействия элементов ТТЛ с транзисторами Шоттки обусловлено также применением в выходном каскаде этих ЛЭ составного транзистора, выполненного включением транзисторов T_3 и T_5 по схеме Дарлингтона. Составной транзистор, который имеет высокий коэффициент усиления, не только улучшает динамические параметры схемы, но и повышает нагрузочную способность схемы. Следует отметить, что в составном транзисторе в качестве T_3 используется обычный транзистор, т. к. на его коллекторном переходе всегда сохраняется обратное смещение ($U_{\text{БЭ}} < U_{\text{КЭ}}$), т. е. T_3

не входит в режим насыщения. Напряжение на базе T_3 , необходимое для его отпирания, создается резистором R_4 (рис. 2.3, а). Для уменьшения мощности потребления при напряжении высокого уровня на выходе элемента резистор R_4 присоединен не к общей шине земля, а к выходу элемента (рис. 2.3, б и 2.4). В схеме этого же элемента диод D_5 позволяет увеличить ток коллектора транзистора T_1 и, следовательно, уменьшить задержку включения элемента. Диоды D_3 и D_4 во входном каскаде (рис. 2.3, б и 2.4, б), выполняющие функцию эмиттерных переходов МЭТ, используются для уменьшения величины обратного (инверсного) тока и устранения недостатков, связанных с ним.

Схемы базовых ЛЭ серий К1531 и К1533 (рис. 2.4) по сравнению с элементами других серий имеют улучшенные параметры: очень малые задержки переключения, высокую помехоустойчивость и повышенную нагрузочную способность при малой потребляемой мощности. Такие параметры для этих элементов достигаются за счет использования в них следующих дополнительных элементов: транзисторов T_0 и T_6 и диода D_2 в элементе ТТЛ серии К1533 и транзистора T_6 и диодов $D_5 - D_8$ в ЛЭ ТТЛ серии К1531.

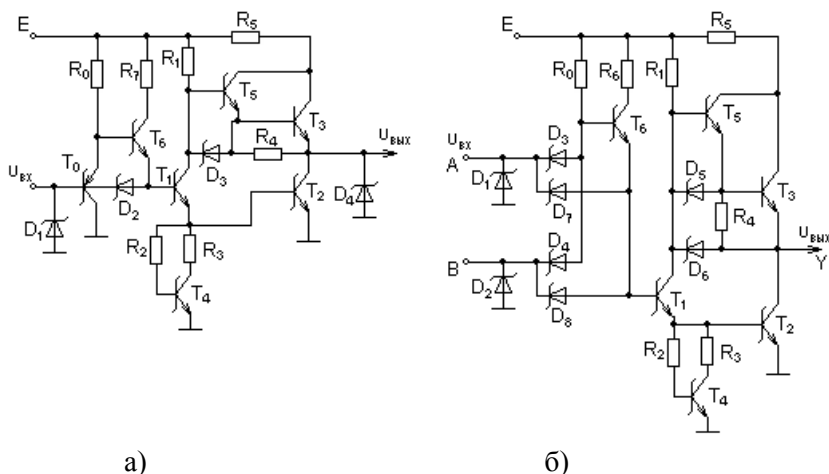


Рис. 2.4. Схемы логических элементов ТТЛ серии К1533 (а) и серии К1531 (б)

Следует отметить, что при применении элементов ТТЛ со сложными инверторами не допускается монтажное соединение их выходов. Например, если допустить соединение выходов двух элементов ТТЛ, то в случае, когда имеется на выходе одного из элементов напряжение логической 1, а другого – напряжение логического 0, через последовательно соединенные транзисторы T_2 (одного ЛЭ) и T_3 (другого ЛЭ) потечет сквозной ток достаточно большой величины. При этом значительно увеличивается мощность потребления, а также возможен выход транзисторов из строя. Поэтому при проектировании цифровых устройств следует исключать возможность объединения выходов таких элементов ТТЛ. Однако в ряде цифровых устройств, где несколько узлов или блоков работают на общую нагрузку, такое объединение выходов является принципиально необходимым. В этом случае в качестве выходных каскадов используются схемы элементов ТТЛ, которые кроме двух обычных состояний выхода (логической 1 и логического 0) имеют еще третье – высокоимпедансное состояние, в котором элемент не отдает тока к нагрузке и не потребляет тока от нее, т. е. электрически отключается от нагрузки.

Схема ТТЛ с тремя состояниями выхода показана на рис. 2.5, в которой для управления состояниями используются диод D_2 и один из входов МЭТ, называемый управляющим U . Если на управляющий вход U подать напряжение логической 1, то соответствующий переход Б-Э МЭТ и диод D_2 закрыты и элемент работает как обычно, выполняя логическую функцию И – НЕ. Если на вход U подать напряжение логического 0, то транзисторы (T_1 , T_2 и T_3) в схеме оказываются закрытыми и элемент переходит в третье состояние.

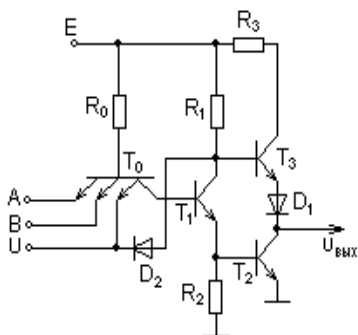


Рис. 2.5. Схема ТТЛ с тремя состояниями выхода

Следует отметить еще одну особенность ИС ТТЛ, связанную с их применением. Если некоторые входы элемента не используются, т. е. на них не поданы сигналы логической 1 или логического 0, то рекомендуется не оставлять свободными, а подключать их к уровню напряжения логической 1 (или через дополнительный резистор с сопротивлением 1 кОм к источнику питания).

Обычно один резистор используется для подключения до 20 неиспользуемых входов элементов ТТЛ.

Кроме рассмотренных выше схем элементов ТТЛ со сложными инверторами в цифровой схемотехнике для согласования с нагрузками специального типа используются элементы ТТЛ с открытым коллекторным выходом. Схема такого элемента и примеры подключения нагрузок показаны на рис. 2.6.

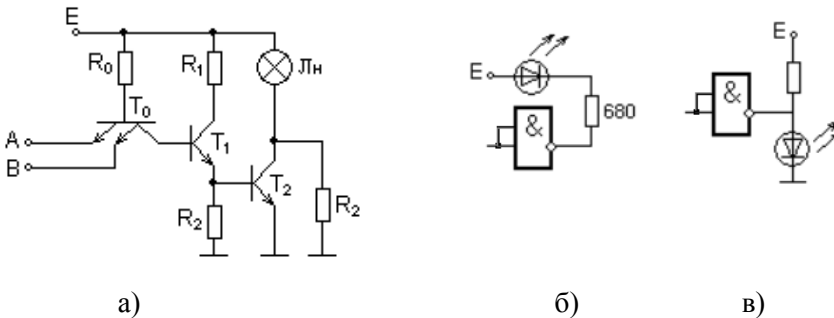


Рис. 2.6. Схема согласования ТТЛ-элемента с лампой накаливания (ЛН) (а) и примеры подключения светодиода к элементу ТТЛ с открытыми выходами (б) и (в)

2.2. Элементы эмиттерно-связанной логики

Применение ИС эмиттерно-связанной логики (ЭСЛ) в качестве элементной базы целесообразно при разработке высокопроизводительных цифровых устройств и менее эффективно при проектировании устройств невысокого быстродействия. Последнее объясняется повышенной потребляемой мощностью элементов ЭСЛ ИС, что является их главным недостатком.

Основными достоинствами элементов ЭСЛ являются: очень высокое быстродействие, большая нагрузочная способность, высокая стабильность динамических параметров при изменении рабочей температуры и напряжения питания, способность работать на низкоомные согласованные линии связи и нагрузки, хорошая относительная помехоустойчивость.

Из числа разработанных цифровых ЭСЛ ИС наибольшее распространение получили микросхемы серии К500 и К1500, которые являются функциональными аналогами микросхем МС 10000 и F100К.

Микросхемы серии K500 выпускаются в пластмассовом и керамическом корпусах со штыревыми выводами, а микросхемы серии K1500 конструктивно изготавливаются в основном в керамических корпусах с планарным расположением выводов. Схема базового элемента ЭСЛ серии K500, которая показана на рис. 2.7, состоит из трех частей: токового переключателя (ТП), выходных эмиттерных повторителей (ЭП) и цепи источника опорного напряжения (ИОН).

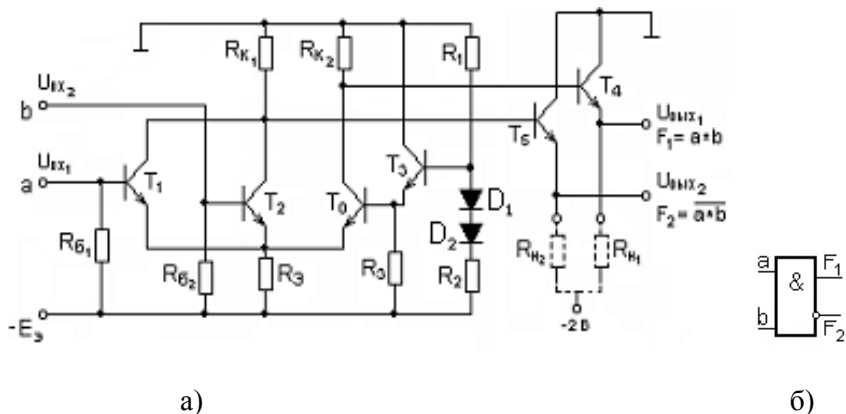


Рис. 2.7. Схема базового элемента ЭСЛ серии K500 а) и ее условное обозначение б)

Обычно элементы ЭСЛ имеют два или три входа. Увеличение числа входов приводит к повышению входной паразитной емкости и, как следствие, к снижению быстродействия.

ТП построен на транзисторах T_0 , T_1 и T_2 и резисторах R_3 , R_{K1} и R_{K2} . Основу ТП составляет дифференциальный усилитель, работающий в ключевом режиме, при этом транзисторы T_0 , T_1 и T_2 не входят в режим насыщения. ТП служит для усиления входных сигналов, обеспечения требуемой помехоустойчивости элемента, формирования парафазных (прямого и инверсного) выходных сигналов и реализации логических функций на этих выходах.

Выходные эмиттерные повторители, построенные на транзисторах T_4 и T_5 , предназначены для усиления выходных сигналов по мощности (по току) и смещения уровней сигналов ТП по напряжению

для обеспечения совместимости элементов ЭСЛ по уровням входных и выходных сигналов. Кроме того, ЭП, благодаря малому выходному сопротивлению, обеспечивает требуемую нагрузочную способность (n) при работе на линии связи с волновым сопротивлением 50 Ом. Типовые значения n для элементов ЭСЛ достаточно велики и составляют $n = 10\text{--}20$.

Цепь ИОН, выполненная на транзисторе T_3 , резисторах $R_1\text{--}R_3$ и термокомпенсирующих диодах D_1 и D_2 , предназначена для формирования опорного напряжения $U_{оп}$, которое подается на базу транзистора T_0 . Обычно одна цепь ИОН обеспечивает опорным напряжением несколько (до 5–10) элементов ЭСЛ, размещенных на одном кристалле.

Диоды D_1 и D_2 обеспечивают стабильность тока через резистор R_3 и, следовательно, стабильность уровней выходного напряжения элемента ЭСЛ при изменении температуры в рабочем диапазоне.

Входы элемента ЭСЛ через резисторы R_{B1} и R_{B2} , с сопротивлением примерно 50 кОм, подключены к источнику питания с напряжением $E_1 = -5,2 \text{ В} \pm 5\%$. Такое включение позволяет оставлять неиспользованные входы ЭСЛ ИС свободными. При этом отрицательный потенциал, подаваемый на базу неиспользуемого входного транзистора, обеспечивает его надежное запирающее и тем самым исключает его влияние на нормальную работу элемента ЭСЛ от других входов.

Коллекторные цепи ЭСЛ ИС заземлены, что обеспечивает меньшую зависимость уровней выходных напряжений от наводок по цепи питания и, как следствие, лучшую помехоустойчивость, что особенно важно для схем с малым логическим перепадом. С целью получения возможности организации монтажной логики на выходе элемента ЭСЛ нагрузочные резисторы ЭП R_{H1} и R_{H2} (с сопротивлениями 50, 75 и 100 Ом) вынесены за пределы микросхемы. Для уменьшения потребляемой мощности резисторы R_{H1} и R_{H2} подключены к дополнительному источнику напряжения $E_2 = -2 \text{ В}$.

Рассмотрим принцип работы схемы базового элемента ЭСЛ (рис. 2.7) для случая применения так называемой отрицательной логики, когда более отрицательному уровню напряжения ($-1,7 \text{ В}$) соответствует логическая 1, а менее отрицательному уровню напряжения ($-0,9 \text{ В}$) – логический 0.

Амплитуда логического перепада сигнала составляет 0,8 В, помехоустойчивость ЭСЛ ИС по напряжению логического 0 и логической 1 равна 125 и 155 мВ, соответственно, а опорное напряжение $U_{оп} = 0,5 (U^1 + U^0) = -1,3$ В, где U^0 и U^1 – напряжения лог. 0 и лог. 1, соответственно. Приведенные численные значения параметров являются типовыми. На практике они получаются с некоторыми технологическими разбросами, которые не должны превышать допустимые по технической документации нормы.

Пусть на все входы схемы ЭСЛ (рис. 2.7) поданы сигналы логической 1 ($a = 1$ и $b = 1$), т. е. сигналы более отрицательные, чем опорное напряжение. Тогда транзисторы T_1 и T_2 закрываются, а транзистор T_0 открывается. С учетом падения напряжения на эмиттерном переходе открытого транзистора T_0 , равного 0,75 В, потенциал узла "1" составляет $-2,05$ В. В эмиттерной цепи транзистора T_0 течет ток, значение которого задается сопротивлением резистора $R_Э$. Этот ток, уменьшенный на величину базового тока транзистора T_0 , создает на его коллекторной нагрузке $R_{К1}$ падение напряжения, равное примерно 0,9 В и, как следствие, потенциал узла "2" $\varphi_2 = -0,9$ В. Потенциал узла "3" за счет падения напряжения на резисторе $R_{К2}$ от базового тока транзистора T_5 и тепловых коллекторных токов закрытых транзисторов T_1 и T_2 составляет примерно $-0,1$ В ($\varphi_3 = -0,1$ В). Транзисторы выходных ЭП T_4 и T_5 работают постоянно в активном режиме, и падение напряжения на их эмиттерных переходах составляет примерно 0,8 В.

Таким образом, на прямом выходе F_1 схемы базового элемента ЭСЛ устанавливается напряжение логической 1, т. е. $U_{вых1} = -1,7$ В, а на инверсном выходе F_2 – напряжение логического 0, т. е. $U_{вых2} = -0,9$ В.

При подаче хотя бы на один из входов схемы ЭСЛ сигнала логического 0 ($-0,9$ В), т. е. сигнала более положительного, чем $U_{оп}$ (например, $a = 0$ и $b = 1$), транзистор T_1 открывается, а транзистор T_2 закрывается, т. к. на его базу подается сигнал логической 1. Потенциал узла "1" становится равным $-1,65$ В, что приводит к запираению транзистора T_0 . В результате в ТП происходит переключение тока, который теперь протекает по цепи: шина "земля" – резистор $R_{К2}$ – транзистор T_1 – резистор $R_Э$ – источник питания $-E_Э$. При этом потенциалы узлов "2" и "3" становятся равными $-0,1$ В и $-0,9$ В, соответственно. Изменяется состояние схемы, на ее прямом выходе фор-

мируется напряжение $U_{\text{вых1}} = -0,9 \text{ В}$, соответствующее логическому 0, а на инверсном – напряжение логической 1, т. е. $U_{\text{вых2}} = -1,7 \text{ В}$. Таким образом, при отрицательной логике схема базового элемента ЭСЛ (рис. 2.7) на прямом выходе выполняет функцию “И” ($F_1 = a \cdot b$), а на инверсном – “И – НЕ” ($F_2 = \overline{ab}$). При использовании положительной логики, когда уровню напряжения $-1,7 \text{ В}$ соответствует логический 0, а уровню напряжения $-0,9 \text{ В}$ – логическая 1, схема ЭСЛ на рис. 2.7 выполняет функцию “ИЛИ” на прямом выходе и “ИЛИ – НЕ” – на инверсном.

Для расширения логических возможностей элементов ЭСЛ используются различные схемотехнические приемы. Например, одноименные выходы двух или более микросхем элементов ЭСЛ объединяются на одном нагрузочном резисторе R_n . При отрицательной логике такое монтажное объединение, называемое эмиттерным объединением, обеспечивает реализацию функции “И”. При объединении прямых выходов схем элементов ЭСЛ получается расширение функции “И”, выполняемое в две ступени, т. е. увеличивается число входов элемента И, а при объединении инверсных выходов получается функция “И – ИЛИ – НЕ” (рис. 2.8). Следует отметить, что при увеличении числа эмиттерных объединений по выходу изменяются уровни выходного напряжения, что приводит к уменьшению помехоустойчивости элементов ЭСЛ, особенно на более отрицательном уровне.

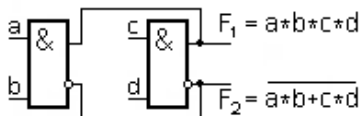


Рис. 2.8. Монтажное эмиттерное объединение выходов элементов ЭСЛ

На практике для обеспечения приемлемой помехоустойчивости число эмиттерных объединений ограничивают: до 4 при нагрузке $R_n = 100 \text{ Ом}$ и до 8 при $R_n = 50 \text{ Ом}$. С целью уменьшения динамических помех, возникающих в узлах эмиттерного объединения на фронтах переключения, рекомендуется объединенные элементы ЭСЛ размещать на одной плате и по возможности рядом. Кроме того, запрещается выход сигналов с объединенных выходными эмиттерами ЭСЛ элементов за пределы платы.

Для реализации логической функции И – ИЛИ на основе ЭСЛ ИС применяется так называемое коллекторное объединение (рис. 2.9). В этом случае прямые плечи ТП двух элементов ЭСЛ подключаются (объединяются) к одной коллекторной нагрузке R_k . При этом для того, чтобы из-за двойного увеличения тока через резистор R_k и, как следствие, двойного увеличения падения напряжения на нем, транзисторы прямых плеч ТП T_5 и T_6 не оказались в режиме насыщения, параллельно к резистору R_k подключается транзистор T_9 , для отвода избыточного тока и ограничения амплитуды напряжения на общей коллекторной нагрузке транзисторов T_5 и T_6 .

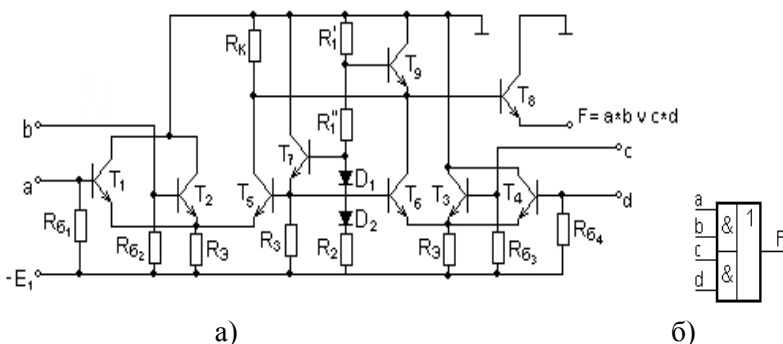


Рис. 2.9. Схема ЭСЛ элементов с коллекторным объединением (а) и условное обозначение (б)

Для более значительного расширения функциональных возможностей ЭСЛ применяется двух- или трехуровневое переключение тока в ТП. Сущность двух- или трехуровневого переключения тока в ТП заключается в том, что один и тот же ток генератора ТП два или три раза переключается на разных уровнях, смещенных относительно друг друга на определенное напряжение. На рис. 2.10 приведена электрическая схема двухуровневого ЭСЛ элемента, реализующего функцию сложения по модулю два. Для управления переключениями транзисторов ТП нижнего уровня (T_1 и T_2) на его входе включен эмиттерный повторитель, смещающий входной сигнал (b) по напряжению. Генератор тока, выполненный на транзисторе T_0 , резисторе R_3 и $U_{опз}$, обеспечивает стабилизацию тока ТП. В данной схеме при любых значениях входных сигналов a и b транзисторы T_4 и

T_6 одновременно не могут быть открытыми. Поэтому коллекторы этих транзисторов объединены на одну общую нагрузку R_K без дополнительной токоотводящей цепи.

На основе двух- и трехуровневых ТП схемотехническими методами построены быстродействующие ЭСЛ элементы серии 500, выполняющие функции запоминания информации, сложение по модулю 2, мультиплексирования на входе синхронных триггеров и т. д. Такие сложные функции реализуются на основе быстродействующих ЭСЛ ИС с малой задержкой и при меньшем числе компонентов по сравнению, например, с ТТЛ ИС.

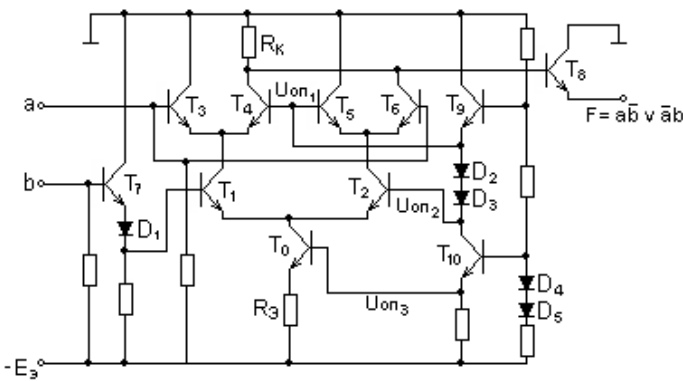


Рис. 2.10. Схема двухуровневого ЭСЛ элемента

По сравнению с ЭСЛ ИС серии K500 схемы серии K1500 представляют собой субнаносекундные интегральные схемы средней степени интеграции (СИС) и имеют более улучшенные характеристики и параметры. Схема базового элемента ЭСЛ И/И–НЕ серии K1500 (рис. 2.11) имеет типовое время задержки сигнала при переключении менее 1 нс. Схема базового элемента ЭСЛ серии K1500 так же, как и в серии K500, состоит из токового переключателя (ТП), выходных эмиттерных повторителей (ЭП) и цепи источника опорных напряжений (ИОН). Однако в ЭСЛ СИС серии K1500 цепи ТП и ИОН изменены и построены с применением более совершенных схемотехнических решений. Между узлами ТП "2" и "3" включена термостабилизирующая цепь, выполненная на диодах D_1 , D_2 и резисторе R_K . Значительно изменена структура цепи ИОН [12].

За счет этого обеспечивается стабилизация характеристик и параметров ЭСЛ СИС серии К1500, которые становятся не зависящими от главных дестабилизирующих факторов: изменения рабочей температуры и напряжения питания. Другими словами, при изменении температуры и напряжения питания сохраняются стабильными уровни и амплитуда выходного сигнала, помехоустойчивость и динамические параметры ЭСЛ ИС.

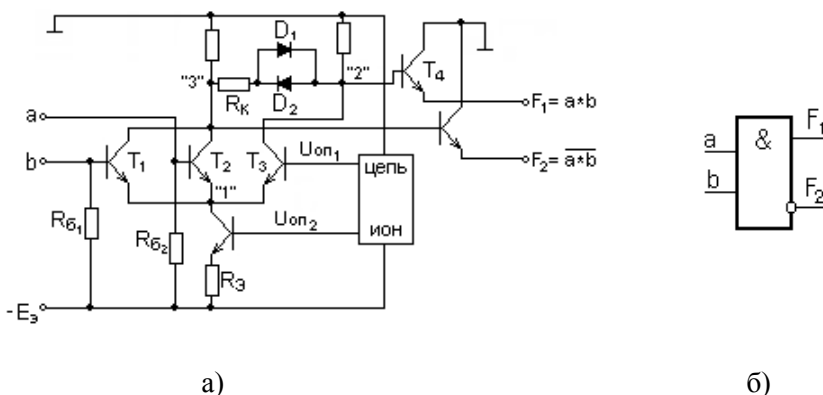


Рис. 2.11. Схема базового элемента ЭСЛ И/И-НЕ серии К1500 (а) и ее условное обозначение (б)

Базовый элемент ЭСЛ серии К1500 работает аналогично элементу ЭСЛ серии К500 (рис. 2.7) и выполняет функции И/И – НЕ в отрицательной логике и ИЛИ/ИЛИ – НЕ – в положительной.

Так же, как и в серии К500, для значительного расширения функциональных возможностей ЭСЛ ИС серии К1500 применяется широкий спектр схемотехнических решений: эмиттерное и коллекторное объединение, двух- и трехуровневое переключение сигнала, уменьшенный логический сигнал для работы внутри СИС и БИС, парафазное управление, двухэмиттерные выходы ЭП [3, 12].

Малосигнальный элемент ЭСЛ. Для повышения быстродействия и снижения потребляемой мощности в схемах ЭСЛ, используемых внутри БИС уменьшают значения напряжения источника питания E_3 и амплитуду логического перепада сигнала $U_{\Pi} = U^0 - U^1$, а также исключают выходные эмиттерные повторители, которые потребляют

значительную мощность. В полученной таким образом упрощенной схеме (рис. 2.12) транзисторы T_1 и T_2 могут входить в режим насыщения. Однако при малых значениях $U_{л} < 0,4-0,5$ В степень насыщения мала и не оказывает существенного влияния на длительность переходных процессов. Такой режим работы транзисторов называется квазинасыщенным [3]. При этом время расасывания избыточного заряда неосновных неравновесных носителей из области базы транзисторов T_1 и T_2 пренебрежимо мало, а задержка переключения оказывается значительно (в 2 раза и более) ниже, чем в обычных схемах ЭСЛ. Это объясняется ускорением процесса перезаряда паразитных емкостей при изменении напряжения на них на величину, равную амплитуде логического перепада $U_{л}$, которая обычно составляет $U_{л} = 0,3-0,4$ В.

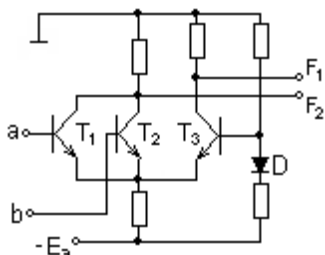


Рис. 2.12. Схема малосигнального элемента ЭСЛ

Схемы ЭСЛ с малой амплитудой логического перепада, называемые малосигнальными ЭСЛ (МЭСЛ), имеют относительно низкую помехоустойчивость, которая при нормальной температуре T° и стабильном напряжении питания E_3 составляет $\approx 100-150$ мВ, а при изменении T° и E_3 , в пределах рабочего диапазона уменьшается, примерно, до 40–50 мВ. В схеме МЭСЛ отсутствие выходных эмиттерных повторителей (ЭП) приводит к снижению коэффициента нагрузки n , который обычно составляет $n \approx 4-5$, что значительно ниже значения коэффициента n для элементов ЭСЛ. Благодаря малому значению напряжения питания E_3 , которое в схеме МЭСЛ равно $E_3 = -(2-3)$ В, и исключению ЭП, потребляемая этой схемой мощность P в 3–5 раз меньше, чем в схеме ЭСЛ. Задержка переключения при малых емкостях нагрузки ($C_n \leq 5-10$ пФ) оказывается в 2–3 раза ниже, чем для схем ЭСЛ. Типовые значения задержки составляют $t_d \approx 0,5-1,0$ нс при мощности

потребления $P = 10$ мВт и логическом перепаде $U_{\text{л}} = 0,4$ В. Работа переключения $A_{\text{п}}$ для схем МЭСЛ на порядок меньше, чем для ЭСЛ ИС и имеет значение $A_{\text{п}} = 5-10$ пДж.

Вследствие низких значений P , t_3 и $A_{\text{п}}$ схемы МЭСЛ являются весьма перспективными для создания БИС и СБИС, внутри которых уровни помех и величины паразитных емкостей незначительны.

Кроме того, одним из важных достоинств семейства ЭСЛ ИС является постоянство тока, потребляемого ими от источников питания, поскольку в ЭСЛ ИС токи не создаются и не прерываются, а лишь коммутируются из одного плеча ТП в другое. Этим свойством ЭСЛ ИС выгодно отличаются от ТТЛ-схем, которые не обладают подобным качеством и при переключениях в их выходных цепях протекают импульсные (сквозные) токи, которые создают большие помехи в линиях связи. Данная проблема создает определенные трудности при применении ТТЛ-элементов, особенно при проектировании БИС на их основе.

Таким образом, широкие логические возможности ЭСЛ ИС серии К500 и К1500 позволяют проектировать различные узлы и устройства сверхбыстродействующих ЭВМ, в том числе микропроцессорные БИС и СБИС.

2.3. Схемы интегральной инжекционной логики

Интегральные инжекционные логические И²Л схемы отличаются от биполярных ТТЛ и ЭСЛ ИС отсутствием резисторов, что делает их наиболее удобными для создания БИС и СБИС. Отсутствием резисторов, занимающих на кристалле большую площадь, объясняется небольшая мощность рассеивания и высокая плотность компоновки И²Л-схем.

Базовый элемент И²Л (рис. 2.13) представляет собой физически совмещенную структуру, состоящую из двух транзисторов р-п-р- и п-р-п-типов, имеющих общие объединенные области. Область полупроводника р-типа одновременно служит коллектором р-п-р-транзистора, имеющего горизонтальную структуру, и базой п-р-п-транзистора с вертикальной структурой. Роль базы р-п-р-транзистора и эмиттера п-р-п-транзистора выполняет одна и та же область п-типа, которая подключается к шине «земля». Эмиттерная область р-п-р-транзистора, называемая инжектором, подключается к источнику питания с положительным напряжением $E_{\text{и}}$.

Транзистор n - p - n -типа обычно имеет несколько коллекторов, которые являются электрически независимыми выходами элемента И²Л-инвертора (рис. 2.13). Транзистор p - n - p -типа T_0 , который может иметь несколько коллекторов (рис. 2.14), служит источником рабочих токов I_{p1} , I_{p2} и I_{p3} , необходимых для переключения n - p - n -транзисторов T_1 , T_2 и T_3 .

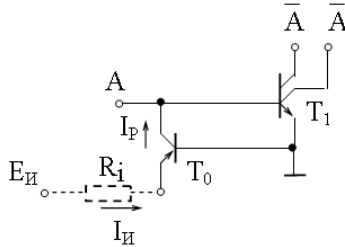


Рис. 2.13. Электрическая схема элемента И²Л

Для получения больших значений рабочих токов и коэффициента усиления по току V^p p - n - p -транзистора и, следовательно, для быстрого перезаряда паразитных емкостей (который производится рабочими токами) ширина базы W_B горизонтального p - n - p -транзистора (рис. 2.13, а), делается малым (1–3 мкм).

При последовательном соединении элементов И²Л коллектор одного n - p - n -транзистора соединяется с базой последующего n - p - n -транзистора, к которой также подключается источник i -го рабочего тока I_{pi} ($i = 1, 2, 3$), выполненный на основе p - n - p -транзистора T_0 (рис. 2.14). В зависимости от потенциала узла «1» ϕ_1 ток I_{p2} транзистора T_0 замыкается, либо в коллектор транзистора T_1 (T_1 открыт и ϕ_1 – низкий), либо в базу транзистора T_2 (T_1 закрыт и ϕ_1 – высокий). Если на входе A схемы имеется низкий уровень сигнала U^0 , соответствующий логическому 0, то транзистор T_1 закрывается и рабочий ток I_{p2} транзистора T_0 , работающего в активном режиме, втекает (за вычетом тока утечки I_T закрытого транзистора T_1) в базу транзистора T_2 . При этом напряжение высокого уровня U^1 , соответствующее логической 1, снимается с коллектора транзистора T_1 и определяется напряжением $U_{пор}$ на открытом эмиттерном переходе транзистора T_2 , который оказывается насыщенным. На коллекторе транзистора T_2 потенциал принимает низкое значение U^0 , которое определяется остаточным напряжением $U_{кн}$ на насыщенном транзисторе T_2 . Условие

насыщения транзистора T_2 имеет следующий вид: $I_B \cdot V^n \geq I_{кн}$, где ток базы открытого транзистора T_2 $I_B = I_{p2} - I_T$; I_T – ток утечки (тепловой ток) закрытого транзистора T_1 ; V^n – коэффициент усиления n-p-n-транзистора T_2 ; $I_{кн}$ – коллекторный ток насыщенного транзистора T_2 . В И²Л-схемах низкий уровень напряжения U^0 , равное $U^0 = U_{кн}$, составляет (0,05–0,1) В, а высокий уровень напряжения $U^1 = U_{пор}$ составляет (0,6–0,7) В. Логический перепад напряжений $\Delta U = U^1 - U^0$ не превышает величины (0,55–0,65) В.

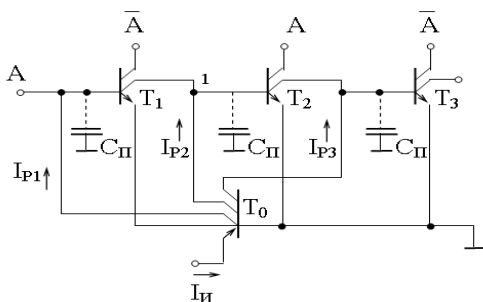


Рис. 2.14. Последовательное соединение элементов И²Л

Как отмечено выше, эмиттер p-n-p-транзистора T_0 подключается к положительному источнику питания. При этом напряжение источника питания $E_{и}$ с внутренним сопротивлением R_i превышает пороговое напряжение отпириания $U_{пор}$ эмиттерного перехода p-n-p-транзистора T_0 и составляет (1–1,5) В. Однако на практике значение $E_{и}$ выбирается с учетом требований к стабильности токов I_n и I_p и составляет $E_{и} = (4–6) U_{пор} = (3–5)$ В. Обычно резистор R_i размещается вне корпуса микросхемы, поэтому мощность $P_{эл}$, рассеиваемая элементом И²Л и определяемая как $P_{эл} = U_{пор} \cdot I_{и}$, составляет лишь небольшую часть общей мощности потребления P , т. е.

$P_{эл} = P \cdot (U_{пор}/E_{и}) = (0,15–0,25) P$. Остальная часть мощности потребления ($P - P_{эл}$) рассеивается резистором R_i . Особенностью элементов И²Л является очень низкое значение помехоустойчивости $U_{п}^-$ для отрицательных помех, которая зависит от степени насыщения n-p-n-транзистора и составляет $U_{п}^- = (20–50)$ мВ. Величина помехоустойчивости $U_{п}^+$ для положительных помех несколько больше и определяется как $U_{п}^+ = U_{пор} - U^0$. Благодаря очень малому

логическому перепаду напряжений, незначительным емкостям (~ 1 пФ) и отсутствию накопления заряда в элементах И²Л, задержка распространения сигнала t_3 составляет $\sim (5-20)$ нс. Таким образом, элементы И²Л имеют достаточно высокое быстродействие и очень малую (по сравнению с элементами ТТЛ и ЭСЛ) работу переключения $A_{п} = P * t_3 \sim 0,1$ пДж.

Еще одной важной особенностью И²Л схем является то, что они допускают объединение выходов различных элементов (инверторов) по схеме “монтажное И”, т. е. позволяют реализовать логическую функцию “И” путем соединения выходов инверторов металлическими проводниками.

На рис. 2.15 показано, каким образом схемотехнически реализуются функции инверсии и “монтажного (проводного) И”. Если на входы А и В поданы сигналы низкого уровня U^0 (лог. 0), то транзисторы T_1 и T_2 закрыты, и на монтажно объединенных выходах двух инверторов Y_1 будет высокий уровень сигнала U^1 , соответствующий логической 1. При других значениях сигналов А и В на выходе Y_1 будет низкий уровень сигнала U^0 . Таким образом, на выходе Y_1 выполняется функция И над инверсными переменными \bar{A} и \bar{B} , которые образуются на выходах инверторов, т. е. $Y_1 = \bar{A} * \bar{B}$. Используя элементы И²Л и “монтажное И”, можно реализовать логическую функцию ИЛИ – НЕ, а путем инвертирования “монтажного И” получить функцию И – НЕ ($Y_2 = \overline{\bar{A} * \bar{B}} = A + B$).

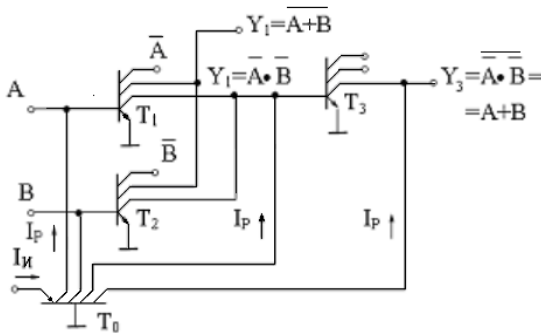


Рис. 2.15. Схема элемента инжекционной логики ИЛИ – НЕ / ИЛИ

Предельное количество элементов, объединяемых по схеме “монтажное И”, определяется величиной тока утечки I_{k0} , ответвляющегося в коллектор закрытого p-p-n-транзистора. Для повышения быстродействия и нагрузочной способности элементов И²Л, а также расширения их функциональной возможности применяют диоды Шоттки (с различными способами их включения), дополнительные p-n-p-структуры (т. е. схемы с перехватом тока) и многоярусные интегральные инжекционные схемы [3].

Основные характерные черты И²Л-схем, выделяющие их среди известных классов биполярных ИС (малая потребляемая мощность, возможность получения высокой степени интеграции), определяют важнейшие области их применения. Широко используются И²Л-БИС в системах с батарейным питанием, в схемах часов, калькуляторов и т. д. Основу таких схем составляют счетчики, делители частоты, сумматоры, дешифраторы и т. д. В связи с развитием БИС и СБИС для микропроцессорных систем на основе И²Л-схем (так же, как и на основе ТТЛ- и ЭСЛ-схем) разрабатываются различные схемы памяти и арифметико-логических устройств, в частности, схемы триггеров, регистров, мультиплексоров, компараторов двоичных чисел, шинных приемо-передатчиков и т. д.

2.4. Элементы на МДП-транзисторах

В МДП (металл – диэлектрик – полупроводник)-транзисторах роль диэлектрика выполняет двуокись кремния SiO_2 , поэтому эти транзисторы также обозначают аббревиатурой МОП (металл – окисел – полупроводник).

Широкое применение нашли МОП-транзисторы с изолированным затвором, которые бывают двух типов:

- с встроенным каналом (транзистор обедненного типа), при отсутствии напряжения на затворе U_3 имеет проводящий канал;
- с индуцированным каналом (транзистор обогащенного типа), канал закрыт, если $U_3 = 0$.

МОП-транзистор характеризуется очень большим входным сопротивлением (10^{14} Ом), и, следовательно, малым входным током. Поэтому такой транзистор управляется не током (как биполярный транзистор), а напряжением.

В цифровых интегральных схемах наибольшее применение нашли МОП-транзисторы с изолированным затвором и индуцированным каналом. В зависимости от типа проводимости канала различают рМОП- и нМОП-транзисторы (транзисторы с каналами р- и n-типов проводимости, соответственно). На их основе строятся элементы рМОП-, нМОП- и комплементарные МОП (КМОП)-интегральные схемы, реализующие различные логические функции. Схемы этих элементов по сравнению с биполярными ИС ТТЛ и ЭСЛ конструктивно просты, более технологичны, имеют более высокую помехоустойчивость и малую мощность потребления, а также занимают гораздо меньшую площадь на кристалле полупроводника. Однако их быстродействие существенно меньше. МОП-схемы допускают более широкий диапазон питающих напряжений. Со схемами ТТЛ, например, с микросхемами серии 74ALSxxx (КР1533), нМОП-схемы в общем хорошо стыкуются, хотя на их входы требуется подать сигнал логической 1 более высокого уровня, а выход МОП ИС из-за невысокого выходного тока обычно можно нагружать только на один ТТЛ-вход.

Рассмотрим принципы построения и работы базовых логических элементов (ЛЭ) на основе нМОП-транзисторов, имеющих более высокое быстродействие, чем рМОП-транзисторы, при равенстве других их параметров (при одинаковых их возможностях по другим параметрам).

На рис. 2.16 приведены электрические схемы двухвходовых ЛЭ, реализующих логические функции И – НЕ и ИЛИ – НЕ. В этих схемах, использующих положительное напряжение стокового питания, сигналу логической 1 соответствует высокий уровень, а логическому 0 – низкий уровень положительного напряжения. Обе схемы содержат по три транзистора, один из которых – T_0 выполняет роль нагрузки, а T_1 и T_2 являются переключательными транзисторами, реализующими логические функции. В схеме ЛЭ, выполненного на основе нМОП-транзисторов (рис. 2.16, а), и реализующего функцию И – НЕ, ключевые транзисторы T_1 и T_2 соединены последовательно. Поэтому для появления на выходе схемы напряжения низкого уровня на затворы транзисторов T_1 и T_2 необходимо подать напряжение высокого уровня. Таким образом, при наличии сигналов логической 1 на обоих входах элемента И – НЕ на ее выходе будет сигнал логического 0.

Максимальное число переключательных транзисторов (коэффициент объединения по входу $m_{и}$) обычно не превышает 4. Увеличение числа входных ключевых транзисторов в схемах И – НЕ усложняет топологию, снижает степень интеграции и помехоустойчивость за счет увеличения уровня напряжения логического 0.

В схеме ИЛИ – НЕ (рис. 2.16, б) транзисторы T_1 и T_2 включены параллельно, поэтому при подаче хотя бы на один из входов схемы сигнала логической 1 на ее выходе будет сформирован сигнал логического 0.

Коэффициент объединения по входу $m_{или}$ равен 10. Объясняется это тем, что у схемы ИЛИ – НЕ число $m_{или}$ ограничивается только снижением уровня «1» за счет падения напряжения на выходе схемы от суммарного тока утечки в цепях сток-исток входных транзисторов. Так как этот ток очень мал, $m_{или}$ имеет сравнительно высокое значение.

Благодаря высокому входному сопротивлению и существенно малому значению тока утечки МОП-транзисторов цифровые ИС, построенные на их основе, имеют высокую нагрузочную способность ($n = 10-20$).

Комплементарная МОП (КМОП)-структура представляет собой схему инвертора (рис. 2.17, а), составленную из МОП-транзисторов разного типа проводимости. Подложка транзистора n-типа проводимости T_1 подключена к нулевому потенциалу (к земле), подложка транзистора p-типа T_2 – к положительному источнику питания, а затворы обоих транзисторов объединены и являются входами схемы.

КМОП-элементы выгодно отличаются от элементов nМОП малой мощностью потребления в статическом режиме (единицы и менее мкВт), относительно высоким быстродействием, высокой нагрузочной способностью ($n \geq 15-20$) и хорошей помехоустойчивостью за счет большего перепада уровней сигналов лог. 1 и лог. 0 (низкий уровень ближе к нулю, высокий – к напряжению питания). В статическом режиме мощность определяется величиной напряжения питания и токами утечки закрытого транзистора, которые очень малы. Мощность, потребляемая КМОП ИС, расходуется в основном во время переходного процесса на заряд паразитных емкостей нагрузки $C_{н}$. Поэтому с увеличением частоты переключения схемы

и емкости C_H динамическая мощность схемы возрастает и определяется как

$$P_{\text{дин}} = 2 \cdot C_H \cdot f_p \cdot E_c^2,$$

где E_c – напряжение источника стокового питания; f_p – рабочая частота.

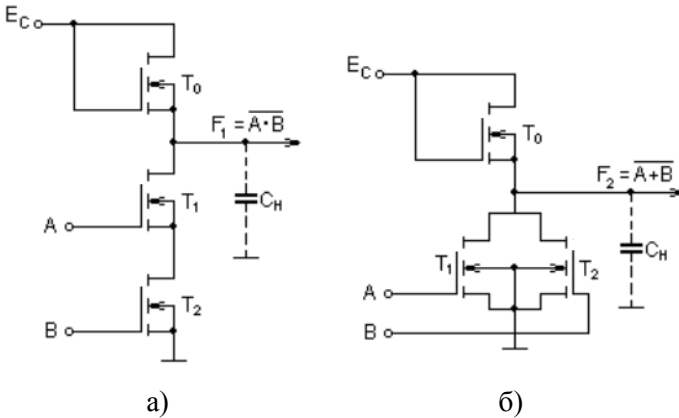


Рис. 2.16. Электрические схемы ЛЭ И – НЕ (а) и ИЛИ – НЕ (б) на nМОП-транзисторах

Рассмотрим работу простейших двухвходовых КМОП логических элементов И – НЕ и ИЛИ – НЕ (рис. 2.17, б и в) в режиме положительной логики – прямых Н (High) – активных сигналов. В этом режиме, в котором работают наиболее широко применяемые серии КМОП ИС, высокому уровню напряжения соответствует сигнал логической 1 (лог. 1), а низкому уровню – сигнал лог. 0. Из рис. 2.17, б видно, что для реализации И – НЕ используется последовательное включение nМОП-транзисторов и параллельное включение pМОП-транзисторов. Для реализации функции ИЛИ – НЕ параллельно включаются nМОП-транзисторы, а последовательно – pМОП-транзисторы. Кроме того, затворы каждой пары транзисторов nМОП и pМОП, образующих КМОП-структуру, соединяются между собой и являются входами элементов КМОП. При подаче на вход А КМОП-элемента И – НЕ сигнала лог. 0 закрывается nМОП-транзистор T_1 , а связанный с ним по затвору pМОП- транзистор T_3 открывается.

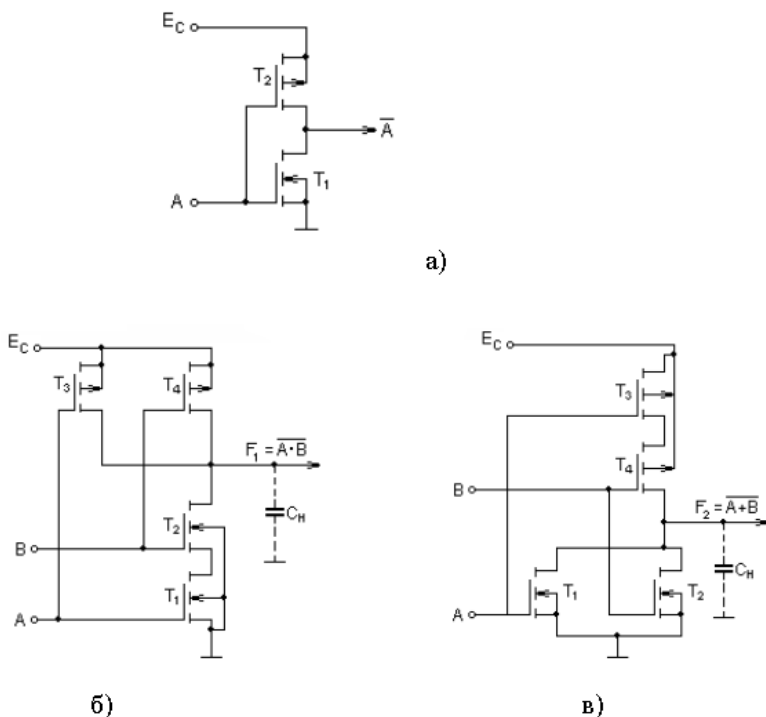


Рис. 2.17. Схемы КМОП элементов: инвертора (а), И – НЕ (б) и ИЛИ – НЕ (в)

В результате на выходе элемента (независимо от значения сигнала на входе В) формируется уровень лог. 1. При подаче на входы А и В сигнала лог. 1 nМОП-транзисторы T_1 и T_2 открываются, а pМОП-транзисторы T_3 и T_4 закрываются, что приводит к формированию на выходе элемента сигнала лог. 0. При этом емкость нагрузки C_H всегда перезаряжается через открытый nМОП- или pМОП-транзистор, в результате чего КМОП-элемент переключается быстрее, в отличие от аналогичных nМОП-элементов.

Минимальное напряжение питания элементов КМОП определяется пороговым напряжением отпирания $U_{пор,p}$ pМОП-транзистора, т. к. оно больше, чем напряжение $U_{пор,n}$ nМОП-транзистора. Напряжение питания выбирается большим, чем $U_{пор,p}$. В этом случае обеспечивается высокая помехоустойчивость и хорошее быстродействие. КМОП элементы ИЛИ – НЕ (рис. 2.17, в) работают так же,

но на ее выходе сигнал лог. 1 формируется только при одновременной подаче на входы А и В сигналов лог. 0. Обычно коэффициент объединения по входу элементов КМОП не превышает 4 ($m \leq 4$). Сравнение элементов КМОП И – НЕ и ИЛИ – НЕ с аналогичными nМОП элементами показывает, что при реализации одних и тех же функций в элементах КМОП используется большее число транзисторов, что можно считать их недостатком.

Однако сверхмалая потребляемая мощность и высокое быстродействие обеспечивают хорошее применение элементов КМОП, особенно в разработках сверхбольших интегральных схем. Интересные возможности в построении экономичных по числу транзисторов интегральных схем дает применение комплементарных МОП-транзисторов с так называемыми нагрузочными и ВБ (вентильным и блокирующим) транзисторами [5]. Особый интерес представляет применение КМОП ИС с нагрузочными и ВБ транзисторами для проектирования триггерных устройств, схем дешифраторов, сумматоров и других функциональных узлов и устройств.

3. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА

Функциональные узлы цифровых логических устройств разделяются на комбинационные и последовательностные. Комбинационными называются логические устройства, выходные сигналы которых в любой дискретный момент времени однозначно определяются логическими сигналами, имеющимися на их входах в тот же момент времени.

В составе функциональных узлов последовательностного типа имеются элементы памяти. Поэтому эти устройства также называются автоматами с памятью или просто цифровыми автоматами (ЦА). Выходные сигналы последовательностных устройств определяются не только сигналами, имеющимися на входах ЦА в данный момент времени, но и зависят от исходного состояния элементов памяти.

Среди комбинационных устройств на практике наиболее широко используются типовые функциональные узлы: шифраторы, дешифраторы, мультиплексоры, демультимплексоры, компараторы, преобразователи кодов, схемы контроля, сумматоры и т. д.

3.1. Шифраторы и дешифраторы

Шифратор предназначен для преобразования кода “1 из N” в двоичный. Входам шифратора последовательно присваиваются значения десятичных чисел. При подаче активного логического сигнала на один из входов шифратора на его выходе формируется двоичный код, соответствующий номеру возбужденного входа (т. е. десятичному числу). Шифратор, имеющий 2^n входов и n выходов, называется полным. Если число входов шифратора меньше 2^n , он называется неполным.

Рассмотрим пример построения шифратора для преобразования десятичных чисел от 0 до 9 (десятиразрядного единичного кода) в двоично-десятичный код. Работа такого шифратора описывается следующими логическими уравнениями:

$$\begin{aligned} Y_0 &= X_1 + X_3 + X_5 + X_7 + X_9; \\ Y_1 &= X_2 + X_3 + X_6 + X_7; \\ Y_2 &= X_4 + X_5 + X_6 + X_7; \\ Y_3 &= X_8 + X_9, \end{aligned} \tag{3.1}$$

которые составляются на основании таблицы истинности (табл. 3.1).

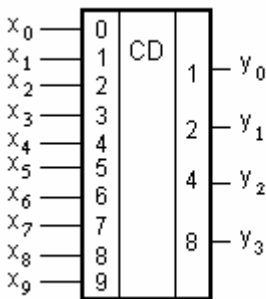
Условное графическое обозначение шифратора и его схема, соответствующие логическим уравнениям (3.1), приведены на рис. 3.1. Как видно из рис. 3.1 в шифраторе рассматриваемого типа сигнал, подаваемый на вход x_0 , не используется.

Шифратор иногда называют «кодером» (от англ. coder) и он используется, например, для перевода десятичных чисел, набранных на клавиатуре кнопочного пульта управления, в двоичные числа.

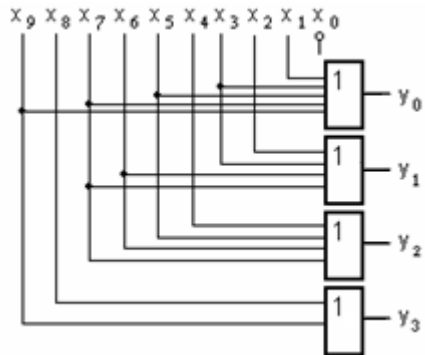
Таблица 3.1

Таблица истинности шифратора

| x_9 | x_8 | x_7 | x_6 | x_5 | x_4 | x_3 | x_2 | x_1 | x_0 | y_3 | y_2 | y_1 | y_0 |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |



а)



б)

Рис. 3.1. Условное графическое обозначение шифратора (а) и его логическая схема (б)

При нажатии любой клавиши на соответствующий вход шифратора подается сигнал логической единицы (лог. 1), который и преобразуется на выходе в двоично-десятичный код. При этом сигнал лог. 1 (см. табл. 3.1) в каждый момент времени подается только на один вход, который возбуждается. Такие шифраторы с одним возбуждаемым входом называются двоичными шифраторами. Кроме двоичных шифраторов на практике широко применяются приоритетные шифраторы. В приоритетных шифраторах активные сигналы (лог. 1 или лог. 0) подаются одновременно на несколько входов. При этом на их выходах формируется двоичный код числа, соответствующего наибольшему номеру возбужденных входов. Очевидно, при наличии только одного возбужденного входа шифратор с приоритетом работает так же, как и двоичный. Приоритетные шифраторы применяются для выполнения более сложной операции, например, для выбора источника запроса на право первоочередного обслуживания (пользования каким-либо ресурсом).

На приоритетных шифраторах, подключив к их выходам дешифраторы, можно реализовать указатели старшей единицы, у которых число выходов равно числу входов. При наличии на входах схемы указания старшей единицы нескольких активных логических сигналов будет возбуждаться лишь один выход, соответствующий старшему запросу. Таким образом, указатели старшей единицы, хотя и решают в принципе ту же задачу, что и шифраторы с приоритетом, но формируют на выходах двоичный код в другой форме – в виде кода “1 из m ” ($m \leq 2^n$). Указатели старшей единицы применяются в устройствах нормализации чисел с плавающей точкой в системах с приоритетным обслуживанием запросов и т. д.

Дешифратором или декодером называется функциональный узел комбинационного типа, преобразующий n -разрядный двоичный код на входе в комбинацию сигналов на выходе в виде кода “1 из m ”, где n и m – соответственно число входов и выходов дешифратора. Каждая выходная функция дешифратора однозначно соответствует одной из m возможных комбинаций входных сигналов. Другими словами, для каждой конкретной комбинации входных сигналов соответствующая ей выходная функция принимает определенное значение, равное, например, логической 1, в то время как на других – значения функций равно логическому 0. Если число входов дешифратора n связано с числом его выходов m соотношением $m = 2^n$,

то дешифратор называется полным. Если $m < 2^n$, т. е. на выходах дешифратора реализуются не все возможные комбинации входных сигналов, то такой дешифратор называется неполным. Например, неполным называется дешифратор, имеющий 4 входа и 10 выходов, который используется для преобразования двоичного кода в двоично-десятичный. Работа дешифратора описывается таблицей истинности, аналогичной таблице истинности шифратора (табл. 3.1), только в ней входные и выходные сигналы меняются местами.

Схемотехнически дешифраторы реализуются на логических элементах (ЛЭ) И или И – НЕ. В последнем случае дешифратор называют дешифратором с инверсными выходами. В самой простой схеме дешифратора, называемой линейной, для реализации каждой выходной функции используется отдельный n-входовой логический элемент И или И – НЕ. На входы ЛЭ И (или И – НЕ) подается соответствующая комбинация значений входных сигналов. Схема линейного дешифратора на ЛЭ И – НЕ и его условное графическое обозначение приведены на рис. 3.2.

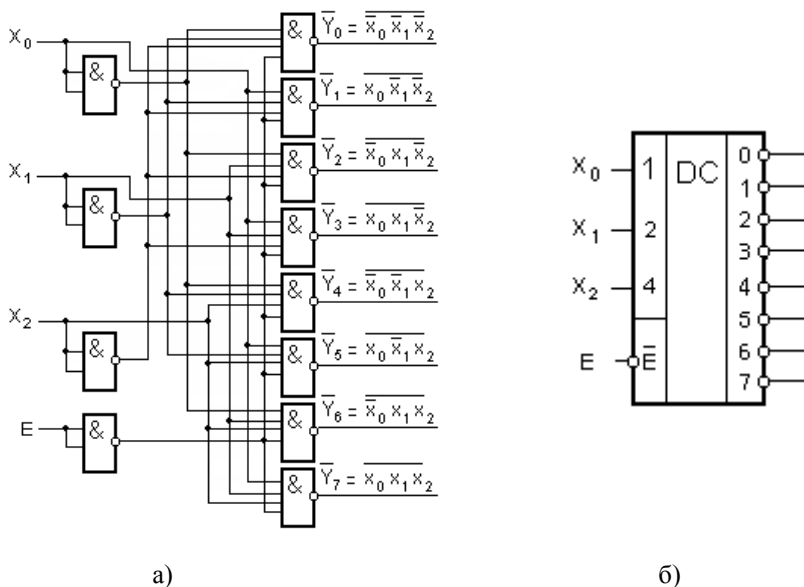


Рис. 3.2. Схема дешифратора с инверсными выходами (а) и его условное графическое обозначение (б)

В схеме дешифратора на рис. 3.2, а используются дополнительные (три) ЛЭ И – НЕ для получения парафазных сигналов из однофазных (прямых), поступающих на входы дешифратора. На выходе каждого из ЛЭ И – НЕ реализуется инверсия одной из m выходных функций. В основном поле условного обозначения (рис. 3.2, б) проставляются буквы DC (от английского слова Decoder). Входы дешифратора обозначаются их двоичными весами.

Микросхемы дешифраторов обычно имеют входы стробирования, активные логические сигналы на которых разрешают их работу. Если в схеме на рис. 3.2, а на вход стробирования E подается сигнал логической 1 ($E = 1$), то выходные функции дешифратора не зависят от его входных сигналов и все они принимают значение, равное логической 1; в противном случае, т. е. когда стробирующий сигнал E равен логическому 0 ($E = 0$), дешифратор работает обычным образом. Например, если на всех входах – логические нули, то на выходе $\overline{Y_0}$ – логический 0, а на остальных выходах – логические единицы. Если на входе X_2 – логическая 1, а на остальных входах – логический 0, то на выходе $\overline{Y_4}$ – логический 0, а на остальных – логические единицы и т. д.

Наличие входа стробирования позволяет на основе нескольких микросхем дешифраторов при необходимости увеличения разрядности входного кода построить структуры дешифраторного дерева, т. е. из малоразрядных дешифраторов получить схему наращивания разрядности дешифратора (рис. 3.3).

Линейная схема дешифратора, нашедшая широкое распространение в интегральном исполнении дерева, и содержит минимальное число ЛЭ и имеет наибольшее быстродействие по сравнению с каскадными (пирамидальными и прямоугольными) дешифраторами. Быстродействие линейного дешифратора практически определяется задержкой переключения одного логического элемента. Однако при увеличении разрядности n входного кода логические элементы должны иметь соответственно по n входов, что на практике может оказаться невыполнимым из-за ограниченности числа входов у реальных схем ЛЭ. При больших n проявляются преимущества каскадных дешифраторов, схемы которых оказываются проще одноступенчатых дешифраторов по числу необходимых элементарных

(двухвходовых) ЛЭ. Однако следует отметить, что упрощение структуры дешифраторов всегда сопровождается уменьшением его быстродействия.

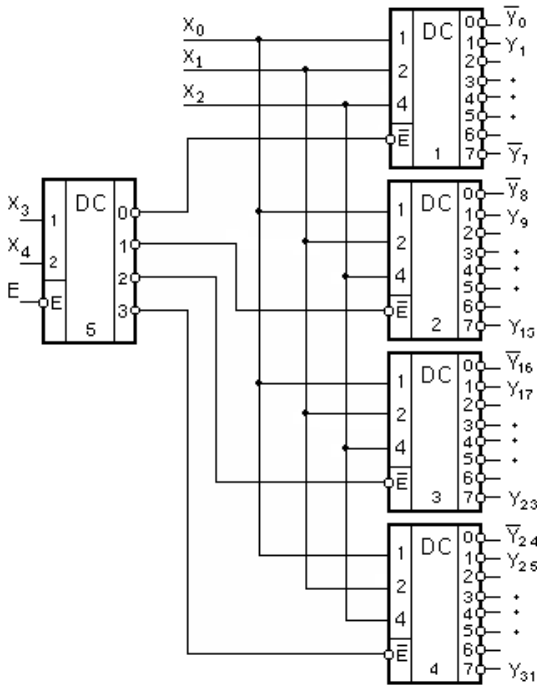


Рис. 3.3. Схема дешифраторного дерева

Дешифраторы находят самое широкое применение в цифровых устройствах. Они применяются для построения различных комбинационных устройств: мультиплексоров, демультиплексоров, преобразователей кодов и т. д. В запоминающих устройствах с помощью дешифраторов выбираются ячейки для считывания или записи информации. В системах ввода/вывода дешифраторы применяются для выбора одного из многих портов, посылающих или принимающих данные.

Наряду с дешифраторами типа “1 из 2^n ” существуют и дешифраторы специального назначения, преобразующие коды или числа в те или иные нужные в частных случаях формы. Например, с помощью специального дешифратора можно осу-

существовать преобразования кода 8421 ВСD в семисегментный код. Такой дешифратор-преобразователь позволяет выбрать определенный набор сегментов светового индикатора (рис. 3.4) так, чтобы получить на нем изображение десятичной цифры, представленной в коде 8421 ВСD (в четырехбитовом двоично-десятичном коде) на входах дешифратора.

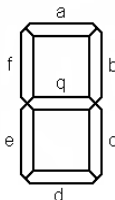


Рис. 3.4. Семисегментный индикатор десятичных цифр

3.2. Мультиплексоры и демультиплексоры

Мультиплексором называется комбинационное устройство, предназначенное для управляемой передачи информации, поступающей по нескольким входным каналам на один выход. Кроме информационных входов в мультиплексоре имеются адресные (управляющие) и стробирующие входы, разрешающие работу мультиплексора. Сигналы на адресных входах определяют, какой из информационных входов в данный момент подключен к выходу. Обычно между числом информационных входов m и числом адресных входов n действует соотношение $m = 2^n$.

Работа мультиплексора, имеющего 1 стробирующий, 2 адресных и 4 информационных входа, описывается следующим логическим уравнением:

$$F = x_0 \cdot \bar{a}_1 \cdot \bar{a}_0 \cdot \bar{E} + x_1 \cdot \bar{a}_1 \cdot a_0 \cdot \bar{E} + x_2 \cdot a_1 \cdot \bar{a}_0 \cdot \bar{E} + x_3 \cdot a_1 \cdot a_0 \cdot \bar{E}, \quad (3.2)$$

где E – сигнал на входе стробирования, активный уровень которого разрешает работу мультиплексора.

Если на стробирующий вход разрешения работы E подан сигнал логической 1 ($E = 1$), то выходной сигнал мультиплексора становится равным нулю, независимо от значений информационных x_i и адрес-

ных a_j сигналов ($i = 0, 1, 2, 3$ и $j = 0, 1$). Другими словами, с помощью стробирующего сигнала E можно разрешить или запретить подключение выбранного входа к выходу, т. е. заблокировать действие мультиплексора. Схема мультиплексора, соответствующая логическому уравнению (3.2) и его условное графическое обозначение, приведены на рис. 3.5.

В схеме на рис. 3.5 двухвходовые логические элементы И – НЕ управляются выходными сигналами дешифратора, на входы которого подаются адресные сигналы. Таким образом, с помощью дешифратора выбирается один из четырех двухвходовых элементов И-НЕ, и через него и ЛЭ И – НЕ с 4-мя входами во второй ступени информация с входной линии передается на выход. При этом быстродействие мультиплексора определяется суммой задержек распространения сигналов в дешифраторе и в двух ЛЭ И – НЕ.

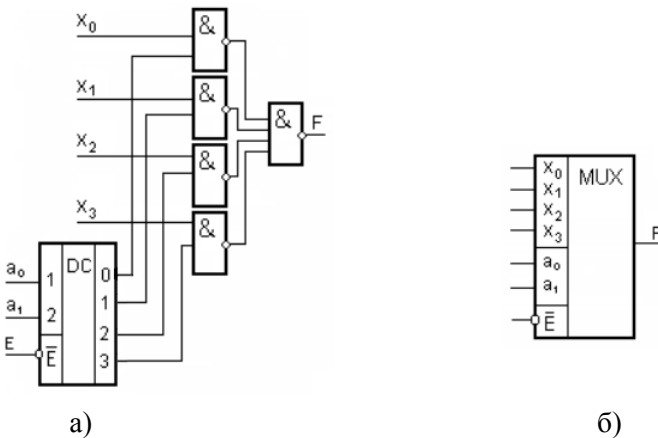


Рис. 3.5. Схема мультиплексора (а) и его условное графическое обозначение (б)

Мультиплексоры обозначают через MUX (от англ. multiplexor) или MS (multiplexor selector). Вход разрешения работы E используется также для расширения функциональных возможностей мультиплексора, например, для увеличения числа информационных входов (наращивания разрядности входного слова) мультиплексора и синхронизации его работы с работой других устройств.

На рис. 3.6 приведена схема наращивания разрядности мультиплексора (мультиплексорного дерева) с 16-ю информационными входами, построенная на основе четырехвходовых мультиплексоров. Данная схема мультиплексорного дерева характеризуется двухуровневой реализацией. Мультиплексоры первого уровня управляются младшими разрядами адресного слова (a_0 и a_1), а мультиплексор второго уровня – старшими разрядами адресного слова (a_2 и a_3).

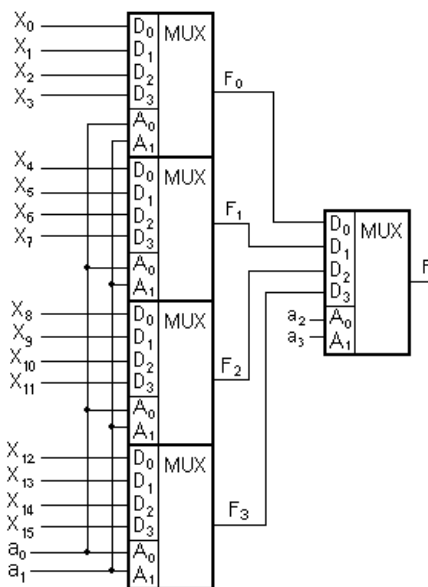


Рис. 3.6. Схема мультиплексорного дерева

Мультиплексоры являются универсальными логическими устройствами, на основе которых создаются различные комбинационные и последовательностные схемы. Мультиплексоры могут использоваться в триггерных устройствах, в делителях частоты и др. Мультиплексоры часто применяются в качестве коммутаторов-селекторов сигналов для преобразования параллельного кода в последовательный. Для такого преобразования достаточно подать на информационные входы мультиплексора параллельный двоичный код, а на адресные входы – сигналы в такой последовательности,

чтобы к выходу поочередно подключались входы, начиная с первого и кончая последним. Мультиплексоры также применяются для реализации так называемого комбинационного устройства сдвига, обеспечивающего сдвиг двоичного числа по разрядам.

Демультимплексором называется комбинационное логическое устройство, предназначенное для управляемой передачи данных с одного информационного входа в один из нескольких выходов, в зависимости от сигналов на его адресных входах. Таким образом, демультимплексор выполняет функцию, обратную функции мультиплексора и в общем случае имеет один информационный вход, n адресных входов и m информационных выходов. Обычно так же, как и у мультиплексоров, $m = 2^n$. В таком случае демультимплексор называется полным, а при $m < 2^n$ демультимплексор называется неполным.

Работа демультимплексора, имеющего 2 адресных входа, 4 информационных выхода, 1 информационный вход и вход стробирования описывается следующими логическими уравнениями:

$$F_0 = \overline{x \cdot a_1 \cdot a_0 \cdot \bar{E}}; \quad F_2 = \overline{x \cdot a_1 \cdot \bar{a}_0 \cdot \bar{E}};$$

$$F_1 = \overline{x \cdot \bar{a}_1 \cdot a_0 \cdot \bar{E}}; \quad F_3 = \overline{x \cdot a_1 \cdot a_0 \cdot E}.$$
(3.3)

Схема демультимплексора, построенная на ЛЭ И – НЕ согласно уравнениям (3.3), и его условное графическое обозначение приведены на рис. 3.7.

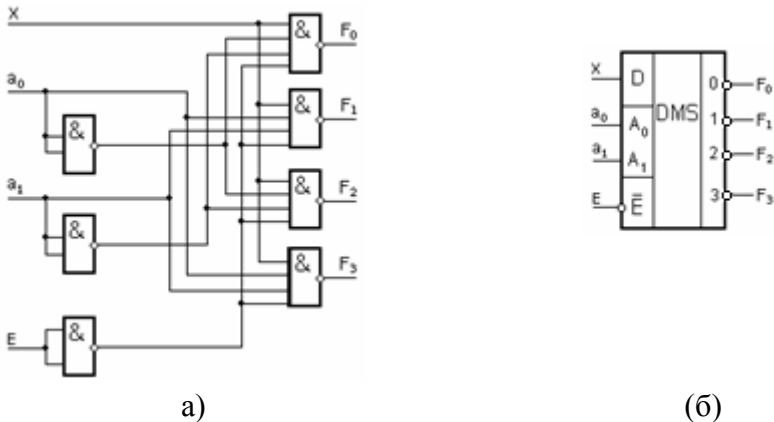


Рис. 3.7. Схема демультимплексора (а) и его условное графическое обозначение (б)

Демультимплексоры обозначают через DMS или DMX. Следует отметить, что в схеме демультимплексора на рис. 3.7, а для управления логическими элементами И – НЕ можно использовать дешифратор на 2 входа. Для наращивания числа выходов демультимплексора применяется тот же прием, что и при увеличении числа входов мультиплексора. При этом структура демультимплексорного дерева с точностью до зеркального отображения аналогична структуре мультиплексорного дерева (рис. 3.6).

Схема демультимплексорного дерева, имеющая двухуровневую структуру, приведена на рис. 3.8.

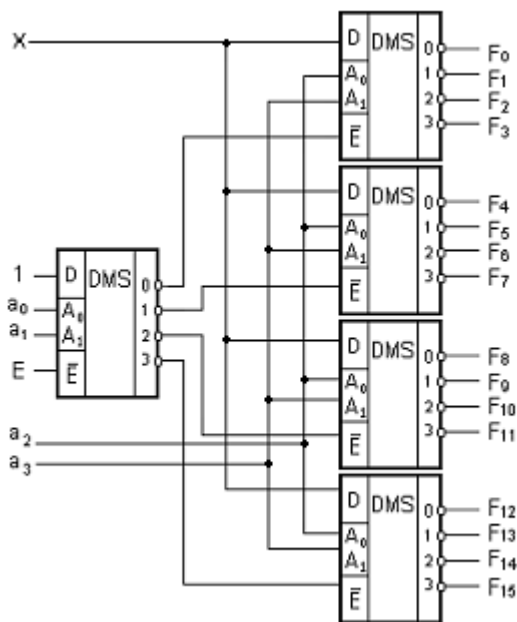


Рис. 3.8. Схема демультимплексорного дерева

Демультимплексор первого уровня также управляется младшими разрядами адресного слова, а демультимплексор второго уровня – его старшими разрядами.

Демультимплексоры широко используются для преобразования последовательного кода в параллельный. Демультимплексор можно использовать в режиме дешифратора, если на его информационный вход подать стробирующий сигнал.

3.3. Цифровые компараторы

Цифровые компараторы выполняют сравнение двух чисел, представленных в двоичном коде. Число входов компаратора определяется разрядностью сравниваемых двоичных кодов чисел a и b . Цифровой компаратор имеет три выхода, на которых формируются сигналы: F_p – если коды двух двоичных чисел a и b равны между собой ($a = b$); F_6 – если код числа a больше кода b ($a > b$); F_m – если $a < b$.

Работу компаратора при сравнении двух одноразрядных кодов чисел a и b поясняет таблица истинности (табл. 3.2).

Таблица 3.2

Таблица истинности компаратора

| a | b | F_p | F_6 | F_m |
|-----|-----|-------|-------|-------|
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |

Логические уравнения, соответствующие таблице истинности компаратора, имеют следующий вид:

$$F_p = \bar{a}\bar{b} + ab = \overline{\bar{a}b + a\bar{b}} = \overline{a \oplus b};$$

$$F_6 = a\bar{b}; \quad F_m = \bar{a}b. \quad (3.4)$$

Схема одноразрядного компаратора, построенная на основании уравнений (3.4), приведена на рис. 3.9

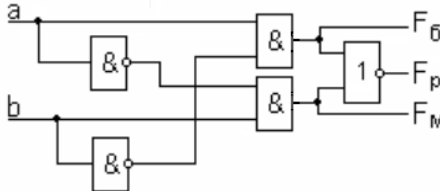


Рис. 3.9. Схема одноразрядного компаратора

Из анализа таблицы истинности (табл. 3.2) и схемы одноразрядного компаратора, соответствующей ей, следует что, если $a = b$, то $F_p = 1$, иначе, т. е. при $a \neq b$, $F_p = 0$. Если $a > b$, т. е. $a = 1$, $b = 0$, то $F_6 = 1$, а если $a < b$, т. е. $a = 0$, $b = 1$, то $F_M = 1$.

Таким образом, при любой комбинации входных сигналов активный (единичный) логический сигнал может быть сформирован только на одном из выходов компаратора. Поэтому при любой разрядности входных кодов достаточно, используя входные сигналы, сформировать только любые два из выходных сигналов. Третий сигнал всегда может быть получен по двум известным. На основании изложенного выше можно переписать логические уравнения (3.4) в следующем виде:

$$\begin{aligned} F_p &= \overline{a} \cdot \overline{b} + a \cdot b = \overline{F_M} \cdot \overline{F_6} = \overline{F_M + F_6}; \\ F_6 &= \overline{F_p} \cdot \overline{F_M} = \overline{F_p + F_M}; \\ F_M &= \overline{F_p} \cdot \overline{F_6} = \overline{F_p + F_6}. \end{aligned} \quad (3.5)$$

При построении схем компараторов для сравнения многоразрядных двоичных кодов обычно используют метод блочного конструирования или декомпозиции задачи.

Рассмотрим целесообразность данного подхода на примере построения компаратора многоразрядных двоичных кодов. За основу примем схему компаратора одноразрядных двоичных слов. Очевидно, что результат сравнения двухразрядных слов можно записать через результаты сравнения одноразрядных слов. Для этого рассуждаем следующим образом. Если старшие разряды a_1 и b_1 двух сравниваемых между собой чисел не равны, то выходная функция F_p однозначно равна 0, независимо от результатов сравнения младших разрядов a_0 и b_0 . При этом если $a_1 > b_1$, то функции старшего разряда F_{p1} и F_{M1} , соответственно, равны 1 и 0, а при $a_1 < b_1$, имеем $F_{61} = 0$ и $F_{M1} = 1$. Если же $a_1 = b_1$, тогда требуется сравнивать младшие разряды чисел точно так же, как и в случае старших разрядов. На основании этих рассуждений можно записать

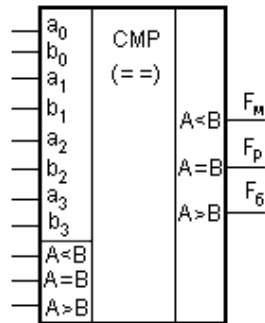
логические уравнения, справедливые для сравнения двухразрядных двоичных слов:

$$\begin{aligned}
 F_p &= F_{p1} \cdot F_{p0}; \\
 F_6 &= F_{61} + F_{p1} \cdot F_{60}; \\
 F_M &= \overline{F_p + F_6}.
 \end{aligned}
 \tag{3.6}$$

Описанный выше подход справедлив и для слов любой разрядности. Однако необходимо помнить, что к анализу следующего разряда нужно переходить только при равенстве предыдущих. В общем случае для n-разрядных двоичных кодов можно записать

$$\begin{aligned}
 F_p &= F_{pn-1} \cdot F_{pn-2} \cdot \dots \cdot F_{p0}; \\
 F_6 &= F_{6n-1} + F_{6n-1} \cdot F_{6n-2} + \dots + F_{pn-1} \cdot F_{pn-2} \cdot \dots \cdot F_{p1} \cdot F_{60}; \\
 F_M &= \overline{F_p + F_6}.
 \end{aligned}
 \tag{3.7}$$

Таким образом, с использованием компараторов, имеющих ограниченную разрядность входных двоичных кодов, на основании логических уравнений (3.6), всегда можно построить цифровой компаратор требуемой разрядности. На рис. 3.10 приведено условное графическое обозначение четырехразрядного компаратора. Входы $A > B$, $A = B$ и $A < B$, называемые расширяющими, используются для наращивания разрядности двоичных кодов сравниваемых чисел.



Для увеличения разрядности двоичных кодов чисел компараторы соединяют каскадно или параллельно (пирамидально).

Рис. 3.10. Условное графическое обозначение четырехразрядного компаратора

3.4. Преобразователи кодов и схемы контроля

Преобразователем кода называется комбинационное устройство, предназначенное для изменения вида кодирования информации. Необходимость в преобразовании кодов связана с тем, что в цифровой системе для представления информации используется несколько разновидностей двоичного кода (прямой, обратный, дополнительный, двоично-десятичный, двоично-десятичный с избытком 3 и т. д.). Используются и другие виды кодов, позволяющие, например, при передаче информации по линиям связи уменьшать вероятность появления ошибки, обнаруживать или даже исправлять ее в дальнейшем. Примерами таких кодов являются коды, построенные по принципу 2 из 5 (в которых из пяти символов два всегда имеют единичное значение), коды с проверкой четности или нечетности, коды Хемминга.

Работа преобразователя кодов так же как и других комбинационных устройств описывается таблицей истинности, которая устанавливает соответствие кодов, снимаемых с выхода преобразователя, кодам, подаваемым на его вход. Следует отметить, что в общем случае в таблице истинности число разрядов входного и выходного кодов может не совпадать. Важно, что таблица устанавливает однозначное соответствие различных кодов. Таблица истинности является основанием для синтеза логической структуры конкретного преобразователя кодов.

Рассмотрим таблицу истинности (табл. 3.3) для преобразователя двоично-десятичного кода в десятичный. Десятичный выход, соответствующий двоично-десятичному коду числа на входе, определяется наличием на нем логической 1. При этом для имеющихся безразличных наборов входных переменных выполняется доопределение выходных функций для получения минимизированных логических выражений.

В алгебре логики для минимизации выходных функций относительно небольшого числа входных переменных (не более 6) применяется графический метод, использующий карты Карно, который является более простым и наглядным по сравнению с алгебраическими преобразованиями. Для функций большего числа переменных можно декомпозицией выделить более простые составляющие функции с числом переменных не более 6, которые минимизируются с помощью карты Карно.

Таблица 3.3

Таблица истинности для преобразователя двоично-десятичного кода

| x_0 | x_1 | x_2 | x_3 | y_0 | y_1 | y_2 | y_3 | y_4 | y_5 | y_6 | y_7 | y_8 | y_9 |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

При использовании этого метода исходная функция представляется на карте Карно. Карта Карно для преобразователя двоично-десятичного кода в десятичный, полученная на основании таблицы истинности (табл. 3.3), и условное графическое обозначение преобразователя приведены на рис. 3.11.

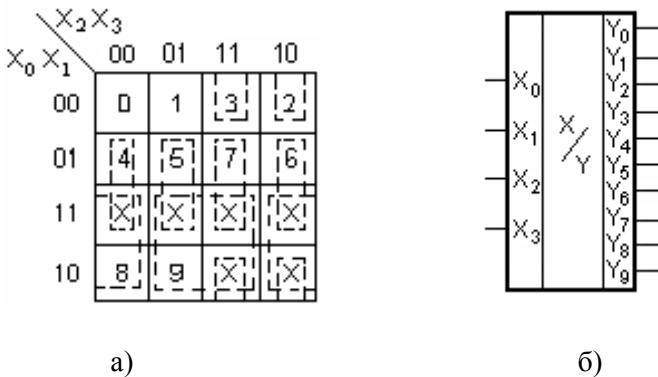


Рис. 3.11. Карта Карно (а) и условное графическое обозначение преобразователя двоично-десятичного кода в десятичный (б)

Цифры в клетках карты Карно указывают номера выходных функций, принимающих значение, равное логической 1 на соответствующих наборах входных переменных. Например, на пересечении столбца с номером $x_0x_1 = 00$ и строки с номером $x_2x_3 = 11$ расположена клетка с номером 3, соответствующая набору переменных $x_0x_1x_2x_3 = 0011$, т. е. минтерму $\overline{x_0}\overline{x_1}x_2x_3$, на котором функция $y_3 = 1$. Минтермом (конституентой 1) называется конъюнкция всех переменных, которые входят в прямом виде, если значение данной переменной в наборе равно 1, либо в инверсном виде, если значение переменной равно 0.

Как видно из рис. 3.11, а минтермы, соответствующие двум соседним (в столбце и строке) клеткам карты Карно, отличаются значениями только одной переменной. На карте Карно знаком «X» обозначены клетки, соответствующие безразличным наборам входных переменных, на которых функции не определены, т. е. эти наборы при работе данного преобразователя не реализуются. Приписав безразличным наборам значение функции, равное логической 1, можно упростить ее алгебраическое выражение. С этой целью на карте Карно пунктирными линиями обведены (графически объединены) соседние клетки (по две и четыре) в столбце и строке, представляющие один конъюнктивный член, в котором исключена общая переменная. Например, объединением минтермов, соответствующих двум соседним клеткам, расположенным на пересечении столбца с номером 00 и строк с номерами 01 и 11 (рис. 3.11, а), можно получить

$$y_4 = x_0x_1\overline{x_2}\overline{x_3} + \overline{x_0}x_1\overline{x_2}\overline{x_3} = x_1\overline{x_2}\overline{x_3}.$$

Таким образом, минимизированные логические выражения выходных функций преобразователя, полученные графическим объединением клеток на карте Карно (рис. 3.11, а), имеют следующий вид:

$$\begin{aligned} y_0 &= \overline{x_0}\overline{x_1}\overline{x_2}\overline{x_3}; & y_1 &= \overline{x_0}\overline{x_1}x_2x_3; & y_2 &= \overline{x_1}x_2\overline{x_3}; \\ y_3 &= \overline{x_1}x_2x_3; & y_4 &= x_1\overline{x_2}\overline{x_3}; & y_5 &= x_1\overline{x_2}x_3; & y_6 &= x_1x_2\overline{x_3}; \\ y_7 &= x_1x_2x_3; & y_8 &= x_0\overline{x_3}; & y_9 &= x_0x_3. \end{aligned}$$

Согласно этим выражениям, схему преобразователя кодов можно построить на логических элементах И. Для этого достаточно на их входы подать соответствующие минтермы. При необходимости выражения выходных функций могут быть преобразованы с использованием законов и правил алгебры логики к виду, соответствующему выбранному набору элементов (например, И – НЕ, ИЛИ – НЕ, И – ИЛИ – НЕ и т. д.), на которых реализуется логическая схема. Аналогичным образом проектируются схемы и других преобразователей кодов. Рассмотрим схему одного из таких преобразователей. На рис. 3.12 приведена схема преобразователя кода Грея в двоично-десятичный код 8421, построенная на ЛЭ И – НЕ с использованием таблицы истинности (табл. 3.4), которая описывает его работу. Особенностью представления информации в виде кода Грея (см. табл. 3.4) является то, что соседние числа в двоичном представлении отличаются только в одном разряде. Поэтому код Грея больше всего подходит при вводе в цифровую систему переменной величины (информации) из внешней среды.

Таблица 3.4

Таблица истинности преобразователя кода Грея в двоично-десятичный код 8421

| Код Грея | | | | Код 8421 | | | |
|----------|-------|-------|-------|----------|-------|-------|-------|
| x_3 | x_2 | x_1 | x_0 | $У_3$ | $У_2$ | $У_1$ | $У_0$ |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |

При этом за счет использования кода Грея ошибка при вводе может появиться только в одном разряде, т. е. ошибка при вводе будет минимальной. Если те же самые операции производить с числами в обычном двоичном представлении, то в худшем варианте,

когда в момент ввода изменяются все разряды, ошибка может достигать максимальной величины.

При передаче и преобразовании данных часто возникают ошибки (сбои), т. к. действующие помехи могут изменить состояние двоичных разрядов. Простейшим способом обнаружения ошибок является проверка принимаемых данных на наличие избыточных состояний.

Для двоично-десятичного кода (табл. 3.3) последние шесть состояний (безразличные наборы входных переменных, на которых выходные функции не определены) не несут никакой полезной информации и, следовательно, являются избыточными. Поскольку при передаче информации безразличные наборы входных переменных не используются, обнаружение этих избыточных состояний на приемной стороне будет свидетельствовать о наличии ошибок.

Логическое выражение, соответствующее безразличным наборам входных переменных, и применяемое для обнаружения избыточных состояний имеет следующий вид (см. рис. 3.11, а):

$$x_0 \bar{x}_1 \bar{x}_2 \bar{x}_3 + x_0 x_1 \bar{x}_2 x_3 + x_0 x_1 x_2 x_3 + x_0 x_1 x_2 \bar{x}_3 + x_0 \bar{x}_1 x_2 x_3 + x_0 \bar{x}_1 \bar{x}_2 \bar{x}_3.$$

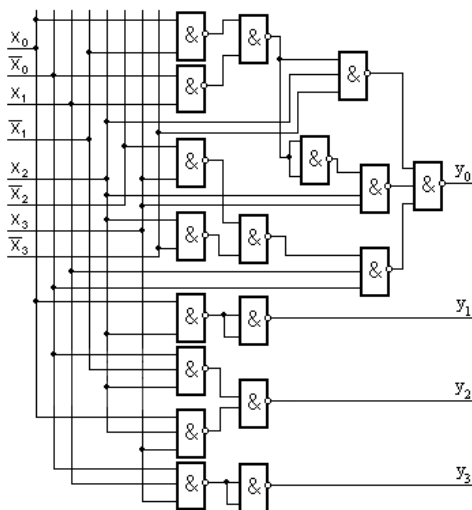


Рис. 3.12. Схема преобразователя кода Грея в двоично-десятичный код 8421

Данное выражение можно упростить и привести к виду $x_0(x_1 + x_2)$. Таким образом, обнаружение ошибок может производиться с помощью достаточно простой схемы.

Схемы контроля

Обнаружение и исправление ошибок, т. е. контроль правильности передачи информации (например, записи слова в память или считывания его из нее) является необходимым условием нормального функционирования цифровых систем и ЭВМ, в частности.

Простейшим и широко применяемым на практике способом решения задачи обнаружения ошибок является контроль по модулю 2 (контроль четности, нечетности). Этот способ обнаружения однократных ошибок основан на использовании дополнительного контрольного разряда x_n , который добавляется к n -разрядному двоичному коду информационного слова ($x_0x_1\dots x_{n-1}$) во время его передачи (например, байт дополняется девятым контрольным разрядом). После передачи слова на приёмной стороне производится контроль с проверкой суммы единиц в разрядах слова на нечётность (или чётность). Значение кода контрольного разряда выбирается так, чтобы сумма

$$x_0 \oplus x_1 \oplus \dots \oplus x_{n-1} \oplus x_n = \sum_{i=1}^n x_i \text{ mod } 2$$

была нечётной (равной единице) или чётной (равной нулю). В табл. 3.5 показан пример выбора значения кода контрольного разряда, для случая, когда осуществляется контроль по нечётности, т. е. когда коду контрольного разряда придаётся значение, при котором сумма единиц в слове нечётная.

На рис. 3.13 приведена простейшая схема контроля чётности и нечётности, которая применима для обнаружения единичной ошибки при последовательной передаче информационного слова. К линии передачи подключён синхронный триггер JK-типа, работающий в счётном режиме, который сбрасывается в состояние логического нуля в начале передачи каждого слова. Далее каждый раз, когда в потоке данных появляется 1, JK-триггер изменяет свое состояние.

Таблица 3.5

Пример выбора значения кода контрольного разряда

| x_0 | x_1 | x_2 | x_3 (контр. разр.) |
|-------|-------|-------|----------------------|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

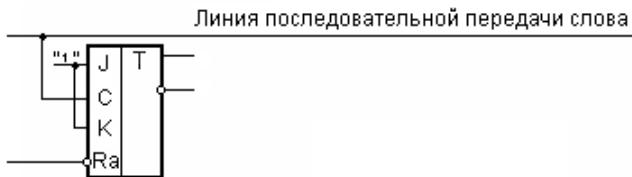


Рис. 3.13. Схема контроля чётности (нечётности) при последовательной передаче информационного слова

Таким образом, при четном количестве единиц в слове с контрольным разрядом по окончании его передачи на выходе триггера должен быть 0, а при нечетном – 1. Если эти состояния не обнаруживаются на выходе триггера по окончании приема слова, значит, произошла ошибка.

Следует отметить, что в настоящее время схемотехника цифровых систем сориентирована преимущественно на работу с параллельными данными. Для такого случая предпочтительно применение схем сверток по модулю 2, которые используются для определения кода контрольного разряда и нечетности (четности) суммы единиц в разрядах. Схемы свёрток обычно имеют пирамидальную структуру и реализуются на основании выражений для кода контрольного разряда X_n :

кода нечетности

$$x_n = x_0 \oplus x_1 \oplus \dots \oplus x_{n-1} ;$$

кода четности

$$x_n = x_0 \oplus x_1 \oplus \dots \oplus x_{n-1} .$$

Схема свертки по модулю 2, имеющая 8 информационных входов и 1 контрольный разряд и осуществляющая контроль четности, приведена на рис. 3.14. Данная схема имеет пирамидальную структуру и построена на двухвходовых элементах, выполняющих функцию «исключающее ИЛИ» (сложение по модулю 2). В общем случае схемы сверток по модулю 2 могут быть реализованы и на основе других логических элементов, например, И – НЕ, И – ИЛИ – НЕ и т. д. Схемы сверток выпускаются в составе серийных интегральных схем, примером которых является микросхема серии КР1533 ИП 5 (рис. 3.15).

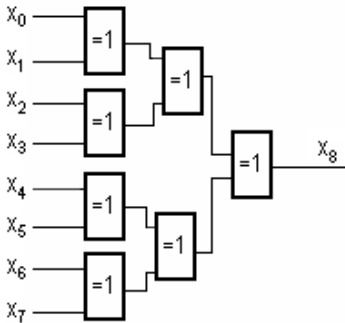


Рис. 3.14. Схема свертки по модулю 2 для контроля четности

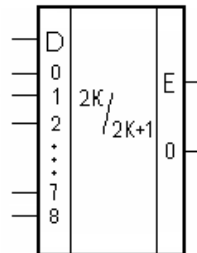


Рис. 3.15. Микросхема ИП 5

Схема имеет 9 входов. На вход 8 подается код контрольного разряда. Если число единиц во входном слове (D) четное, то на выходах E и O сигналы, соответственно, равны 1 и 0, а если оно нечетное, то E = 0 и O = 1. Следует отметить, что метод контроля по модулю 2 эффективно применяется только для обнаружения единичных ошибок. Если требуется исправление этих ошибок, то для

этой цели применяются методы контроля с использованием кода Хеминга. Методы контроля с помощью кодов Хеминга, основанные на тех же идеях, что и контроль по модулю 2, позволяют обнаруживать двойные ошибки и найти номер разряда принимаемого слова, в котором произошла единичная ошибка и исправить ее. Для получения кодовой комбинации (набора из символов принятого алфавита) кода Хеминга к информационному слову добавляется несколько контрольных разрядов (например, 3 и 4). Подробно с методами контроля с использованием кодов Хеминга можно ознакомиться в специальных источниках [17].

3.5. Сумматоры

Сумматор, являющийся одним из основных узлов арифметико-логического устройства (АЛУ), предназначен для выполнения операций арифметического сложения и вычитания чисел, представленных в виде двоичных кодов. При этом операция вычитания выполняется через сложения с применением обратных и дополнительных кодов. Существует множество вариантов построения сумматоров. Различают одноразрядные и многоразрядные сумматоры. Такая классификация сумматоров выполняется по числу разрядов кодов слагаемых. Многоразрядные сумматоры делятся на последовательные и параллельные. В последовательных сумматорах операция сложения выполняется последовательно, разряд за разрядом, начиная с младшего. В параллельных сумматорах все разряды входных кодов слагаемых суммируются одновременно, а сигнал переноса формируется различными способами. В соответствии с этим различают параллельные сумматоры с последовательным, параллельным, групповым, цепным и параллельным межгрупповым переносами.

Основными параметрами сумматоров являются:

- время задержки распространения переноса $t_{з.р}$;
- аппаратная сложность используемых для построения логических схем, оцениваемая числом их входов;
- время формирования кодов суммы t_s , определяемое временем распространения переноса через все разряды параллельного сумматора.

Одноразрядный сумматор

Одноразрядный сумматор, условное графическое обозначение которого показано на рис. 3.16, имеет три входа (два слагаемых и перенос из младшего разряда) и два выхода, на которых формируются функции суммы S и переноса P в соседний старший разряд.

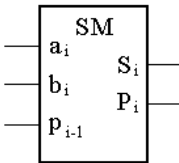


Рис. 3.16. Условное обозначение одноразрядного сумматора

Таблица 3.6
Таблица истинности сумматора

| a_i | b_i | p_{i-1} | S_i | P_i |
|-------|-------|-----------|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Логические выражения для функций суммы S_i и переноса P_i в соответствии с таблицей истинности 3.6 одноразрядного сумматора имеют вид

$$\left. \begin{aligned} S_i &= \bar{a}_i \bar{b}_i p_{i-1} \vee \bar{a}_i b_i \bar{p}_{i-1} \vee a_i \bar{b}_i \bar{p}_{i-1} \vee a_i b_i p_{i-1}, \\ P_i &= \bar{a}_i b_i p_{i-1} \vee a_i \bar{b}_i p_{i-1} \vee a_i b_i \bar{p}_{i-1} \vee a_i b_i p_{i-1} \end{aligned} \right\} \quad (3.8)$$

Применяя аппарат минимизации (закон склеивания) булевой алгебры, выражение для функции P_i можно переписать как

$$P_i = a_i b_i \vee a_i p_{i-1} \vee b_i p_{i-1}. \quad (3.8, a)$$

Схемотехнически реализация уравнений одноразрядного сумматора может быть выполнена на ЛЭ любого типа. При реализации на ЛЭ И – НЕ берется двойная инверсия над уравнениями (3.8) и преобразовывается по теореме Де-Моргана инверсия

дизъюнкции в конъюнкцию инверсии, в результате чего для функции суммы S_i и переноса P_i получаются следующие выражения:

$$\left. \begin{aligned} S_i &= \overline{\overline{a_i \cdot b_i \cdot p_{i-1}} \cdot \overline{a_i \cdot b_i \cdot p_{i-1}} \cdot \overline{a_i \cdot b_i \cdot p_{i-1}} \cdot \overline{a_i \cdot b_i \cdot p_{i-1}}}, \\ P_i &= \overline{\overline{a_i \cdot b_i} \cdot \overline{a_i \cdot p_{i-1}} \cdot \overline{b_i \cdot p_{i-1}}} \end{aligned} \right\} \quad (3.9)$$

При реализации на ЛЭ И – ИЛИ – НЕ уравнения сумматора имеют вид

$$\left. \begin{aligned} S_i &= \overline{(\overline{a_i b_i} \vee a_i b_i) \cdot p_{i-1}} \vee \overline{(\overline{a_i b_i} \vee a_i b_i) \cdot \overline{p_{i-1}}}, \\ P_i &= \overline{(\overline{a_i \cdot b_i} \vee a_i \cdot b_i) \cdot p_{i-1}} \vee \overline{a_i \cdot b_i} \end{aligned} \right\} \quad (3.10)$$

По уравнениям (3.8, 3.9 и 3.10) могут быть построены схемы одноразрядных сумматоров, которые относятся к схемам комбинационного типа. В таких схемах сигналы на выходах присутствуют до тех пор, пока действуют сигналы на входах.

Основной задачей синтеза схем сумматоров является сокращение аппаратной сложности и снижение времени задержки распространения переноса. Ряд схем имеет определенные преимущества реализации в том или ином базисе логических функций. В одних схемах функция суммы $S_i = f(a_i, b_i, p_{i-1})$, в других $S_i = f(a_i, b_i, p_{i-1}, p_i)$, что предоставляет определенные преимущества для контроля выполнения операций сложения.

Широкое распространение нашли схемы сумматоров, построенные в соответствии с уравнениями:

$$\left. \begin{aligned} S_i &= \overline{a_i \cdot p_i \vee \overline{b_i \cdot p_i} \vee \overline{p_{i-1} \cdot p_i} \vee a_i \cdot \overline{b_i} \cdot \overline{p_{i-1}}}, \\ P_i &= \overline{a_i \cdot \overline{b_i} \vee \overline{a_i \cdot p_{i-1}} \vee \overline{b_i \cdot p_{i-1}}} \end{aligned} \right\} \quad (3.11)$$

и

$$\left. \begin{aligned} \bar{S}_i &= \overline{a_i \cdot \bar{p}_i \vee b_i \cdot \bar{p}_i \vee p_{i-1} \cdot \bar{p}_i \vee a_i \cdot b_i \cdot p_{i-1}}, \\ \bar{P}_i &= \overline{a_i \cdot b_i \vee a_i \cdot p_{i-1} \vee b_i \cdot p_{i-1}}. \end{aligned} \right\} (3.12)$$

Уравнения (3.12) получены из (3.11) на основании использования свойства двойственности функций. Таким свойством обладают функции суммы S_i и переноса P_i , для получения инверсии которых достаточно инвертировать все переменные, входящие в выражения для этих функций. Схема сумматора, построенная в соответствии с уравнениями (3.12), показана на рис. 3.17. Для этой схемы время задержки распространения переноса $t_{з.д.р}$ определяется задержкой, вносимой одним ЛЭ И – ИЛИ – НЕ, число входов которого равно 15, что почти вдвое меньше, чем в сумматоре, построенном на ЛЭ И – НЕ по уравнениям (3.9).

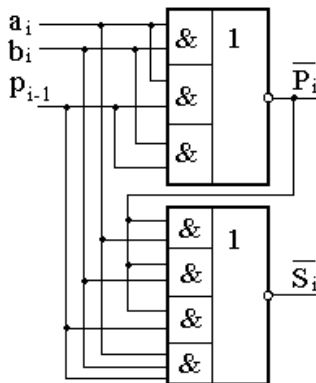


Рис. 3.17. Схема одноразрядного сумматора

Одноразрядный сумматор можно использовать для выполнения операции сложения двух многоразрядных кодов. В таком сумматоре, называемом последовательным сумматором, операнды обрабатываются поочередно разряд за разрядом, начиная с младшего.

Схема последовательного сумматора, показанная на рис. 3.18, содержит три сдвиговых регистра, один D-триггер и один одноразрядный сумматор. Работа регистров и триггера синхронизируются импульсами C .

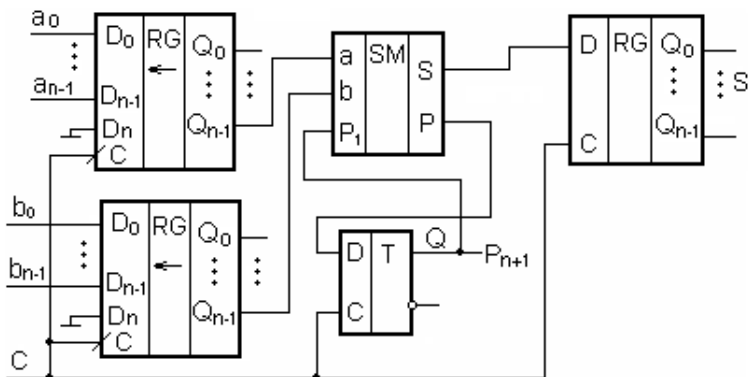


Рис. 3.18. Схема последовательного сумматора

Операция сложения двух n -разрядных кодов выполняется последовательно разряд за разрядом и начинается с суммирования младших разрядов кодов. После сложения кодов (a_i, b_i, p_{i-1}) в каждом i -м разряде на выходах одноразрядного сумматора формируются сигналы суммы S_i для i -го разряда и переноса P_i ($i = 0, 1, 2, \dots, n - 1$) в $i + 1$ -й разряд.

Значение сигнала S_i записывается в i -й разряд регистра суммы, а перенос P_i запоминается на один такт в триггере D-типа. В следующем такте этот перенос P_i складывается вместе с кодами a_{i+1} и b_{i+1} очередного $i + 1$ -го разряда.

Схема последовательного сумматора имеет относительно простую структуру. Однако получаемое таким образом упрощение аппаратных средств приводит к существенному снижению быстродействия сумматора. Отсюда следует, что для повышения быстродействия необходимо применять параллельные сумматоры.

Параллельный сумматор с последовательным переносом

Параллельный сумматор с последовательным переносом (рис. 3.19) строится как цепочка одноразрядных сумматоров, соединенных последовательно по цепям переноса. В параллельном сумматоре операция сложения выполняется одновременно по всем разрядам кодов слагаемых. На входы одноразрядных сумматоров

каждого i -го разряда поступают коды слагаемых a_i и b_i соответствующего разряда, а также перенос из $i-1$ -го разряда. На вход сумматора самого младшего разряда подается сигнал переноса $P_{вх}$, равный 0. Сигнал переноса $P_{вх}$ с выхода сумматора нулевого разряда SM_0 подается на вход переноса сумматора первого разряда SM_1 и т. д.

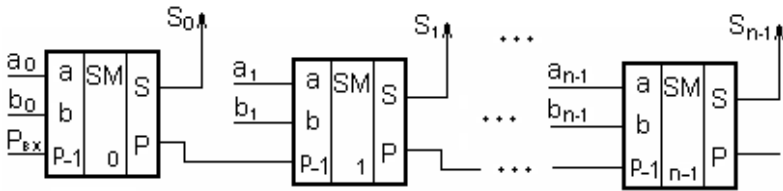


Рис. 3.19. Схема параллельного сумматора с последовательным переносом

При поступлении сигнала переноса $P_{вх}$ на вход сумматора SM_1 , на его входах также присутствуют коды слагаемых a_i и b_i . При этом на выходе сумматора SM_1 сигнал переноса P_1 вырабатывается с задержкой $t_{зд.р.}$ относительно момента появления сигнала. Аналогично через время $t_{зд.р.}$ относительно момента появления сигнала P_1 появляется сигнал переноса P_2 и т. д. до появления сигнала P_{n-1} через время $n \cdot t_{зд.р.}$ с момента одновременной подачи кодов a_i и b_i на входы SM_i ($i = 0, 1, 2, \dots, n-1$).

Распространение переноса будет сопровождаться установлением правильных сигналов на выходах S_i одноразрядных сумматоров. В течение всего времени распространения переноса и формирования сигналов S_i на входах сумматоров постоянно должны присутствовать соответствующие коды слагаемых a_i и b_i . Таким образом, перенос распространяется последовательно от разряда к разряду (начиная с нулевого) через все n разряды, поэтому время суммирования (формирование кода суммы $S_{n-1} \dots S_0$) $t_{сп}$ с момента одновременной подачи кодов слагаемых пропорциональна разрядности сумматора и определяется как $t_{сп} \cong n \cdot t_{зд.р.}$

Параллельный сумматор с параллельным переносом

Параллельные сумматоры с параллельным переносом имеют максимальное быстродействие. В них отсутствуют процессы последовательного распространения сигналов переноса от разряда к разряду, и результаты во всех разрядах вырабатываются одновременно параллельно во времени. Сущность организации одновременного переноса заключается в следующем. При сложении кодов слагаемых в каждом i -м разряде сумматора формируется функция переноса P_i , которая согласно (3.8, а) имеет вид

$$P_i = a_i \cdot b_i + (a_i + b_i) \cdot p_{i-1}, \quad i = 0, 1, 2, \dots, n-1. \quad (3.13)$$

Вводя обозначения $g_i = a_i \cdot b_i$ и $h_i = a_i + b_i$, перепишем выражение (3.13):

$$P_i = g_i + h_i \cdot p_{i-1}. \quad (3.14)$$

По аналогии запишем также выражение и для сигнала переноса

$$P_{i-1} = g_{i-1} + h_{i-1} \cdot p_{i-2}. \quad (3.15)$$

Подставляя выражение (3.15) в (3.14), получим

$$P_i = g_i + h_i (g_{i-1} + h_{i-1} p_{i-2}) = g_i + h_i g_{i-1} + h_i h_{i-1} p_{i-2}. \quad (3.16)$$

Выполняя подобные действия вплоть до нулевого разряда, получим выражение, описывающее закон формирования сигнала переноса в произвольном i -м разряде

$$P_i = g_i + h_i g_{i-1} + h_i h_{i-1} g_{i-2} + \dots + h_i h_{i-1} h_{i-2} \cdot \dots \cdot h_0 p_{\text{вх}}, \quad (3.17)$$

где $p_{\text{вх}}$ – сигнал переноса, который подается на вход сумматора

извне. Функции переноса имеют нормальную дизъюнктивную форму и могут быть реализованы в базе ЛЭ И – ИЛИ.

Учитывая сказанное выше, перепишем выражение (3.17) в базе И – НЕ

$$P_i = \overline{g_i} \cdot \overline{h_i g_{i-1}} \cdot \overline{h_i h_{i-1} g_{i-2}} \cdot \dots \cdot \overline{h_i h_{i-1} h_{i-2} \cdot \dots \cdot h_0 p_{\text{вх}}}. \quad (3.18)$$

Отсюда выражения для формирования сигналов переноса в 4-разрядном сумматоре имеют следующий вид:

$$P_0 = \overline{g_0} \cdot \overline{h_0} \cdot \overline{p_{вх}} = a_0 \cdot b_0 \cdot h_0 \cdot p_{вх};$$

$$P_1 = \overline{a_1 \cdot b_1 \cdot a_0 \cdot b_0 \cdot h_1 \cdot h_1 \cdot h_0 \cdot p_{вх}};$$

$$P_2 = \overline{a_2 \cdot b_2 \cdot a_1 \cdot b_1 \cdot h_2 \cdot a_0 \cdot b_0 \cdot h_2 \cdot h_1 \cdot h_2 \cdot h_1 \cdot h_0 \cdot p_{вх}}.$$

Этим уравнениям соответствует схема 4-разрядного сумматора с параллельным переносом (рис. 3.20). Из схемы видно, что время формирования сигнала переноса $t_{рп}$ не зависит от количества разрядов сумматора и для любого разряда, с учетом получения инверсных значений разрядов кодов слагаемых, составляет $4 \cdot t_{зд.р}$ ($t_{рп} = 4 \cdot t_{зд.р}$). Отсюда время суммирования $t_{сн}$ для схемы сумматора с параллельным переносом в базе И – НЕ равно $t_{сн} = t_{рп} + t_s = 7 \cdot t_{зд.р}$, где t_s – задержка (время формирования кода суммы) одноразрядного сумматора.

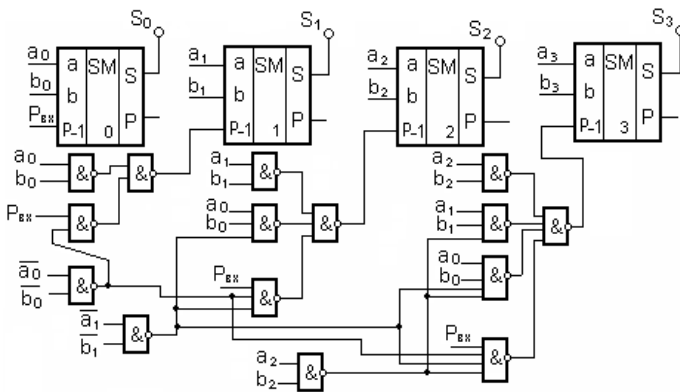


Рис. 3.20. Схема 4-разрядного сумматора с параллельным переносом

Очевидно, что при увеличении разрядности кодов слагаемых применение сумматора с параллельным переносом позволяет существенно повысить скорость суммирования. Однако реализация таких сумматоров требует большого количества ЛЭ с высокой нагрузочной способностью и большим числом входов. Поэтому в тех случаях, когда количество разрядов кодов слагаемых достаточно большое ($n > 8$), применяют сумматоры с групповой структурой.

В сумматорах с групповой структурой одноразрядные сумматоры объединяются в L-группы из m-разрядов каждая, т. е. $n = L \cdot m$. При этом в группах обычно реализуется параллельный перенос, а между группами сигнал переноса может вырабатываться различными способами. В соответствии с этим различают сумматоры с цепным (последовательным) и параллельно-параллельным переносами, которые получили наибольшее распространение.

Сумматоры с групповой структурой

При сохранении минимальной задержки по цепи переноса обеспечивается также некоторое сокращение аппаратной сложности схем сумматоров с групповой структурой.

На рис. 3.21 показана структурная схема параллельного сумматора с цепным переносом. Каждая группа состоит из m-разрядного сумматора с параллельным переносом, а между ними включены блоки переноса БП, которые образуют тракт последовательной передачи переноса. Принцип формирования сигнала переноса и его распространение от младших групп к старшим такие же, как и в двоичных счетчиках со сквозным переносом. Время суммирования в схеме сумматора с цепным переносом $t_{сц}$, реализованной в базисе И – НЕ, оценивается как $t_{сц} = t_{гп} + (L - 1) \cdot t_{БП} = [7 + 4(L - 1)] \cdot t_{з.д.р.}$.

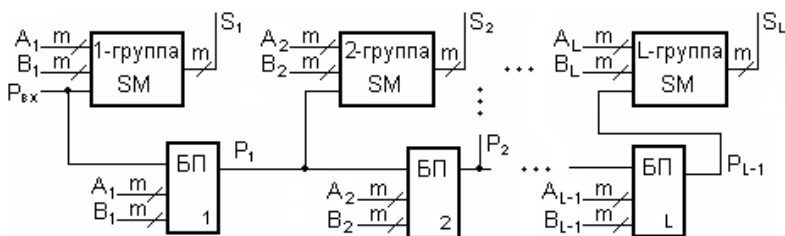


Рис. 3.21. Структурная схема параллельного сумматора с цепным переносом

Для повышения быстродействия параллельного сумматора при больших его разрядностях используют принцип параллельного переноса как внутри групп, так и между группами. Структурная схема сумматора с параллельно-параллельным переносом, реализующего данный принцип, показана на рис. 3.22, где количество групп и

разрядов в группах равны 4. В этой схеме по сравнению со схемой сумматора с цепным переносом объем используемых элементов несколько выше за счет усложнения структуры блока формирования переноса БП.

Время выполнения операции суммирования для схемы сумматора 16-разрядных слов (рис. 3.22) оценивается как $t_{\text{смп}} = t_{\text{гп}} + t_{\text{БП}} = 11 \cdot t_{\text{зд.р}}$. При этом предполагается, что схема реализована в базисе И – НЕ.

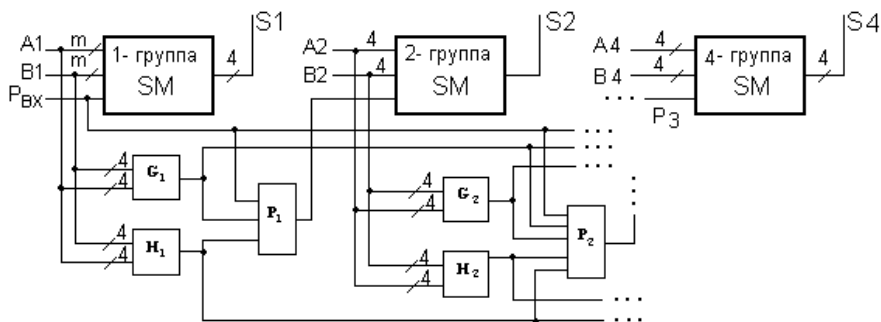


Рис. 3.22. Структурная схема 4-разрядного сумматора с параллельно-параллельным переносом

При больших разрядностях кодов слагаемых требуется увеличить или число сумматоров в группах, или число групп, что существенно усложняет структуру блока переноса БП и его схемную реализацию. Для решения этой проблемы несколько групп сумматоров с параллельно-параллельными переносами объединяются и образуют новую (более укрупненную) группу и между этими новыми группами также используется параллельный перенос. Другими словами, в схемах таких сумматоров принцип параллельного переноса используется трижды. Если количество разрядов кодов слагаемых очень велико, то можно принцип параллельного переноса применить и большее число раз и получить высокое быстродействие сумматора при относительно несложной структуре блока переноса.

Частным случаем сумматора с параллельно-параллельным переносом является сумматор с условным переносом. Идея построения такого сумматора заключается в следующем: n -разрядный сумматор делится на две группы с $n/2$ разрядами в каждой. В пер-

вой группе суммируются младшие разряды кодов слагаемых A_1 и B_1 (как в обычной схеме). Вторая группа дублируется так, что в схеме получают три группы сумматоров с разрядностью $n/2$. В этих двух группах суммируются старшие разряды кодов слагаемых A_2 и B_2 при условии $p = 1$ (во второй группе) и $p = 0$ (в третьей группе). К моменту получения результата суммирования младших разрядов кодов в первой группе результаты суммирования старших разрядов кодов для обоих значений сигнала переноса ($p = 1$ и $p = 0$) уже оказываются известными. Остается только выбрать один из этих результатов в зависимости от значения сигнала переноса, полученного на выходе первой группы сумматоров. Таким образом, в схеме сумматора с условным переносом рис. 3.23 цепь последовательного переноса как бы укорачивается вдвое, т. к. все три группы сумматоров попарно (первая со второй и первая с третьей) работают одновременно во времени.

Рассмотренные выше схемы сумматоров относятся к схемам комбинационного типа. Если к ним добавить еще регистры, то можно получить так называемые накапливающие сумматоры, которые функционируют следующим образом. Каждый очередной разряд кода числа A складывается со старым значением сигнала суммы S , который поступает из регистра RG на вход сумматора.

Результат суммирования (новое значение S) с разрешения синхроимпульса $СИ$ записывается в регистр, где хранится до поступления на вход сумматора следующего разряда кода A . Схема накапливающего сумматора, называемого иногда аккумулятором, показана на рис. 3.24.

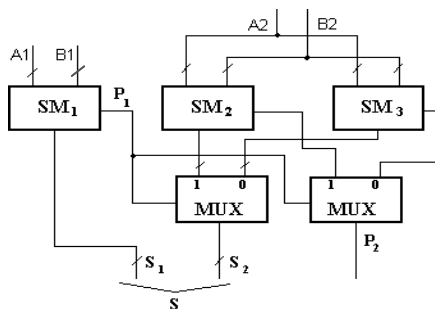


Рис. 3.23. Схема сумматора с условным переносом

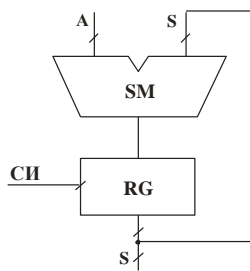


Рис. 3.24. Структура накапливающего сумматора

3.6. Арифметико-логические устройства

Арифметико-логические устройства (АЛУ) служат для выполнения арифметических и логических преобразований над словами, называемыми в этом случае операндами. Основу АЛУ составляет сумматор, схема которого дополняется логикой, расширяющей функциональные возможности АЛУ и обеспечивающей его перестройку с одной операции на другую.

В настоящее время АЛУ выпускаются в виде интегральных микросхем по технологии ТТЛШ, КМОП и ЭСЛ. Микросхемы АЛУ, как правило, четырехразрядные, а наращивание разрядности АЛУ осуществляется объединением микросхем с организацией между ними последовательного или параллельного переноса.

Рассмотрим некоторые функциональные возможности микросхемы АЛУ К555ИПЗ, условное обозначение которой показано на рис. 3.25.

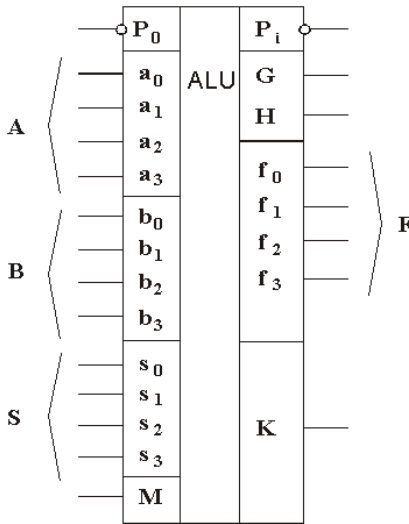


Рис. 3.25. Условное обозначение АЛУ

Данная микросхема АЛУ может выполнять 16 логических и 16 арифметико-логических операций над двумя 4-разрядными кодами операндов А и В, которые поступают на ее соответствующие входы. На вход М (mode control) микросхемы АЛУ подается управляющий

сигнал, высокий уровень ($M = 1$) которого блокирует в схеме все внутренние переносы и она выполняет логические операции. При низком уровне этого сигнала ($M = 0$) внутренние переносы разблокируются и схема выполняет арифметико-логические операции над 4-разрядными кодами A и B . Управляющий код S , подаваемый на входы s_3, s_2, s_1, s_0 , определяет конкретный вид выполняемой операции. Результаты выполненной операции снимаются с выводов f_3, f_2, f_1, f_0 . Микросхема имеет также следующие выводы: \bar{p}_0 – для входного переноса и \bar{p}_i – для выходного переноса.

Выводы G и H используются при наращивании размерности АЛУ для организации последовательного и параллельного переносов, соответственно. В последнем случае к выходным выводам микросхем G и H подключаются специализированные микросхемы – блоки ускоренного переноса.

Перечень выполняемых микросхемой АЛУ операций приведен в табл. 3.7, и там же даны необходимые для этого значения управляющих сигналов S и M .

Таблица 3.7

Функции, выполняемые ИС К555ИПЗ

| Управляющие сигналы | | | | Логические функции ($M=1$) | Арифметико-логические функции ($M=0$) |
|---------------------|-------|-------|-------|---------------------------------|--|
| s_3 | s_2 | s_1 | s_0 | | |
| 0 | 0 | 0 | 0 | \bar{A} | $A + P_i$ |
| 0 | 0 | 0 | 1 | $A \vee \bar{B}$ | $A \vee B + P_i$ |
| 0 | 0 | 1 | 0 | $\bar{A} \& B$ | $A \& \bar{B} + P_i$ |
| 0 | 0 | 1 | 1 | 0 | $1 + P_i$ |
| 0 | 1 | 0 | 0 | $\overline{A \& B}$ | $A + A \& \bar{B} + P_i$ |
| 0 | 1 | 0 | 1 | \bar{B} | $(A \vee B) + A \& \bar{B} + P_i$ |
| 0 | 1 | 1 | 0 | $A \oplus B$ | $A + \bar{B} + P_i$ |
| 0 | 1 | 1 | 1 | $A \& \bar{B}$ | $A \& \bar{B} + 1 + P_i$ |

Окончание таблицы 3.7

| Управляющие сигналы | | | | Логические функции (M=1) | Арифметико-логические функции (M=0) |
|---------------------|----------------|----------------|----------------|-----------------------------|--|
| S ₃ | S ₂ | S ₁ | S ₀ | | |
| 1 | 0 | 0 | 0 | $\overline{A} \vee B$ | $A + A \& B + P_i$ |
| 1 | 0 | 0 | 1 | $\overline{A \oplus B}$ | $A + B + P_i$ |
| 1 | 0 | 1 | 0 | B | $(A \vee \overline{B}) + A \& B + P_i$ |
| 1 | 0 | 1 | 1 | $A \& B$ | $A \& B + 1 + P_i$ |
| 1 | 1 | 0 | 0 | 1 | $A + A + P_i$ |
| 1 | 1 | 0 | 1 | $A \vee \overline{B}$ | $(A \vee B) + A + P_i$ |
| 1 | 1 | 1 | 0 | $A \vee B$ | $(A \vee \overline{B}) + A + P_i$ |
| 1 | 1 | 1 | 1 | A | $A + 1 + P_i$ |

В логико-арифметических операциях одновременно встречаются и логические и арифметические операции. Например, выражение типа $A \vee \overline{B} + A \& B$ означает следующее: вначале поразрядно выполняются операции инвертирования (\overline{B}), логического сложения ($A \vee \overline{B}$) и логического умножения ($A \& B$), а затем полученные в результате этих операций коды суммируются арифметически.

Матричные множители

С появлением интегральных микросхем операции арифметического умножения и сложения стали выполняться аппаратным способом.

Логика построения аппаратных или так называемых матричных множителей тесно связана с традиционным алгоритмом выполнения операций умножения, который основывается на сложении частных произведений разрядов сомножителей. Рассмотрим пример. Пусть требуется перемножить два 4-разрядных двоичных кода $A(a_3a_2a_1a_0)$ и $B(b_3b_2b_1b_0)$. Операция умножения выполняется по следующей структуре (“столбиком”).

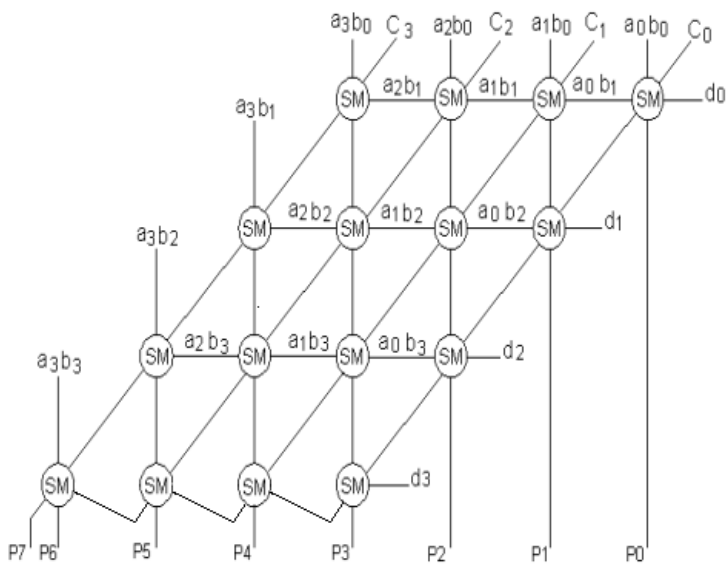
Результаты произведения $P(p_7p_6p_5...p_0)$ получаются путем суммирования частных произведений разрядов двоичных кодов сомножителей:

$$\begin{array}{r}
 \begin{array}{cccc}
 & a_3 & a_2 & a_1 & a_0 \\
 * & b_3 & b_2 & b_1 & b_0 \\
 \hline
 & a_3b_0 & a_2b_0 & a_1b_0 & a_0b_0 \\
 & a_3b_1 & a_2b_1 & a_1b_1 & a_0b_1 \\
 + & & a_3b_2 & a_2b_2 & a_1b_2 & a_0b_2 \\
 & & a_3b_3 & a_2b_3 & a_1b_3 & a_0b_3 \\
 \hline
 P_7 & P_6 & P_5 & P_4 & P_3 & P_2 & P_1 & P_0
 \end{array}
 \end{array}$$

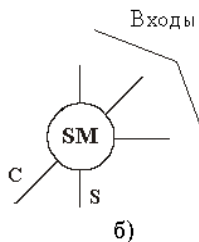
Матричные перемножители могут быть множительными блоками (МБ) или множительно-суммирующими блоками (МСБ). Применение последних позволяет увеличивать разрядность входных кодов.

Схема множительно-суммирующего блока для 4-разрядных сомножителей, в которой используются n^2 одноразрядных сумматоров, показана на рис. 3.26. Частичные произведения вида $a_i \cdot b_j$ формируются одновременно с помощью элементов И, которые в схеме не указаны, где $i, j = 1 \dots (n - 1)$; n – число разрядов двоичных кодов сомножителей, $n = 4$. Сложение этих произведений в столбцах одноразрядными сумматорами SM составляет основную операцию для умножителя и определяет почти целиком время формирования кода результата. Таким образом, время перемножения $t_{умн}$ определяется суммой задержек распространения сигналов через ЛЭ И $t_{и}$ и задержки в самой длинной цепочке передачи сигнала в матрице одноразрядных сумматоров, равной $(2n - 1) \cdot t_s$, т. е. $t_{умн} = t_{и} + (2n - 1) \cdot t_s$.

Из схемы на рис. 3.26 видно, что множительно-суммирующий блок реализует операцию $P = AB + C + D$, где C – и D – дополнительные слагаемые, добавляемые к произведению $A * B$, причем разрядность C совпадает с разрядностью множимого (A), а разрядность D – с разрядностью множителя (B).



а)



б)

Рис. 3.26. Схема множительно-суммирующего блока для четырехразрядных сомножителей (а) и обозначение одноразрядного сумматора для данной схемы (б)

Схема множительного блока отличается от схемы МСБ рис. 3.26 тем, что в ней отсутствуют сумматоры правой диагонали, т. к. при $C = 0$ и $D = 0$ они не требуются. На практике используются и другие схемы умножителей.

4. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

4.1. Триггеры

Классификация и основные параметры триггеров

Триггер, представляющий собой запоминающий элемент с двумя устойчивыми состояниями, находит широкое применение для построения регистров, счетчиков и других цифровых устройств ЭВМ. Состояние триггера определяется по его выходному сигналу и в зависимости от уровня последнего кодируется цифрами 0 или 1. Триггер имеет два выхода: прямой Q и инверсный \bar{Q} . Если триггер находится в состоянии 0, то на его прямом выходе сигнал равен логическому 0, а на инверсном – логической 1 ($Q = 0$ и $\bar{Q} = 1$). Если триггер находится в состоянии 1, то $Q = 1$, $\bar{Q} = 0$.

В интегральной схемотехнике применяются десятки разновидностей схем триггеров, которые отличаются выполняемой функцией, способом записи информации и синхронизации, схемотехнической реализацией и т. д. По функциональному признаку, т. е. по виду логического уравнения, характеризующего состояние входов и выходов триггера в момент времени t_n до его срабатывания и в момент t_{n+1} после его срабатывания различают триггеры: RS-, JK-, D-, DV-, T-, TV- и других типов. По способу записи информации различают триггеры: асинхронные и синхронные (или тактируемые). Запись информации в асинхронный триггер осуществляется с поступлением информационных сигналов на его входы. Запись информации в синхронные триггеры осуществляется только при подаче разрешающего тактового импульса на вход синхронизации. Тактируемый триггер может работать в синхронном и асинхронном режимах.

В зависимости от числа тактирующих импульсов (ТИ), необходимых для записи информации в триггер, синхронные триггеры подразделяются на одноктактные и многотактные. Для перевода n -тактного триггера из одного состояния в другое необходимо подать на синхронизирующий вход n ТИ.

Однотактные триггеры делятся на:

- 1) триггеры, работающие по уровню ТИ;
- 2) триггеры с внутренней задержкой.

Формирование нового состояния триггеров первой группы происходит одновременно с поступлением ТИ. Формирование нового состояния триггеров с внутренней задержкой происходит лишь после окончания действия ТИ.

При построении цифровых устройств на триггерах необходимо знать их основные схемотехнические параметры: коэффициенты объединения по входу “m” и разветвления по выходу “n”, помехоустойчивость, уровни сигналов (токов и напряжений) логического 0 и 1 на выходах и входах, потребляемую мощность и быстродействие. Параметры триггеров оцениваются на основании аналогичных параметров логических элементов (ЛЭ), на которых выполняются триггеры. При этом быстродействие триггера характеризуется следующими динамическими параметрами: t_T , $t_{и}$, F_P , F_{max} , где t_T – время задержки переключения триггера, т. е. время запаздывания выходного сигнала относительно входного; $t_{и}$ – минимальная длительность входного импульса, при которой еще происходит переключение триггера (т. е. запись информации в триггер); F_{max} – максимальная частота переключения триггера, определяемая минимально допустимым временным интервалом между двумя последовательными входными импульсами минимальной длительности, вызывающими переключение триггера; F_P – рабочая частота триггера, причем $F_P \leq F_{max}$.

Асинхронные и синхронные триггеры

Работу триггера можно описать с помощью таблицы переходов (табл. 4.1) или логической формулой (т. е. характеристическим уравнением), полученной на основании анализа этой таблицы.

Согласно табл. 4.1, триггером RS-типа называют запоминающий элемент с двумя устойчивыми состояниями, имеющий два информационных входа R и S, такие, что при $S = 0$ и $R = 1$ триггер принимает состояние "0" ($Q_{n+1} = 0$), а при $S = 1$ и $R = 0$ устанавливается в

состояние "1" ($Q_{n+1} = 1$). Если $S = 0$ и $R = 0$, то состояние триггера не изменяется ($Q_{n+1} = Q_n$). При $S = R = 1$ состояние триггера является неопределенным (после снятия входных сигналов). Поэтому цифровые логические устройства на основе RS-триггеров должны строиться с учетом исключения комбинаций сигналов $R = S = 1$.

Таблица 4.1
Объединенная таблица переходов RS, JK, DV и TV-триггеров

| S_n | R_n | Q_{n+1} | | | |
|-------|-------|-----------|------------------|-------|------------------|
| J_n | K_n | | | | |
| V_n | D_n | RS | JK | DV | TV |
| V_n | T_n | | | | |
| 0 | 0 | Q_n | Q_n | Q_n | Q_n |
| 0 | 1 | 0 | 0 | Q_n | Q_n |
| 1 | 0 | 1 | 1 | 0 | Q_n |
| 1 | 1 | ? | $\overline{Q_n}$ | 1 | $\overline{Q_n}$ |

Рассмотрим некоторые схемы асинхронных и синхронных триггеров RS-типа. На рис. 4.1, а и б приведены схемы асинхронного RS-триггера на ЛЭ И – НЕ и ИЛИ – НЕ. Триггер на рис. 4.1, б принимает состояние "1" ($Q = 1$) при $S_a = 1$ и $R_a = 0$, а состояние "0" ($Q = 0$) при $R_a = 1$ и $S_a = 0$.

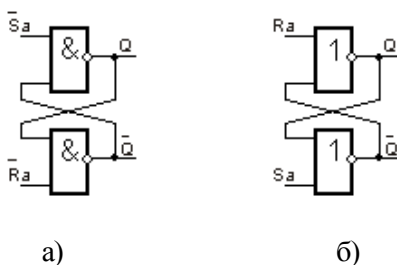


Рис. 4.1. Схемы асинхронных триггеров RS-типа на ЛЭ И – НЕ (а) и ИЛИ – НЕ (б)

Комбинация сигналов $R_a = S_a = 1$ для них является запрещенной. Триггер на рис. 4.1, а устанавливается в состояние “1” ($Q = 1$) сигналами $\overline{S}_a = 0$ и $\overline{R}_a = 1$, а в состояние “0” ($Q = 0$) сигналами $\overline{R}_a = 0$ и $\overline{S}_a = 1$. Для этого триггера запрещенной является комбинация сигналов $\overline{R}_a = 0$ и $\overline{S}_a = 0$. Асинхронные RS-триггеры являются базовыми элементами для построения схем синхронных триггеров RS-, D-, JK- и T-типов.

Синхронные RS-триггеры имеют информационные входы $S(\overline{S})$, $R(\overline{R})$ и тактирующий вход (для синхронизации) $T(\overline{T})$, а также асинхронные входы $\overline{S}_a (S_a)$ и $\overline{R}_a (R_a)$ начальной установки триггера. У RS-триггера в базисе ИЛИ – НЕ (рис. 4.2, б) входы \overline{S} , \overline{R} и \overline{T} – инверсные, что отмечено на условном обозначении (рис. 4.2, д) кружками.

RS-триггеры на рис. 4.2, а и в при отсутствии тактового сигнала, т. е. при $T = 0$ (триггер на рис. 4.2, б при $\overline{T} = 1$) сохраняют предыдущее состояние, т. е. $Q_{n+1} = Q_n$.

Запись в RS-триггеры информации, которая поступает на их входы $S(\overline{S})$ и $R(\overline{R})$, начинается только с поступлением на тактовый вход импульса $T = 1 (\overline{T} = 0)$. При этом, если $T = 1$, то синхронные RS-триггеры на рис. 4.2, а и в, работают согласно табл. 4.1.

Характеристическое уравнение синхронного RS-триггера имеет вид

$$Q_{n+1} = T_n(S_n + \overline{R}_n Q_n) + \overline{T}_n Q_n, T_n R_n S_n = 0. \quad (4.1)$$

Параметры t_T , t_H , F_p для синхронных RS-триггеров на рис. 4.2, а и б определяются как

$$t_T = 3t_{cp}, t_H = 4t_{cp}, F_p = 1/(4t_{cp}), \quad (4.2)$$

а для RS-триггера в базисе И-ИЛИ-НЕ на рис. 4.2, в:

$$t_{T1} = 2t_{cp}, t_u = 3t_{cp}, F_p = 1/(3t_{cp}). \quad (4.3)$$

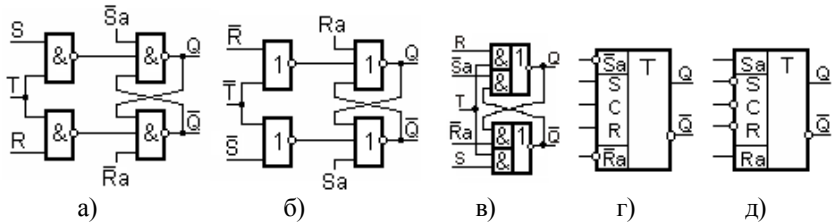


Рис. 4.2. Схемы триггеров RS-типа на ЛЭ И – НЕ (а), ИЛИ – НЕ (б), И – ИЛИ – НЕ (в) и их условные обозначения (г) и (д)

Синхронный D-триггер, называемый также триггером задержки, функционирует в соответствии с характеристическим уравнением

$$Q_{n+1} = T_n D_n + \bar{T}_n Q_n. \quad (4.4)$$

Согласно уравнению (4.4), информационный сигнал на входе D, действующий в момент времени t_n , появляется на выходе триггера в момент времени t_{n+1} , если тактовый импульс $T = 1$.

На рис. 4.3, а, б и в показаны схемы синхронных D-триггеров, которые тактируются сигналом $T = 1$, и их условное обозначение. Независимо от информации (уровня сигнала) на входе D, состояние этих триггеров не изменяется, если отсутствует тактовый импульс, т. е. $T = 0$.

Рассмотрим принцип работы схемы, приведённой на рис. 4.3, а. Если $T = 1$ и $D = 1$, то на выходе ЛЭ-1 формируется сигнал “0”. Последний, поступая на входы ЛЭ-2 и ЛЭ-3, одновременно приводит их в состояние “1”, тем самым устанавливая на выходе триггера сигнал “1” ($Q = 1$). Далее единичные сигналы на входах ЛЭ-4 (поступающие с ЛЭ-2 и ЛЭ-3) переключают его в состояние “0” ($\bar{Q} = 0$). Аналогично записывается информация, соответствующая “0”, для чего достаточно подать на входы D и T следующие сигналы: $D = 0$ и $T = 1$.

На рис. 4.3, б показан D-триггер типа “защелка”, выполненный на одном элементе И – ИЛИ – НЕ и двух инверторах (НЕ). Этот триггер, тактируемый импульсом $T = 1$, работает следующим образом. При $T = D = 1$ на выходе ЛЭ И – ИЛИ – НЕ формируется сигнал “0”, который, переключая инвертор (верхний), устанавливает триггер в состояние “1”. При $T = 1$ и $D = 0$ в триггер записывается сигнал “0” ($Q = 0, \bar{Q} = 1$).

Параметры t_r , t_n и F_p , характеризующие быстродействие схем D-триггеров, (рис. 4.3, а и б), определяются согласно формулам (4.2) и (4.3), соответственно. Наиболее экономичными (по числу внешних выводов и используемых ЛЭ) и быстродействующими являются однофазные D-триггеры с прямой и инверсной записью информации (рис. 4.4, а и б). Характеристическое уравнение D-триггера с инверсной записью, выполненного на одном ЛЭ НЕ, И – ИЛИ (рис. 4.4), имеет вид

$$Q_{n+1} = \bar{D}_n T_n + Q_n \bar{T}_n \quad (4.5)$$

Пунктирной линией на рис. 4.3, а показан дополнительный V-вход триггера, называемого DV-триггером, который функционирует в соответствии с табл. 4.1 и уравнением

$$Q_{n+1} = (\bar{T}_n + \bar{V}_n)Q_n + T_n V_n D_n \quad (4.6)$$

Из выражения (4.6) видно, что DV-триггер при $V = 1$ функционирует аналогично синхронному D-триггеру, а при $V = 0$ сохраняет исходное состояние, независимо от уровня сигнала на информационном входе D.

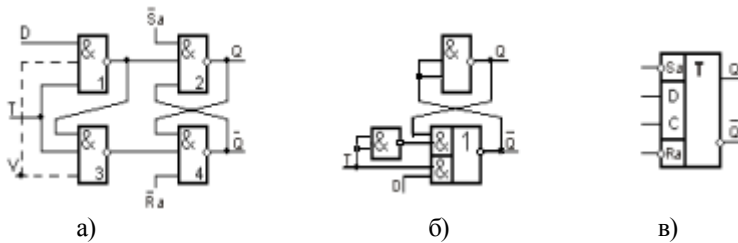


Рис. 4.3. Схемы D-триггера на ЛЭ И – НЕ (а), типа “защелка” (б) и его условное обозначение (в)

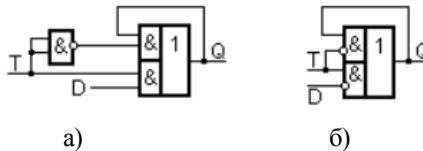


Рис. 4.4. Схемы однофазных D-триггеров с прямой (а) и инверсной (б) записями

Однотактные триггеры с внутренней задержкой

Большинство синхронных триггеров с внутренней задержкой строятся по двухступенчатой схеме “MS”, причем M (основной от англ. master) и S (вспомогательный от англ. slave) триггеры могут быть одноступенчатыми (оба триггера RS- (или D-)типа), либо разнотипными. В последнем случае название двухступенчатого MS-триггера определяется типом M-триггера. Обычно в качестве M- и S-триггеров применяются одноступенчатые синхронные триггеры.

Основными разновидностями MS-триггеров, новая информация на выходе которых устанавливается только после снятия тактирующего импульса, являются:

- MS-триггеры с инвертором (рис. 4.5, а);
- MS-триггеры с запрещающими связями (рис. 4.5, б);
- MS-триггеры с разнополярным управлением (рис. 4.5, в).

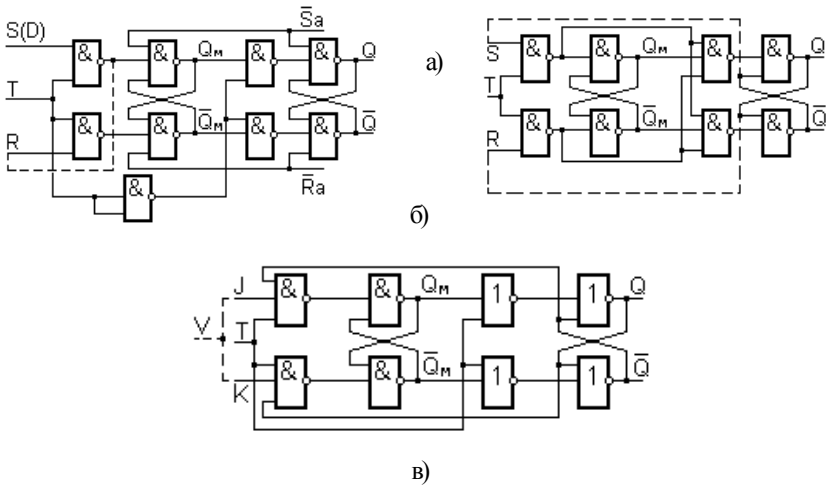


Рис. 4.5. Однотактные триггеры, выполненные по схеме M-S с инвертором (а) и запрещающими связями (б) RS-типа и разнополярным управлением JK-типа (в)

Особенностью MS-схемы с инвертором является то, что в цепь между синхронизирующими входами M и S-триггеров включается инвертор, обеспечивающий однотактный режим работы MS-триггера

и осуществляющий блокировку перезаписи информации во вспомогательный триггер во время записи информации в основной триггер.

Один из вариантов построения триггера RS-типа по схеме M-S с инвертором приведен на рис. 4.5, а. Триггер выполнен на ЛЭ И – НЕ и тактируется импульсом $T = 1$.

В исходном положении ($T = 0$) M- и S-триггеры находятся в одинаковом состоянии, т. к. на выходе ЛЭ НЕ действует уровень сигнала 1, разрешающий перезапись информации из M в S-триггер. Пусть начальное состояние триггера соответствует $Q = 0$, а на его входы поданы сигналы $S = 1$ и $R = 0$. Тогда при $T = 1$ в M-триггер записывается сигнал 1 ($Q = 1$), а S-триггер остается в прежнем состоянии ($Q = 0$). После окончания действия ТИ ($T = 0$) на выходе инвертора устанавливается сигнал 1, который переключает S-триггер в состояние основного ($Q = 1$). С учетом задержки инвертора информация на выходе S-триггера формируется через интервал времени $\Delta t = 4t_{cp}$ после снятия ТИ. Для устойчивой работы триггера длительность тактирующего импульса t_i принимается не менее $2t_{cp}$, где $2t_{cp}$ – среднее время задержки распространения сигнала ЛЭ И – НЕ.

Для переключения триггера в состояние "0" ($Q = 0$) на его информационные входы подаются сигналы $R = 1$ и $S = 0$.

RS-триггер может функционировать в качестве D- и T-триггеров. Если вход S через инвертор соединить с входом R (соединение показано пунктирной линией на рис. 4.5, а), то вход S выполняет функцию входа D, а MS-триггер в целом реализует таблицу переходов D-триггера. Организация счетного T-триггера показана пунктиром на рис. 4.5, б, который получается из RS-триггера путем подключения выходов Q и \bar{Q} ко входам R и S, соответственно.

Двухступенчатый счетный T-триггер, работа которого описывается уравнением $Q_{n+1} = T_n \bar{Q}_n + \bar{T}_n Q_n$, функционирует аналогично RS-триггеру с внутренней задержкой. Только в этом случае роль информационных сигналов выполняют сигналы выходов Q и \bar{Q} .

При этом каждый тактирующий импульс, поступающий на счетный вход T-триггера, переводит основной M-триггер в состояние, противоположное вспомогательному, а после окончания действия ТИ S-триггер принимает состояние основного. Временная диаграмма работы T-триггера показана на рис. 4.6.

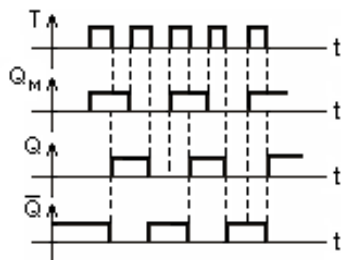


Рис. 4.6. Временные диаграммы работы счетного триггера

Особенностью схемы триггера на рис. 4.5, б является то, что во время действия ТИ одновременно с записью входной информации в М-триггер с выходов его ЛЭ поступают сигналы запрещающей связи на входы управляющих ЛЭ S-триггера, блокирующие перезапись информации из основного триггера во вспомогательный. После окончания действия ТИ ($T = 0$) на выходах управляющих ЛЭ М-триггера формируется сигнал 1, снимается блокировка, и информация переписывается из основного триггера во вспомогательный.

Следует отметить, что при построении MS-триггеров с запрещающими связями М-триггер, как правило, выполняется на ЛЭ И – НЕ или ИЛИ – НЕ.

На рис. 4.5, б и в пунктирными линиями показаны примеры получения из триггеров RS- и JK-типа, Т- и TV-триггеров. Если на V (подготовительный)-вход TV-триггера подан сигнал логической единицы (т. е. при $V = 1$), то он работает как счетный Т-триггер, а при $V = 0$ – сохраняет исходное состояние.

Параметр, характеризующий быстродействие триггера с запрещающими связями (рис. 4.5, б) имеет следующее значение:

$$F_{\max} = 1/(6t_{cp}).$$

На рис. 4.5, в показан MS-триггер с внутренней задержкой JK-типа, отличительной особенностью которого является то, что М- и S-триггеры тактируются сигналами различной полярности, причем в основной триггер информация записывается при ТИ $T = 1$, во вспомогательный перезапись состояния основного осуществляется при ТИ $T = 0$.

Основной и вспомогательный триггеры представляют собой синхронные одноступенчатые RS-триггеры со статическим управлением записью, принцип действия которых рассмотрен выше.

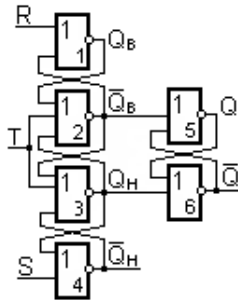


Рис. 4.7. Схема одноклапного RS-триггера, выполненного по схеме Т-трех триггеров

Триггер JK-типа является универсальным, т. к. на его основе путем несложных внешних коммутационных изменений можно получить схемы RS-, D- и TV-триггеров.

Наряду с MS-триггерами со статическим управлением записью в интегральной схемотехнике достаточно широко применяются одноклапные триггеры с внутренней задержкой, построенные по схеме "трех триггеров". Такие триггеры называются триггерами с динамическим управлением, выполнены на ЛЭ И – НЕ или ИЛИ – НЕ и включают 3 асинхронных триггера (один основной и два вспомогательных).

Триггер RS-типа с внутренней задержкой, выполненный по схеме "трех триггеров" и на ЛЭ ИЛИ – НЕ, показан на рис. 4.7. Причем основной триггер построен на ЛЭ 5 и 6, а верхний и нижний вспомогательные триггеры – на ЛЭ 1, 2 и 3, соответственно.

Рассмотрим работу триггера RS-типа. Пусть в исходном положении триггер находится в состоянии 0, т. е. $Q = Q_{\text{в}} = Q_{\text{н}} = 0$. Для установки триггера в состояние 1 на его входы подаются сигналы $R = 0$ и $S = 1$. Далее при поступлении тактирующего импульса $T = 1$ осуществляется прием входной единичной информации, которая записывается в верхний вспомогательный триггер ($Q_{\text{в}} = 1, \bar{Q}_{\text{в}} = 0$). При этом на выходах нижнего вспомогательного триггера будет один

и тот же сигнал логического нуля, а основной триггер сохраняет исходное состояние. Основной триггер так же, как и нижний вспомогательный триггер, переходит в состояние логической единицы по окончании действия ТИ, т. е. при $T = 0$.

Запись нулевой информации в триггер осуществляется аналогично, т. е. прием входной информации осуществляется при $T = 1$, а передача ее на выход происходит при $T = 0$. При этом, когда $T = 1$, нулевая информация принимается нижним вспомогательным триггером, а когда $T = 0$ "0", записывается в верхний вспомогательный и основной триггеры.

Для получения счетного Т-триггера на основе RS-триггера необходимо осуществить несложное коммутационное изменение, т. е. необходимо выход триггера Q соединить с входом R, а выход \bar{Q} – с входом S.

По схеме "трех триггеров" строится также D-триггер с внутренней задержкой, который похож по структуре организации связей между вспомогательными триггерами на RS-триггер. В D-триггере отсутствует связь выхода Q_n с входом ЛЭ 2 и введена связь между инверсным выходом нижнего вспомогательного триггера (Q_n) и входом ЛЭ 1 (входом R). При этом роль входа S играет информационный вход D. В остальном организация и работа схемы D-триггера аналогичны RS-триггеру.

4.2. Регистры

Классификация регистров

Регистры – наиболее распространенные функциональные узлы ЭВМ, предназначенные для приема, хранения и выдачи информации (кода числа, слова или части слова). Кроме того, регистры служат для выполнения операций сдвига слова влево или вправо на требуемое число разрядов. На регистрах также осуществляются преобразования последовательного кода в параллельный и наоборот, а в отдельных случаях выполняются поразрядные операции:

- логическое сложение;
- логическое умножение и сложение по модулю два.

На практике широко применяются регистры с мультиплексными входами, обладающие возможностью приема информации от

нескольких источников, т. е. с разных направлений в зависимости от управляющих сигналов на его входе.

Существует большое разнообразие регистров, которые отличаются друг от друга способом приема (записи) информации, синхронизацией и т. д.

Как правило, в ЭВМ используются синхронные регистры, работающие в определенной системе синхронизации и принимающие информацию только при наличии тактирующего(их) сигнала(ов).

В зависимости от выбранной системы синхронизации (однотактной и многотактной) регистры проектируются на различных по структуре триггерах. Для работы в двух- или многотактной системе синхронизации обычно используются одноступенчатые триггеры, управляемые уровнем тактирующего сигнала (импульса). В регистрах с однотактной синхронизацией используются двухступенчатые триггеры с внутренней задержкой, переключаемые фронтом тактирующего импульса. Обычно регистры строятся на основе триггеров D-, DV-, RS- и JK-типов, число которых соответствует числу разрядов в слове, которое хранится в регистре. Слово в регистре хранится в виде комбинации двоичных сигналов “0” и “1”. В регистрах применяются также вспомогательные схемы на логических элементах, которые обеспечивают выполнение различных операций: приема, сдвига и выдачи информации и т. д.

Основным классификационным признаком, по которому различаются регистры, является способ записи информации в регистр. Согласно этому признаку регистры делятся на параллельные, последовательные и параллельно-последовательные.

В параллельных регистрах, которые служат для хранения информации, запись и выдача слов осуществляются одновременно по всем разрядам. На них выполняются также поразрядные логические операции над словами.

В последовательных регистрах запись слова осуществляется последовательно, разряд за разрядом, начиная с младшего или старшего разряда, путем последовательного сдвига кода тактирующими импульсами. Поэтому они называются сдвигающими регистрами. Сдвигающие регистры делятся на простые и реверсивные.

Параллельно-последовательные регистры имеют входы как для параллельного, так и для последовательного приема кода слова. На них также выполняется преобразование параллельного кода в последовательный и наоборот.

В зависимости от количества каналов, по которым поступает информация на входы разрядных триггеров, регистры делятся на однофазные и парафазные. В парафазных регистрах информация на каждый разряд поступает по двум каналам (прямому и инверсному). В однофазных регистрах информация поступает на каждый разряд только по одному каналу (прямому или инверсному). Парафазные регистры выполняются на триггерах RS- или JK-типов, а однофазные – на основе триггеров типа D. Далее рассматриваются схемы параллельного, последовательного и параллельно-последовательного регистров с одно- и многотактной системой синхронизации.

Параллельные регистры

Параллельные регистры состоят из N-триггеров, не связанных между собой, где N – количество разрядов регистра. На рис. 4.8 показана схема параллельного регистра на синхронных RS-триггерах с цепями однофазной записи и парафазной выдачи N-разрядного слова. Запись слова в регистр осуществляется в два этапа (такта).

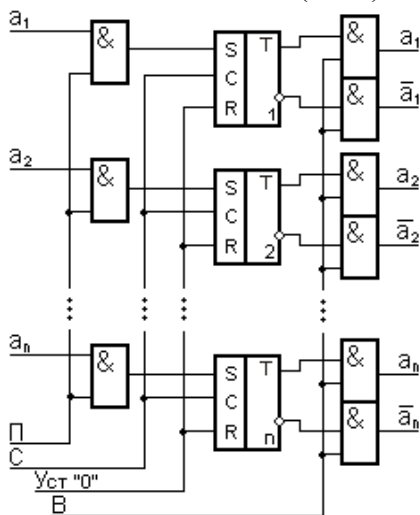


Рис. 4.8. Параллельный регистр на RS-триггерах с однофазным приемом информации

На первом этапе тактирующим импульсом на шине синхронизации С осуществляется гашение старой информации, которая хранится в

регистре, т. е. все триггеры регистра устанавливаются в состояние логического нуля (“0”). Для этого на шину приема П подается сигнал “0”, а на шину гашения Уст“1” – единичный сигнал (“1”). На втором этапе на шины П и Уст“0” подаются сигналы “1” и “0”, соответственно и тактирующим импульсом осуществляется запись слова А параллельным кодом. При этом в разрядах, где $a_i = 1$, триггеры устанавливаются в единичное состояние, а в разрядах, где $a_i = 0$, состояние триггеров с однофазным приемом информации не изменяется. Для выдачи N-разрядного слова в парафазном коде на шину В подается единичный сигнал.

На практике широко применяются регистры, в которые запись информации происходит за один тактовый импульс, без предварительного сброса регистра в ноль. В качестве примеров на рис. 4.9 и рис. 4.10 показаны схемы регистров с парафазным и однофазным приемами информации, выполненные на синхронных триггерах, соответственно RS- и D-типов. Эти регистры отличаются наиболее простой организацией процесса параллельной записи информации и не требуют дополнительной схемы приема на логических элементах, как это имеет место в регистре, рассмотренном выше. Запись информации в эти регистры по сравнению с регистрами на рис. 4.8 осуществляется примерно в два раза быстрее. Время записи ($t_{3п}$), параллельного кода слова фактически определяется задержкой переключения одного триггера (t_T), т. е. $t_{3п} = t_n \geq t_T$, где t_n – длительность синхронизирующего тактового импульса.

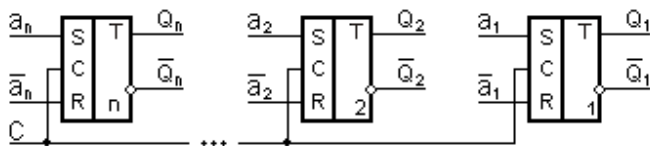


Рис. 4.9. Параллельный регистр на RS-триггерах с парафазным приемом информации

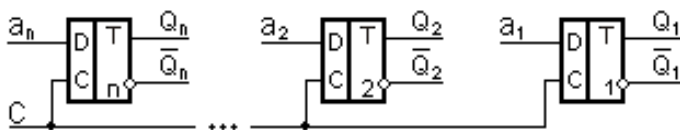


Рис. 4.10. Параллельный регистр с однофазным приемом информации

Сравнивая однофазные и парафазные параллельные регистры, необходимо отметить, что однофазные регистры являются более экономичными по числу входов, что создает благоприятные условия для сокращения количества выводов при проектировании СБИС.

Таким образом, в параллельный регистр ввод (запись) и вывод (считывание) информации производится параллельным кодом. Считывание производится в прямом или обратном коде.

Выполнение логических операций на регистрах

В процессе передачи информации из одного регистра в другой на регистрах можно выполнить следующие операции:

- логическое сложение (ЛС);
- логическое умножение (ЛУ);
- сложение по mod 2 (СЛ.2).

Логическое сложение выполняется при подаче управляющего сигнала “ЛС” (рис. 4.11).

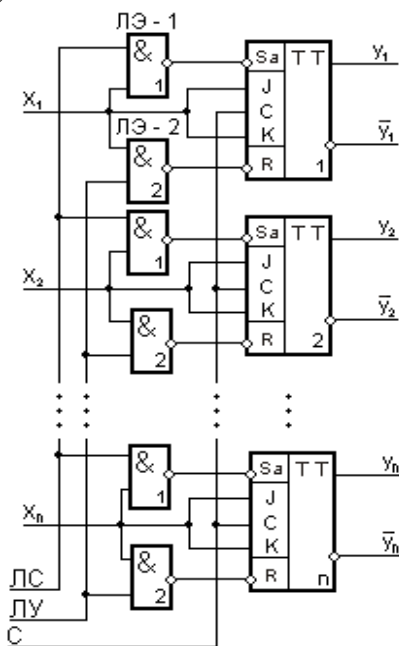


Рис. 4.11. Выполнение логических операций на регистрах

При этом имеется в виду, что первое слагаемое уже находится в регистре, а второе – через элементы ЛЭ-1 подается на вход S каждого триггера. В результате i-разряд регистра устанавливается в единичное состояние, если хотя бы один из слагаемых равен единице. Аналогично выполняется операция логического умножения под действием управляющего сигнала “ЛУ”. Здесь второе слагаемое через элементы ЛЭ-2 подается на вход R. Поэтому разряды регистра остаются в нулевом состоянии, когда хотя бы один из переменных равен нулю.

При выполнении операции сложения “Сл 2” второе слагаемое поступает на счетный вход триггеров каждого разряда регистра. Первое слагаемое в регистр записывается с помощью управляющих сигналов в следующей последовательности:

- на входах x_1, x_2, \dots, x_n устанавливается сигнал “1”;
- осуществляется сброс всех разрядов регистра с помощью управляющего сигнала ЛУ;
- производится занесение информации управляющим сигналом ЛС.

Последовательные регистры

В последовательные или сдвигающие регистры запись кода слова осуществляется последовательно, для чего на синхронизирующий(е) вход(ы) регистра подаются серии сдвигающих тактовых импульсов. В сдвигающих регистрах с однократной синхронизацией при поступлении каждого тактирующего импульса по его заднему фронту осуществляется сдвиг одновременно всего слова на один разряд вправо (от старших разрядов к младшим). В реверсивных регистрах сдвиг кода слова осуществляется вправо или влево (от младших разрядов к старшим или наоборот) в зависимости от значений управляющих сигналов, определяющих направление сдвига.

Простейшая схема сдвигающего регистра с однократной синхронизацией и однофазным приемом информации показана на рис. 4.12.

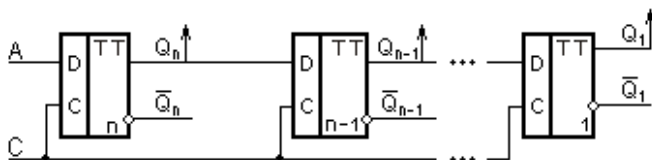


Рис. 4.12. Однофазный сдвигающий регистр с однократной синхронизацией

Регистр выполнен на основе одноктактных D-триггеров с внутренней задержкой, количество которых соответствует разрядности кода слова, записываемого в регистр. Связи между триггерами, соединенными между собой последовательно, однофазные и запись слова в регистр осуществляется по одному каналу. Тактирующие входы всех триггеров объединены общей шиной, являющейся синхронизирующим входом регистра. Так как триггеры, используемые в схеме одноктактные двухступенчатые с внутренней задержкой, то каждый тактирующий импульс, поступивший на синхронизирующий вход регистра, по заднему фронту обеспечивает одновременно запись очередного разряда кода слова в старший разряд регистра и сдвиг его содержимого вправо на один разряд.

Для записи N-разрядного кода слова в одноктактный сдвигающий регистр потребуется N тактовых импульсов. Сдвигающие однофазные регистры на триггерах D-типа экономичны по числу связей. Однако парафазные сдвигающие регистры, которые строятся на триггерах RS- и JK-типов, отличаются более высокой помехоустойчивостью.

На рис. 4.13 показана схема парафазного сдвигающего регистра с одноктактной синхронизацией, построенного на основе одноктактных триггеров с внутренней задержкой RS-типа.

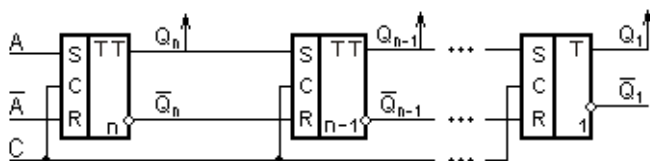


Рис. 4.13. Парафазный сдвигающий регистр с одноктактной синхронизацией

В парафазном сдвигающем регистре так же, как и в однофазном, разрядные триггеры представляют собой последовательно связанную цепочку, а их тактирующие входы присоединены к общей синхронизирующей шине “С”. Парафазная запись кода слова А и сдвиг вправо осуществляются тактирующим импульсом на шине “С”.

Применение одноктактных триггеров с внутренней задержкой, переключаемых задним фронтом тактирующих импульсов, является обязательным в сдвигающих регистрах для исключения проблемы временных состязаний сигналов и обеспечения их нормальной работы.

Среди сдвигающих регистров с многотактной синхронизацией на практике наибольшее применение находят двухтактные регистры с основным и вспомогательным (запоминающим) регистрами, построенными на одноступенчатых триггерах D-, DV-, и RS-типов, синхронизируемых уровнем тактирующих импульсов [5].

На рис. 4.14 показана схема последовательного регистра с двухтактным сдвигом кода слова, построенная на одноступенчатых однофазных D-триггерах с инверсной записью информации. D-триггеры выполнены на логических элементах НЕ,И – ИЛИ, реализованных в базисе ТТЛ ИС. Для сдвига кода слова в регистре на один разряд вправо требуется подать последовательно два тактовых импульса. Особенностью работы регистра на D-триггерах является то, что перезапись кода слова из запоминающего регистра в основной по первому тактовому импульсу ($C_1 = 1, C_2 = 0$) осуществляется с инверсией кода.

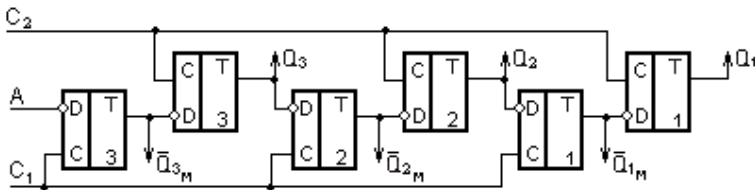


Рис. 4.14. Однофазный последовательный регистр с двухтактным сдвигом

Например, если сигналы Q_3 и Q_2 , характеризующие состояние триггеров третьего и второго разрядов запоминающего регистра, равны “1” и “0”, соответственно, то импульсом $C_1 = 1$ в триггеры аналогичных разрядов основного регистра переписываются инверсные значения этих сигналов, т. е. $Q_{2M} = 0$ и $Q_{1M} = 1$. Однако, благодаря второй инверсии кода, которая происходит при перезаписи информации по тактовому импульсу $C_2 = 1$ ($C_1 = 0$) из триггера основного регистра в триггер вспомогательного, обеспечивается передача кода слова между разрядами регистра в прямом коде. Это свойство сдвигающего регистра с двухтактной синхронизацией на D-триггерах позволяет при необходимости произвести выдачу информации с выходов триггеров основного и вспомогательного регистров.

Параллельно-последовательные регистры

Параллельно-последовательный регистр обладает возможностью как последовательного, так и параллельного приема информации. Рассмотрим одну из схем такого регистра (рис. 4.15), в которой используются однотактные D-триггеры с внутренней задержкой и дополнительные логические элементы И – НЕ. Сигналы на шинах C_1 и C_2 определяют режим записи информации (последовательная или параллельная) в регистр. Для последовательной записи кода числа A необходимо на шине C_1 установить сигнал логической 1, а на шине C_2 – сигнал логического 0. При этом параллельная запись кода числа B блокируется. Запись кода числа A осуществляется серией последовательных тактирующих импульсов (ТИ), поступающих на вход C регистра. При этом после каждого ТИ, количество которых равно количеству разрядов записываемого слова (или регистра), содержимое регистра сдвигается вправо на один разряд.

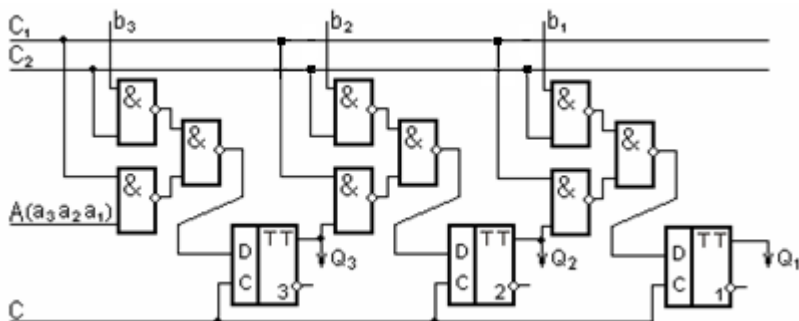


Рис. 4.15. Параллельно-последовательный регистр

Для параллельной записи кода числа B необходимо установить на шинах C_1 и C_2 сигналы 0 и 1, соответственно и подать на вход синхронизации C всего один ТИ, по окончании действия которого код числа B оказывается в регистре. При этом блокируются запись кода числа A и сдвиги между разрядами.

Параллельно-последовательные регистры, которые широко применяются в цифровых устройствах ЭВМ, могут быть использованы также для выполнения операции преобразования параллельного кода в последовательный или наоборот. Из параллельно-

последовательного регистра можно получить и реверсивный регистр, для чего достаточно выход каждого i -го разрядного триггера соединить с входом b_{i+1} , а вход b_1 использовать для кода числа N , который подается последовательно, начиная со старшего разряда. При этом на шины C_1 и C_2 будут подаваться сигналы разрешения сдвига вправо или влево.

4.3. Счетчики

Основные параметры счетчиков и их классификация

Счетчиком называется функциональный узел последовательного типа, предназначенный для подсчета входных импульсов и фиксации их числа в том или ином двоичном коде (прямом, дополнительном и др.). Основными операциями, выполняемыми счетчиками, являются:

- инкремент – увеличение их содержимого (хранящегося кодового слова) на единицу;
- декремент – уменьшение кодового слова в счетчике на единицу.

В системах цифровой обработки информации счетчики могут быть использованы также для:

- хранения кодового слова и выдачи его в параллельной форме;
- преобразования числа импульсного кода в двоичный код;
- деления частоты;
- формирования адресов в устройствах управления и т. д.

Основными параметрами счетчиков являются модуль счета (или коэффициент пересчета) $K_{сч}$ и быстродействие счетчика. Модуль счета характеризуется числом устойчивых состояний счетчика и определяется максимальным числом импульсов, которое может быть сосчитано счетчиком. После поступления на счетный вход счетчика $K_{сч}$ импульсов счетчик устанавливается в исходное состояние.

Быстродействие счетчика характеризуется временем установления кода счетчика $t_{уст}$ и частотой поступления счетных импульсов $f_{сч}$. Частота $f_{сч}$ выбирается исходя из условия $f_{сч} \leq 1/(t_{и} + t_{уст})$, $t_{и} \geq t_T$, где $t_{и}$ – длительность входного импульса; t_T – задержка переключения триггера. Для счетчиков, построенных на триггерах с внутренней задержкой, $t_{уст}$ определяется максимальным временным интервалом

между моментом окончания действия входного импульса и моментом установления нового кода в счетчике, т. е. когда устанавливаются переходные процессы во всех разрядах счетчика. В счетчиках, выполненных на синхронных триггерах с внутренней задержкой, переключение разрядов происходит после окончания входного импульса. Счетчики классифицируются по различным признакам, основными из которых являются: способ кодирования, направление счета, способ организации межразрядных связей и т. д.

В зависимости от способа кодирования слов, формируемых на счетчиках, различают счетчики с позиционным (взвешенным) и непозиционным (недвоичным) кодированиями. В счетчике с позиционным кодированием число импульсов K_A , поступивших на его счетный вход, определяется как

$$K_A = \sum_{i=0}^{N-1} c_i \cdot b_i, \quad (4.7)$$

где N – число разрядов счетчика; c_i – логическое состояние триггера i -го разряда; b_i – вес i -го разряда счетчика. Например, для 4-х разрядного счетчика с позиционным кодированием (функционирующем в коде 8421) веса разрядов b_i имеют следующие значения: $b_0 = 1$ (вес младшего разряда); $b_1 = 2$; $b_2 = 4$ и $b_3 = 8$.

В счетчиках с недвоичным кодированием разряды не имеют фиксированных весов, и для определения связи между числом импульсов K_A , поступивших на вход счетчика, и его состоянием используются более сложные, чем (4.7), выражения. Обычно такая связь устанавливается с помощью таблицы соответствия. К счетчикам с недвоичным кодированием относятся счетчики Джонсона, счетчики в коде Грея, счетчики на сдвигающих регистрах вида $1/N$, $2/N$ и т. д.

В цифровых устройствах широкое применение нашли счетчики с позиционным кодированием, которые по значению модуля счета подразделяются на:

- двоичные (модуль счета у таких счетчиков равен целой степени двойки, т. е. $K_{сч} = 2^N$);
- двоично-кодированные с произвольным модулем счета ($2^{N-1} < K_{сч} < 2^N$).

По направлению счета счетчики делятся на суммирующие, вычитающие и реверсивные. Суммирующий счетчик выполняет

прямой счет (операцию инкремента), т. е. после поступления на его вход очередного импульса содержимое счетчика увеличивается на 1. Вычитающий счетчик производит обратный счет, т. е. выполняет операцию декремента. Реверсивный счетчик в зависимости от управляющих сигналов может вести счет как в прямом, так и в обратном направлениях. По способу организации связей (или переноса) между разрядами различают счетчики с последовательным, параллельным и комбинированным переносами.

Двоичные счетчики

Схемотехнически двоичные счетчики реализуются на базе синхронных триггеров с внутренней задержкой Т-, TV-, D-, DV-, RS- и JK-типов, выполненных по схеме М-S или трех триггеров (с динамическим управлением). Наиболее простую структуру имеют двоичные счетчики с последовательным переносом, которые также называются асинхронными. В таких счетчиках импульс счета подается только на вход триггера 0-младшего разряда, а на вход каждого i -го триггера в последующих разрядах поступает сигнал переноса P_i , снимаемый с выхода триггера предшествующего $i-1$ -го разряда. В результате этого при изменении состояния счетчика переключение разрядных триггеров происходит последовательно во времени. При построении схем двоичных счетчиков с модулем $K_{сч} = 2^N$ используется N триггеров с внутренней задержкой, соединенных между собой последовательно цепями переноса.

Рассмотрим суммирующий счетчик с последовательным переносом, построенный на счетных триггерах Т-типа, реализованных, например, по схеме М-S (рис. 4.16).

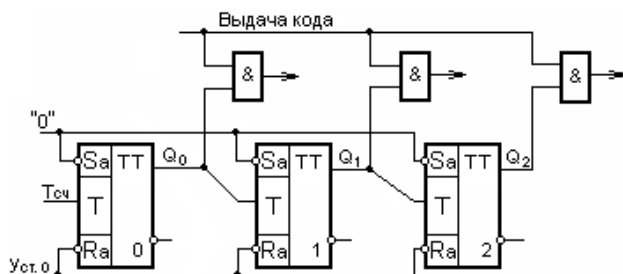


Рис. 4.16. Схема счетчика с последовательным переносом

В начале цикла работы счетчика все разрядные триггеры устанавливаются в состояние логического 0, для чего на шину "Уст.0" подается сигнал единичного уровня, который снимается после установления счетчика в «0»-е состояние. Далее по мере поступления входных импульсов счетчик последовательно в соответствии с табл. 4.2 и временными диаграммами (рис. 4.17) переходит из одного состояния в другое с задержкой, обусловленной задержкой переключения триггеров. При этом каждый триггер изменяет свое состояние только в тот момент, когда на его тактовом входе Т действует отрицательный перепад (срез) импульса. Другими словами, при переходе триггера $i - 1$ -разряда из единичного состояния в нулевое импульс переноса, снимаемый с его прямого выхода, переключает триггер i -разряда в противоположное состояние.

Таблица 4.2
Таблица истинности двоичного счетчика

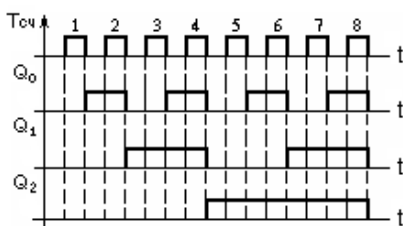


Рис. 4.17. Временные диаграммы работы суммирующего счетчика

| | Q ₂ | Q ₁ | Q ₀ |
|---|----------------|----------------|----------------|
| | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 2 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 |
| 4 | 1 | 0 | 0 |
| 5 | 1 | 0 | 1 |
| 6 | 1 | 1 | 0 |
| 7 | 1 | 1 | 1 |
| 8 | 0 | 0 | 0 |

Если в процессе счета требуется выдача двоичного кода в другое устройство, то к выходам триггеров всех разрядов подключаются цепи опроса на элементах И, управляемые сигналом “Выдача кода”.

В счетчиках с последовательным распространением переноса возможна ситуация, когда очередной входной импульс вызывает последовательное переключение всех триггеров по цепочке, например, при переходе счетчика из состояния 11...1 в исходное состояние 00...0. Отсюда время установления кода $t_{уст}$ счетчика такого типа и частота поступления счетных импульсов на его входе определяется как $t_{уст} = N \cdot \tau_T$, и $f_{сч} = 1/(\tau_u + N \cdot \tau_T)$. Из этих выражений

видно, что счетчики с последовательным переносом имеют самое низкое быстродействие и поэтому они используются в основном в качестве делителя частоты.

При работе счетчика с последовательным переносом в режиме делителя частоты предельная частота его работы определяется минимальной задержкой переключения триггера младшего разряда. Вычитающий счетчик работает аналогично счетчику на рис. 4.16, если в схеме тактовый вход каждого i -го триггера подключить к инверсному выходу \bar{Q}_{i-1} $i - 1$ -триггера, а асинхронные входы S_a использовать для установки начального кода числа, равного $K_{сч} - 1$.

При построении схем реверсивного счетчика для определения направления счета необходимо между разрядами использовать дополнительные элементы И – ИЛИ (или И – НЕ).

На рис. 4.18 приведена схема трехразрядного реверсивного счетчика с последовательным переносом. Направление счета определяется значениями сигналов на шинах сложения "+1" и вычитания "-1", длительности которых выбираются в соответствии с длительностью цикла работы счетчика. Например, в режиме вычитания на шину "+1" подается сигнал логической 1, а на шину "-1" – логического 0. Перед началом работы счетчика единичным сигналом на линии "Уст.1" все триггеры счетчика устанавливаются в состояние логической 1, что соответствует двоичному коду 111 десятичного числа 7. На линию "Уст.0" при этом подается сигнал логического 0. Каждый i -триггер изменяет свое состояние только в тот момент, когда предшествующий $i - 1$ -триггер переключается из состояния логического 0 в состояние логической 1, т. е. когда сигнал на инверсном выходе $i - 1$ -триггера станет равным нулю. Так, после подачи первого импульса

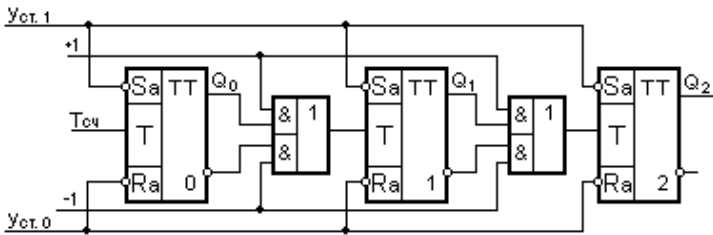


Рис. 4.18. Схема реверсивного счетчика с последовательным переносом

счета на вход счетчика триггер 0-разряда переключается, и сигнал на его прямом выходе Q_0 станет равным 0, а $\bar{Q}_0 = 1$. При этом остальные триггеры сохраняют неизменным свое прежнее состояние. После окончания действия второго счетного импульса триггер 0-разряда вновь изменяет свое состояние и переходит в состояние логической 1 ($Q_0 = 1$, $\bar{Q}_0 = 0$). В результате этого происходит переключение триггера 1-разряда (для его опрокидывания необходимо время, соответствующее времени переключения его самого и триггера 0-го разряда). Далее после подачи каждого очередного входного импульса разрядные триггеры переключаются последовательно, аналогично описанному выше. При этом содержимое счетчика уменьшается на единицу, т. е. выполняется операция декремента над кодовым словом в счетчике. В режиме сложения реверсивный счетчик работает так же, как и суммирующий счетчик на рис. 4.16. Для этого необходимо сбросить счетчик в нулевое состояние и установить на шинах "Уст.1" и "Уст.0" уровень сигналов 0 и 1, соответственно.

Для ускорения распространения переноса между разрядами счетчика используются дополнительные двухвходовые логические элементы И, на выходе каждого из которых формируется сигнал переноса в $i + 1$ -разряд, определяемый в соответствии с выражением $P_{i+1} = P_i \cdot Q_i$, где Q_i – выходной сигнал триггера i -разряда. При этом перенос p_0 принимается равным счетному импульсу $T_{сч}$, поступающим извне на вход счетчика.

За счет использования цепей, осуществляющих сквозной перенос между разрядами и, следовательно, ускоряющих распространение переноса, время установления кода несколько уменьшается и определяется как

$$t_{уст} = t_T + (N - 1) \cdot t_{ср}^{\&},$$

поскольку при переходе счетчика из состояния, соответствующего двоичному коду 11...1 в состояние 00...0, здесь, в отличие от счетчика на рис. 4.16, последовательно переключается только один триггер (младшего разряда) и $(N - 1)$ элементов И, где $t_{ср}^{\&}$ – средняя задержка переключения логического элемента И.

Существенно уменьшить время установления выходного кода счетчика, и, следовательно, повысить его быстродействие можно, если импульсы переноса между разрядами сформировать одновременно (параллельно). В таких счетчиках с параллельным переносом с поступлением импульсов переноса триггеры всех разрядов переключаются одновременно. Поэтому время установления кода $t_{уст}$ и частота поступления счетных импульсов $f_{сч}$ не зависят от числа разрядов и определяется как

$$t_{уст} = t_T + t_{ср}^{\&} \approx t_T, \text{ так как } t_{ср}^{\&} \ll t_T \text{ и } f_{сч} = 1 / (t_{и} + t_T).$$

Один из вариантов схемотехнической реализации счетчика с параллельным переносом, построенного на JK-триггерах с внутренней задержкой, показан на рис. 4.19.

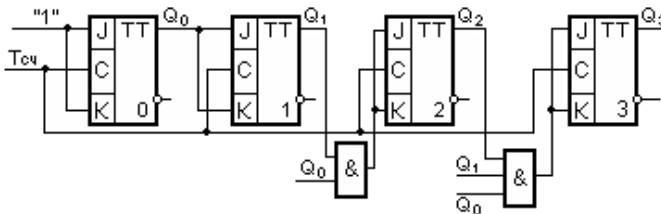


Рис. 4.19. Схема двоичного счетчика с параллельным переносом с $K_{сч} = 16$

На тактовые входы триггеров всех разрядов одновременно (синхронно) подаются импульсы счета $T_{сч}$, поэтому такие счетчики также называются синхронными. На каждый из объединенных J- и K-входов (называемых разрешающими V-входами), начиная с первого разряда, подается импульс переноса, определяемый выражением $P_{i+1} = Q_i Q_{i-1} Q_{i-2} \dots Q_N$, где $i = 0, 1, \dots, N$ (в схеме на рис. 4.19 $N = 4$). Триггер младшего 0-го разряда используется в режиме счетного T-триггера, т. к. на его объединенные J- и K-входы постоянно подается сигнал 1, т. е. $J = K = 1$. Как видно из рис. 4.19, в счетчиках с параллельным переносом при увеличении числа разрядов пропорционально увеличивается необходимое число входов элементов И, используемых в цепях формирования импульсов переноса. Так как реальные схемы элементов И имеют конечное число входов, а триггеры – ограниченную нагрузочную способность, разрядность счетчиков с параллельным переносом обычно невелика. В тех

случаях, когда допустимое число входов m схем элементов И меньше числа разрядов N счетчика ($m < N$), последний разбивается на группы. Внутри каждой группы перенос формируется параллельным способом, а между группами перенос может осуществляться последовательно, параллельно или по способу сквозного переноса. Такие счетчики называются счетчиками с комбинированным переносом и в случае, когда группы связаны цепями сквозного переноса, максимальное время установления кода в счетчике определяется как

$$t_{уст} = t_{гр} + (L - 1) \cdot t_{ср}^{\&},$$

где $t_{гр}$ – время установления кода в группе; L – число групп.

Следует отметить, что число разрядных триггеров в каждой группе, которое может быть произвольным, выбирается в соответствии с допустимым числом входов элементов И, используемых для формирования параллельного переноса внутри группы. В частном случае каждая группа может состоять только из одного разрядного триггера, тогда счетчик с комбинированным переносом, схема которого приведена на рис. 4.20, вырождается в счетчик со сквозным переносом.

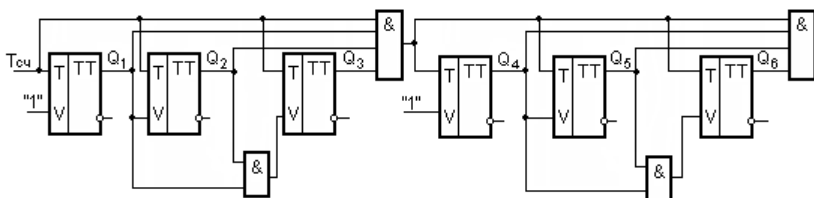


Рис. 4.20. Схема счетчика с комбинированным переносом

Двоично-кодированные счетчики

В цифровой вычислительной технике нередко используются счетчики, модуль счета $K_{сч}$ которых не равен целой степени числа 2 ($K_{сч} \neq 2^N$). При этом число, определяемое разностью $2^N - K_{сч}$, соответствует количеству запрещенных ("лишних") состояний $K_{зс}$. Принцип схемотехнической реализации таких счетчиков заключается в исключении "лишних" устойчивых состояний у двоичных счёт-

чиков с модулем счёта, равным 2^N , т. е. в организации цепей, запрещающих некоторые состояния.

В зависимости от того, какие состояния счетчика считаются запрещенными, различают счетчики с естественным порядком счета, с начальной установкой кода и с принудительным насчетом.

В счетчиках с естественным порядком счета счет ведется так же, как и в суммирующих двоичных счетчиках (начиная от 0), с той лишь разницей, что в таких счетчиках цикл их работы заканчивается с поступлением $K_{сч}$ -го по счету импульса ($K_{сч} < 2^N$).

Известно множество способов построения схем счетчиков с естественным порядком счета. Наибольшее распространение получили схемы счетчиков с модифицированными межразрядными связями, с управляемым сбросом и с цепью блокировки переноса.

Построение схемы счетчика с модифицированными межразрядными связями основано на использовании методики синтеза последовательностных устройств (цифрового автомата) [17]. Специфика этого способа состоит в составлении для каждого "лишнего" состояния счетчика нестандартных функций возбуждения триггеров, определяющих их переходы в следующее состояние. Синтезированная схема получается как специализированная, и она определяет все виды связей между разрядными триггерами. При изменении модуля счета счетчика не может быть оперативно изменена структура его схемы, и требуется выполнить в полном объеме весь цикл проектирования. Поэтому такой способ используется в основном при проектировании двоично-десятичного счетчика.

Способы построения счетчиков с управляемым сбросом и цепью блокировки принципиально одинаковы. Однако схемы счетчиков с цепью блокировки (особенно при больших $K_{сч}$) получаются более экономичными с точки зрения использования минимально необходимого числа межразрядных связей и дополнительных логических элементов.

Рассмотрим счетчик с цепью блокировки переноса, в котором счет ведется в естественном порядке. Схема счетчика такого типа с модулем счета $K_{сч} = 13$, построенная на JK-триггерах с внутренней задержкой, приводится на рис. 4.21. В схеме JK-триггеры всех разрядов, за исключением триггера старшего (3-го) разряда, используются в режиме TV-триггеров, для чего J- и K-входы этих триггеров объединяются и образуют V-входы. На V-входы TV-триггеров 1- и 2-го разрядов и на J-вход триггера старшего разряда подаются сигналы

переноса, которые формируются параллельным способом. На V-вход триггера 0-разряда подается сигнал блокировки (запрещения) переноса \bar{R} , т. к. $K_{сч}$ равен нечетному числу (если $K_{сч}$ равен четному числу, тогда на V-вход триггера 0-разряда подается сигнал логической 1).

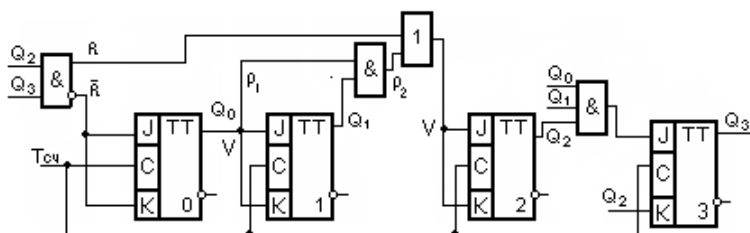


Рис. 4.21. Счетчик с естественным порядком счета на JK-триггерах с $K_{сч} = 13$

На K-вход триггера старшего разряда в общем случае подается конъюнкция выходных сигналов триггеров тех разрядов, сумма весов которых равна разности $K_{сч} - b_{N-1} - 1$, где b_{N-1} – вес $N - 1$ -го разряда. Если эта разность равна нулю, тогда на K-вход JK-триггера подается сигнал логической 1. В рассматриваемом случае разность $K_{сч} - b_{N-1} - 1 = 13 - 8 - 1 = 4$, что соответствует весу второго разряда и, следовательно, на K-вход триггера старшего разряда подается сигнал Q_2 .

Для исключения последних $(2^N - K_{сч})$ запрещенных состояний в схему вводится дополнительный логический элемент И с прямым и инверсным выходами. На входы этого элемента подаются выходные сигналы разрядных триггеров (Q_2 и Q_3), которые находятся в единичном состоянии перед подачей на вход счетчика последнего ($K_{сч}$ -го) импульса.

До тех пор, пока содержимое счетчика, т. е. выходные сигналы разрядных триггеров не будут соответствовать двоичному коду 1100, сигналы блокировки (запрещения) \bar{R} и генерации (разрешения) R, равные 1 и 0, соответственно, не оказывают влияния на естественный порядок счета (в счетчике будет выполняться операция инкремента). После подачи $(K_{сч} - 1)$ -го по счету входного импульса сигнал запрещения $\bar{R} = 0$ блокирует переключение триггера 0-разряда, а сигнал $R = 1$

генерирует единичный перенос на V -входе триггера 2-го разряда (необходимость в этом возникает, т. к. перенос $P_2 = 0$) и тем самым разрешают его переключение из единичного состояния в нулевое. Таким образом, схема подготавливается к сбросу в исходное состояние 0, что и происходит после подачи последнего $K_{сч}$ -го по счету входного импульса.

Следует отметить, что номера разрядных триггеров, для которых блокируются или генерируются сигналы переноса, определяются в соответствии с двоичным кодом десятичного числа, определяемого разностью $K_{сч} - b_{N-1} - 1$, и значениями сигналов переноса. По описанному выше способу можно построить счетчики с любым модулем счета. Обычно счетчики с естественным порядком счета схемотехнически реализуются на JK- и DV-триггерах с внутренней задержкой.

На практике, наряду со счетчиками с естественным порядком счета, применяются также двоично-кодированные счетчики с принудительным насчетом и начальной установкой кода

Рассмотрим особенность структуры и принцип построения счетчика с принудительным насчетом с $K_{сч} = 10$, схема которого приведена на рис. 4.22. Счетчик такого типа работает в естественном порядке, начиная с исходного состояния 0 до поступления $(X + 1)$ -го импульса. Другими словами, его содержимое, после подачи каждого очередного импульса, увеличивается на единицу до тех пор, пока в нем не установится двоичный код 0111, соответствующий числу $X = b_{N-1} - 1 = 7$.

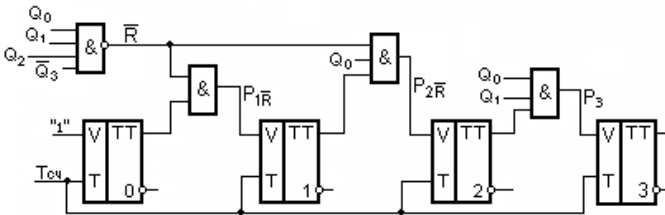


Рис. 4.22. Счетчик с принудительным насчетом с $K_{сч} = 10$

С приходом $(X + 1)$ -го по счету импульса содержимое счетчика увеличивается не на единицу, а сразу на число $K_{зс} + 1$, и в счетчике устанавливается двоичный код числа $X + 1 + K_{зс} = 14$. Таким образом, счетчик насчитывает лишние 6 единиц ($K_{зс} = 6$), т. е. из состояния 0111 переходит не в состояние 1000, а в состояние – 1110.

Для этого с помощью сигнала на выходе элемента И – НЕ, который становится равным нулю после X-го по счету импульса, блокируются сигналы переноса для первого и второго разрядов ($P_{1\bar{R}}, P_{2\bar{R}}$), сумма весов которых равна $K_{зс} = 6$. Далее с поступлением следующего девятого импульса содержимое счетчика вновь увеличивается на 1 и в счетчике устанавливается код 1111. С приходом последнего десятого импульса счетчик возвращается в исходное состояние.

Структуру схемы счетчика можно легко перестроить на другие значения модуля счета. Например, для получения счетчика с $K_{сч} = 14$ из схемы на рис. 4.22, достаточно удалить обратную связь с выхода элемента И – НЕ на вход второго слева элемента И.

Схема счетчика с начальной установкой кода с $K_{сч} = 10$ имеет структуру, аналогичную схеме счетчика на рис. 4.22. Однако в таких счетчиках принудительный насчет (исключение лишних состояний) осуществляется не в процессе счета, а перед его началом.

В исходном состоянии (с помощью сигналов на асинхронных входах триггеров) в счетчике устанавливается код 0110, соответствующий числу "лишних" состояний ($K_{зс} = 6$). Далее после подачи каждого очередного счетного импульса содержимое счетчика последовательно увеличивается на единицу, начиная от начального кода 0110 до кода 1111.

При установлении в счетчике кода 1111, что происходит после подачи $(K_{сч}-1)$ -го импульса, сигнал \bar{R} равен нулю ($\bar{R} = 0$) (т. к. набор сигналов на входах элемента И – НЕ соответствует минтерму $Q_3Q_2Q_1Q_0$) и он блокирует переносы $P_{1\bar{R}}$ и $P_{2\bar{R}}$, делая их также равными нулю. Благодаря этому, после подачи десятого счетного импульса триггеры 1- и 2-го разрядов не переключаются, а сохраняют единичное состояние и поэтому счетчик возвращается в исходное состояние с кодом 0110, соответствующим числу 6.

Следует отметить, что в процессе счета содержимое счетчика все время отличается от порядкового номера счетного импульса на величину $K_{зс}$. Поэтому счетчики с начальной установкой кода называются также счетчиками с избытком кода.

Счётчики с недвоичным кодированием

Среди счётчиков с недвоичным (или непозиционным) кодированием наибольшее распространение нашли счётчики с по-

стоянно взвешенными кодами, счетчики Джонсона и полиномиальные счетчики. Основой всех этих счётчиков являются сдвигающие регистры, построенные на D-, RS- и JK-триггерах. Счётчики с постоянно взвешенными (или маркирующими) кодами отличаются постоянством сочетания единиц и нулей в разрядах регистра для каждого из устойчивых состояний, принимаемого счётчиком в процессе счёта.

Рассмотрим простейшую схему счётчика с постоянно взвешенными кодами вида $1/N$ на одноканальном кольцевом регистре (рис. 4.23). В начале цикла работы счётчика по сигналу «Уст.» триггеры всех разрядов, за исключением младшего (нулевого), устанавливаются в состояние 0, а в триггер нулевого разряда записывается сигнал логической 1. Далее после каждого входного тактового импульса логическая 1 последовательно переписывается из разряда в разряд: вначале из первого разряда во второй, затем из второго в третий и т. д., т. е. в счётчике происходит циклический сдвиг единицы. При каждом сдвиге единицы счётчик переходит в новое состояние, каждое из которых кодируется новым положением единицы в N -разрядном двоичном слове, например $100\dots 0$, $010\dots 0$, $0010\dots 0$ и т. д. Такие коды иногда называются маркирующими. Таким образом, N -разрядный счётчик с маркирующими кодами имеет N различных устойчивых состояний и, следовательно, модуль счёта $K_{сч} = N$.

Основным достоинством счётчиков такого типа является простота дешифрации его состояний и высокое быстродействие.

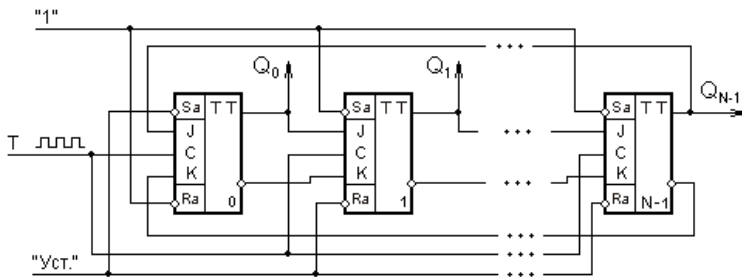


Рис. 4.23. Счетчик с постоянно взвешенными кодами вида $1/N$

Кроме счетчиков $1/N$ имеются счётчики с постоянно взвешенными кодами вида $2/N$, $3/N$ и т. д., которые обладают большим числом

устойчивых состояний, но для дешифрации их состояний требуется применение дополнительных элементов И.

В счётчиках вида $2/N$ число устойчивых состояний и, следовательно, модуль счёта определяется как $K_{сч} = N(N - 1)/2$. В процессе работы счётчика вида $2/N$ в счётчике постоянно циркулируют две единицы, и каждому его состоянию соответствуют определённые позиции этих единиц в N -разрядных двоичных кодах. При этом в зависимости от того, триггеры каких двух разрядов счётчика предварительно установлены в единичное состояние, получают различные последовательности N -разрядных кодов, в которых две единицы следуют друг за другом с постоянным интервалом. Методика построения схемы таких счётчиков основана на объединении этих последовательностей N -разрядных кодов, число которых конечно и зависит от N . Счётчики с постоянно взвешенными кодами в основном применяются для построения схем распределителей уровней и импульсов.

Счётчик Джонсона, имеющий $2N$ устойчивых состояний, т. е. при одной и той же разрядности вдвое больше состояний, чем счётчик вида $1/N$, реализуется также на сдвигающих регистрах, но с перекрёстными обратными связями. Рассмотрим пятиразрядный счётчик Джонсона с модулем счёта $K_{сч} = 2N = 10$, построенный на JK-триггерах с внутренней задержкой (рис. 4.24).

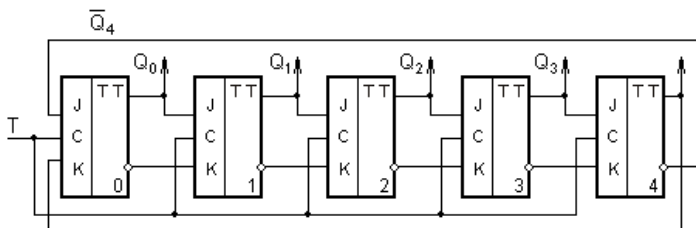


Рис. 4.24. Счетчик Джонсона на одноклеточном регистре с перекрестными связями

В исходном состоянии в счётчике с помощью сигнала на входе «Уст.» (вход «Уст.» на рис. 4.24 не показан) устанавливается код 00000 ($Q_0 = Q_1 = Q_2 = Q_3 = Q_4 = 0$). При этом на J- и K-входах триггера нулевого (младшего) разряда будут следующие сигналы: $J = 1, K = 0$. Такая комбинация сигналов на J- и K-входах триггера нулевого разряда, соответствующая логической 1, сохранится до поступления на вход счётчика пятого по счёту импульса. Поэтому после поступления каждого из пяти

первых счётных импульсов счётчик последовательно заполняется единицами, т. е. его показания изменяются в соответствии со следующими кодами: 00001, 00011, 00111, 01111 и 11111 (на рис. 4.24 младший разряд расположен слева).

После окончания пятого импульса значения сигналов на входах JK-триггера нулевого разряда изменятся и будут равными $J = 0$, $K = 1$, что соответствует логическому 0. В результате после подачи каждого из пяти последующих импульсов счётчик последовательно заполняется нулями, и его дальнейшие состояния будут характеризоваться следующей последовательностью кодов: 11110, 11100, 11000, 10000 и 00000. Таким образом, после окончания действия десятого импульса счётчик возвращается в исходное состояние 00000.

Следует отметить, что на основе сдвигающих регистров с перекрестными обратными связями относительно легко можно реализовать счётчик Джонсона с чётным значением модуля счёта. Для построения счётчика с нечётным модулем счёта в его схему необходимо ввести дополнительный элемент И для исключения одного «лишнего» состояния. Схемы таких счётчиков могут быть реализованы с применением одного из описанных выше способов исключения «лишних состояний».

Основным достоинством счётчиков Джонсона является их высокое быстродействие и простота дешифрации состояний. Быстродействие характеризуется временем установки одного разряда, а дешифрация состояний осуществляется с помощью двухкодовых элементов И. Счётчики Джонсона так же, как и счётчики на кольцевых сдвигающих регистрах вида $1/N$ и $2/N$, находят широкое применение для построения схем распределителей уровней и импульсов.

4.4. Распределители сигналов

Основным назначением распределителей является формирование последовательности сигналов, используемых для управления работой устройств цифровых систем. Распределители также широко применяются при разработке программно-временных устройств, коммутаторов и др. Сигналы, подаваемые на входы распределителей, называемые переключательными, поочередно передаются на тот или иной выход (канал) распределителя, включая его в активное (рабочее) состояние. По виду формируемых на рабочих каналах сигналов различают распределители уровней (потенциалов) и распределители импульсов.

На рис. 4.25 приведена структурная схема распределителя сигналов и временные диаграммы его работы, где Γ – генератор импульсов; P – распределитель сигналов с потенциальными (Y_0, Y_1, \dots, Y_{n-1}) и импульсными (F_0, F_1, \dots, F_{n-1}) выходами. Из временной диаграммы на рис. 4.25, б видно, что распределители уровней характеризуются тем, что паузы между активными состояниями каналов отсутствуют. Длительность сигналов в каждом из его n -каналов равна периоду следования переключающих импульсов T_n . Формирование рабочего уровня сигнала в активном канале распределителя уровней происходит или во время действия очередного переключающего импульса (рис. 4.25, б) или после окончания его действия (в схемах распределителей на триггерах с внутренней задержкой).

Следует отметить, что распределители уровней являются основой для схемотехнической реализации распределителей импульсов, которые характеризуются тем, что рабочий импульс формируется в активном канале во время действия переключающего или специального стробирующего импульса. При этом длительность импульсов, формируемых в активном канале, обычно равна длительности стробирующего импульса.

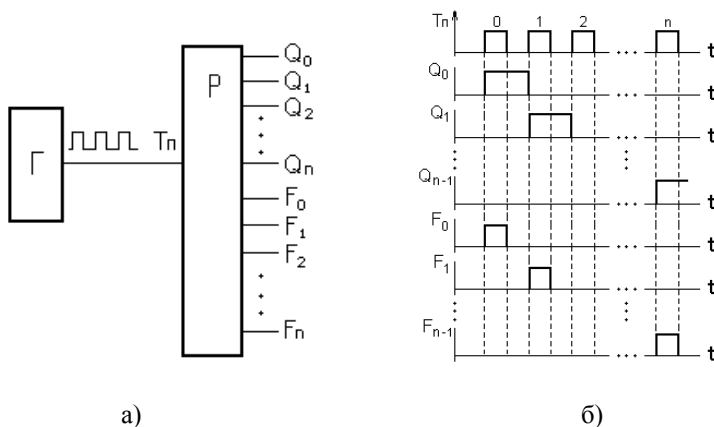


Рис. 4.25. Структурная схема распределителя сигналов (а) и временные диаграммы (б)

Рассмотрим одну из широко применяемых схем распределителя, выполненного на кольцевом одноканальном регистре (рис. 4.26). Число каналов (n) распределителя равно числу разрядов N регистра. Запуск

схемы распределителя осуществляется сигналом управления $T_y = 1$ и импульсом T_n , с помощью которых в младший (нулевой) разряд регистра записывается 1 (предполагается, что предварительно произведен сброс регистра в состояние 0), т. е. в распределителе устанавливается рабочий код 001. Далее при поступлении очередных переключающих импульсов T_n в кольцевом регистре происходит циклический сдвиг 1 (при этом $T_y = 1$)

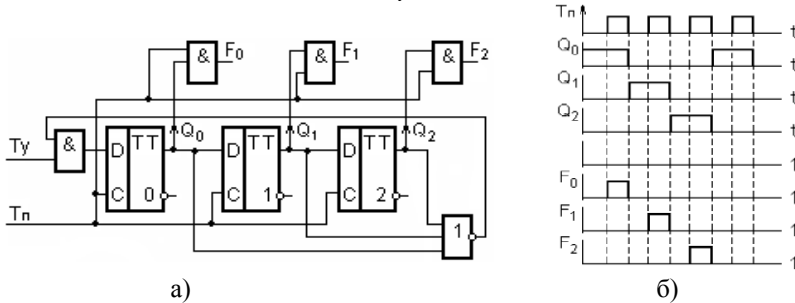


Рис. 4.26. Схема распределителя на кольцевом одноканальном регистре (а) и временные диаграммы работы (б)

Так как регистр построен на триггерах с внутренней задержкой, процесс последовательной перезаписи 1 из разряда в разряд не будет сопровождаться неоднозначными состояниями потенциальных выходов (Q_2 , Q_1 и Q_0). Другими словами, не могут действовать единичные уровни одновременно на двух или более выходах, что является достоинством данной схемы по сравнению со схемами распределителей на многотактных кольцевых регистрах.

Схема на рис. 4.26, а работает как в режиме распределителя уровней с потенциальными выходами Q_0 , Q_1 и Q_2 , так и в качестве распределителя импульсов. Для этой цели на входы логических элементов И подаются сигналы Q_0 , Q_1 и Q_2 , а в качестве стробирующего импульса используется переключающий импульс T_n . Как видно, из временных диаграмм на рис. 4.26, б, импульсные сигналы на выходах распределителя (элементов И) формируются во время действия переключающих импульсов T_n , а сигналы потенциального типа: Q_0 , Q_1 и Q_2 – по окончании импульсов T_n .

Для устранения возможных сбоев, имеющих место при появлении в регистре «лишних» 1 или 0, в схему включен дополнительный элемент ИЛИ – НЕ, сигнал обратной связи с выхода

которого (через элемент И) подается на вход триггера нулевого разряда регистра. Таким образом, в схеме распределителя на рис. 4.26, а устраняются сбои, обусловленные не только с возникновением «лишних» единиц, но и с потерей единственной единицы. Например, если происходит случайный сброс регистра в «0», тогда на выходе элемента ИЛИ – НЕ и, следовательно, на входе триггера нулевого разряда регистра сформируется сигнал логической 1, в результате которого этот триггер оказывается подготовленным к переключению в состояние 1. Далее после подачи очередного переключающего импульса в распределителе устанавливается рабочий код 001.

Для более оперативного устранения сбоев (одним переключающим импульсом) в схему распределителя включают дополнительные корректирующие цепи на логических элементах, набор сигналов, на входах которых определяется в соответствии с диаграммой рабочих и ложных состояний (или с таблицей истинности) распределителя. Например, для устранения сбоев в распределителе на рис. 4.27, в котором возможно появление пяти ложных (запрещенных) состояний: 110, 011, 101, 111 и 000, в его схему дополнительно включают три логических элемента так, чтобы с очередным переключающим импульсом вернуть его в рабочее состояние (код 001).

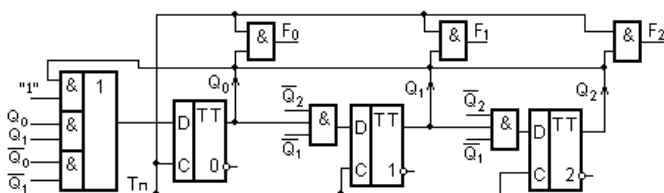


Рис. 4.27. Схема распределителя с исключением появления ложных состояний

Если построить распределитель на кольцевом параллельно-последовательном регистре, то можно реализовать адресный вызов канала. В этом случае на параллельные входы регистра подается двоичный код адреса канала, запись которого осуществляется сигналом записи кода. Для этой же цели могут быть использованы входы установки 1 (S_a) разрядных триггеров. Распределители на кольцевых регистрах находят применение при малом числе каналов, когда аппаратные затраты небольшие, а отсутствие дешифраторов

в их структуре приводит к высокому быстродействию, определяемому задержкой переключения одного триггера.

Более экономичными по числу логических элементов на канал являются распределители, построенные на основе регистров с перекрестными связями (на счетчиках Джонсона). Такие распределители при одной и той же разрядности имеют вдвое больше каналов, чем распределители на кольцевых регистрах. Однако для построения схем распределителей на регистрах с перекрестными связями требуется выполнить преобразование кодов для дешифрации состояний счетчиков Джонсона. В то же время схемы дешифрации, позволяющие преобразовать состояния счетчика Джонсона на выходах распределителя в код “1 из N”, достаточно просты.

На рис. 4.28, а приведена схема распределителя импульсов на трехразрядном регистре с перекрестной связью, выполненного на D-триггерах с внутренней задержкой. Для преобразования кода счетчика Джонсона в код “1 из N” на выходах распределителя использованы элементы дешифрации И, на один из входов которых подается тактирующий импульс T_n . Так как счетчик Джонсона построен на D-триггерах с внутренней задержкой, каждое новое его состояние формируется после окончания действия переключающего импульса T_n (см. временную диаграмму на рис. 4.28, б).

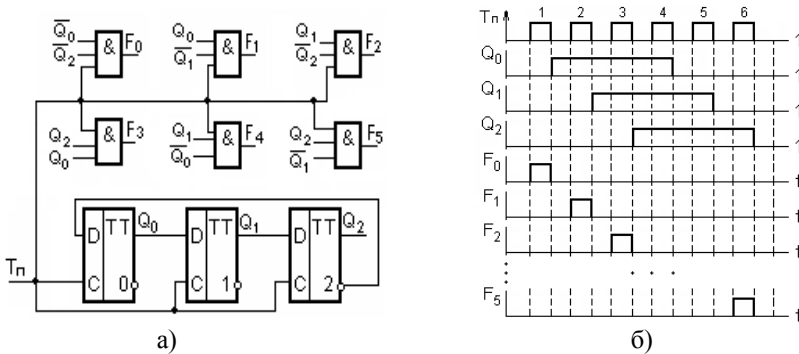


Рис. 4.28. Распределитель импульсов на основе регистра с перекрестной связью (а) и временные диаграммы его работы (б)

Из анализа табл. 4.3 видно, что для преобразования выходного кода счетчика Джонсона в код “1 из N” достаточно

анализировать состояние двух разрядов на границе между зонами единицы и нулей. Только в двух случаях, когда состояние счетчика Джонсона характеризуется кодами: 000 или 111, дешифрация этих кодов осуществляется путем анализа крайних разрядов.

Таким образом, на основании табл. 4.3 несложно составить выражения для функций, реализуемых на выходных каналах распределителя импульсов (рис. 4.28, а):

$$F_0 = \overline{Q_0} \cdot \overline{Q_2} \cdot T; \quad F_1 = Q_0 \cdot \overline{Q_1} \cdot T; \quad F_2 = Q_1 \cdot \overline{Q_2} \cdot T;$$

$$F_3 = Q_0 \cdot Q_2 \cdot T; \quad F_4 = \overline{Q_0} \cdot Q_1 \cdot T; \quad F_5 = \overline{Q_1} \cdot Q_2 \cdot T.$$

Таблица 4.3

Таблица состояний распределителя

| Номера импульсов | Tп | Q ₀ | Q ₁ | Q ₂ | Номера импульсов | Tп | Q ₀ | Q ₁ | Q ₂ |
|------------------|----|----------------|----------------|----------------|------------------|----|----------------|----------------|----------------|
| 0 | | 0 | 0 | 0 | 3 | | 1 | 1 | 1 |
| 1 | | 1 | 0 | 0 | 4 | | 0 | 1 | 1 |
| 2 | | 1 | 1 | 0 | 5 | | 0 | 0 | 1 |

Способ дешифрации не изменяется с увеличением числа разрядов. Для N-разрядного регистра требуется 2 N трехвходовых логических элементов И, чтобы получить распределитель импульсов на 2 N каналов.

Для устранения сбоев в распределителях на счетчиках Джонсона используется относительно малое число дополнительных элементов дешифрации. Это объясняется тем, что в таких распределителях число ложных (запрещенных) состояний в два раза меньше, чем в распределителях на кольцевом регистре. Кроме того, распределители на счетчиках Джонсона так же, как и распределители на кольцевом регистре, имеют высокое быстродействие за счет одноканального режима работы и отличаются простотой схемы дешифрации и постоянством ее структуры вне зависимости от числа каналов.

Следует отметить, что распределители могут быть построены и на основе двоичных счетчиков, счетные импульсы которых

выполняют функции переключающих импульсов, а двоичные коды в счетчиках преобразовываются в код “1 из N” с помощью схем дешифрации. Распределители на двоичных счетчиках имеют преимущества по аппаратным затратам и быстродействию, по сравнению с рассмотренными выше распределителями, только при большом числе выходных каналов. Для построения таких распределителей обычно используются одноктактные (синхронные) счетчики с параллельными переносами, которые обладают наибольшим быстродействием и не дают ложного включения каналов при переходе распределителя из одного состояния в другое.

Кроме рассмотренных выше распределителей на практике, в частности в устройствах с микропрограммным управлением, широко применяются многопрограммные распределители, работающие по нескольким программам. В многопрограммном распределителе, кроме переключающих входов, имеются дополнительные входы, используемые для управления режимами его работы. Сигналы, поступающие на входы управления многопрограммного распределителя, определяют последовательность включения его каналов, которая видоизменяется с изменением номера программы. Подробно вопросы схемотехнической реализации многопрограммных распределителей и организации режимов их работы рассмотрены в трудах [5, 17].

5. ПОЛУПРОВОДНИКОВЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

5.1. Основные параметры и классификация ЗУ

Одной из основных функциональных частей ЭВМ является запоминающее устройство (ЗУ), которое предназначено для приема, хранения и выдачи информации – кодов команд и данных. Информация в ЗУ (памяти) хранится в ячейках в виде двоичных кодов. Единицей измерения количества информации является бит, который численно может принимать значения логического 0 или логической 1. Обычно информация, равная одному биту, хранится в элементарной ячейке, называемой запоминающим элементом (ЗЭ). Каждая ячейка ЗУ имеет свой адрес, однозначно её идентифицирующий в определенной системе координат. Минимальной адресуемой единицей хранения информации в ЗУ обычно является байт, состоящий из 8-ми информационных бит.

Основными операциями в ЗУ является занесение информации в память – запись и выборка информации из памяти – считывание. Эти операции выполняются при обращении к памяти. При этом производится запись или считывание некоторой единицы данных, различной для ЗУ разного типа. Такой единицей может быть, например, байт, машинное слово или блок данных.

Основными параметрами ЗУ являются: ёмкость и быстродействие памяти, а также удельная стоимость хранения единицы данных (цена накопителя с носителями, отнесённая к единице хранения, т. е. байту или мегабайту). От значений этих параметров ЗУ во многом зависит эффективность использования аппаратных и программных средств ЭВМ. С увеличением ёмкости и быстродействия ЗУ существенно улучшаются технические и эксплуатационные характеристики, в первую очередь производительность ЭВМ.

Ёмкость ЗУ «С» характеризует максимальный объём хранимой информации и определяется количеством ячеек памяти. Ёмкость ЗУ измеряется в битах или количестве слов (N) с указанием их длины (разрядности L). Для измерения больших объёмов информации используются приставки кило (К) и мега (М), обозначающие соответственно 1 Кбит = 1024 бита и 1 Мбит = 1 048 576 битов. Количество и разрядность хранимых слов зависят от организации ЗУ (N×L). Например, ЗУ ёмкостью С = 16 Мбит может иметь организацию выборки

1x16 М, 2x8 М, 4x4 М, 8x2 М или 16x1 М. При этом в зависимости от организации ЗУ операции запись – считывание информации производятся в одном (одноразрядная выборка) или нескольких (словарная выборка) запоминающих элементах памяти. В случае словарной выборки одновременно выбирается слово или его часть, хранящаяся в 2, 4, 8 и т. д. ЗЭ памяти.

Быстродействие определяется временем доступа $t_{\text{дост.}}$, длительностью физических процессов записи или считывания и временем регенерации $t_{\text{рег.}}$, необходимым (в динамических ЗУ) для восстановления разрушенной при считывании информации. Для некоторых типов ЗУ (например, ЗУ статического типа), в которых считывание происходит без разрушения информации, операция регенерации не проводится, $t_{\text{рег}} = 0$. Под временем доступа понимается усредненная задержка начала обмена полезной информацией относительно момента подачи сигнала запроса на запись или считывания данных.

Кроме отмеченных выше параметров имеются и другие параметры, характеризующие те или иные свойства и конструктивные особенности ЗУ, например, энергонезависимость (способность сохранения информации при отключении внешнего источника питания), надежность (достоверность хранения данных, устойчивость к внешним воздействиям), время хранения, габаритные размеры, вес и т. д. Эти параметры различны для различных ЗУ и зависят от схемотехнических и конструктивных принципов построения, технологических методов изготовления и физико-технических материалов, на которых они выполняются. В составе современных ЭВМ используются различные типы ЗУ, которые классифицируются по назначению, способу доступа, принципу действия и хранения информации и т. д.

В цифровых системах с большой ёмкостью, например в универсальных ЭВМ, ЗУ подразделяются на внутренние и внешние, которые отличаются принципами действия и объёмами хранимой информации. К внутренним ЗУ относятся электронные полупроводниковые ЗУ, которые в современных персональных компьютерах (ПК) устанавливаются на системной плате. К внешним ЗУ, которые служат для хранения больших объёмов информации, относятся магнитные (дисковые и ленточные) и оптические ЗУ с различными принципами записи, хранения и считывания информации. Внешние ЗУ могут размещаться как в системном блоке

ПК, так и в отдельных корпусах.

По способу организации доступа (выборки) запоминающие устройства делятся на ЗУ с произвольным (непосредственным), прямым и последовательным доступами. ЗУ с произвольным доступом или произвольной выборкой (ЗУПВ) представляет собой матричный набор ячеек памяти. В ЗУПВ время доступа и, следовательно, цикл обращения к любой ячейке для записи или считывания информации не зависят от места расположения (адреса) ячейки в матричном наборе. В ЗУ с прямым доступом, к которым относятся ЗУ на дисках (внешняя память), обращение производится также в произвольном порядке, но не к ячейкам, а к блокам данных (файлам), обрамляемых специальными символами начала и конца. Дисковая память имеет относительно низкую стоимость и несколько больше время доступа по сравнению с внутренней памятью. Дисковая память с прямым доступом так же, как и внутренняя память, является обязательным атрибутом ПК.

В ЗУ с последовательным доступом, характерным примером которого является ЗУ на магнитных ленточных носителях, информация хранится так же, как и в ЗУ на дисках, в виде блоков, которые в пределах одного носителя имеют последовательные адреса. Для доступа к какому-либо блоку по его заданному адресу в ЗУ такого типа необходимо найти некоторый маркер начала магнитной ленты (тома). После этого последовательно (холостым чтением) просмотреть все блоки, предшествующие заданному, что приводит к зависимости времени доступа от адреса блока. Несмотря на существенный недостаток (чрезмерно большое время доступа и очень низкая скорость обмена) ЗУ с последовательным доступом из-за дешевизны применяются для хранения больших объёмов информации (архивов), к которой не требуется оперативного доступа.

К последовательным ЗУ относятся также регистровые ЗУ, находящиеся в составе процессора, ЗУ на приборах с зарядовой связью (ПЗС) и буферная память, применяемая в терминалах и других вычислительных устройствах (например, в контроллерах периферийных устройств) для хранения информации при обмене ею между различными по быстродействию устройствами. Примерами буферной памяти являются видеопамять для дисплейного адаптера, FIFO – буферы COM-портов с дисциплиной «первый пришел – первый вышел» (First in – first out) и стековые ЗУ, в которых считывание

происходит из очереди слово за словом в порядке обратном записи, т. е. реализуется дисциплина «Last in – first out» (LIFO).

В видеопамяти слово доступно одно за другим с постоянным периодом, определяемым ёмкостью памяти. Необходимая ёмкость памяти для дисплейного адаптера определяется видеорежимом и типом графического адаптера. Видеопамять дисплейного адаптера применяется для построения растрового изображения и его постоянного циклического вывода на монитор (регенерация изображения).

В запоминающих устройствах с произвольной выборкой доступ к информации, хранимой в ячейке, осуществляется по её адресу. В ассоциативных ЗУ, в отличие от адресных, поиск информации осуществляется не по её расположению в памяти (адресу или месту в очереди), а по некоторому ассоциативному признаку, согласно которому сравниваются на соответствие (совпадение) определенные поля слов (тегов) с признаком, задаваемым входным словом (теговым адресом).

Внутренние ЗУ по выполняемым функциям подразделяются на оперативные и постоянные. Оперативное запоминающее устройство (ОЗУ) служит для записи, хранения и считывания информации, которая может изменяться процессором в любой момент времени. Постоянное ЗУ (ПЗУ) выполняет только хранение и выдачу постоянно записанной информации, которую процессор может только считывать. Таким образом, к информации, хранимой в ОЗУ и ПЗУ, процессор имеет непосредственный доступ.

Время доступа при обращении к любой ячейке ОЗУ одинаково безотносительно её положения в памяти, и ОЗУ обычно называют ЗУ с произвольным доступом (Random Access Memory, RAM). Произвольность доступа подразумевает возможность операции записи или считывания с любой ячейки ОЗУ в произвольном порядке. ПЗУ (Read Only Memory, ROM) также работает с произвольной выборкой, т. е. обеспечивает одинаковый доступ ко всем ячейкам. Однако в ПЗУ в ходе работы системы либо не изменяется ранее записанная информации, либо её замена требует на много порядков больше времени, чем при считывании.

По принципу работы запоминающих элементов и хранения информации в ЗУ оперативные ЗУ подразделяются на динамические и статические. В динамических ОЗУ для восстановления и сохранения записанной информации требуется периодически проводить процесс регенерации. В статических ОЗУ, в отличие от

динамических, информация в режиме хранения, т. е. при отсутствии обращения (но при включённом питании), сохраняется сколько угодно долго (без регенерации).

ОЗУ с произвольным доступом состоит из нескольких модулей (или блоков), которые устанавливаются на системной плате с целью максимального приближения к процессору. Это приближение (и физическое, и логическое), прежде всего, направлено на повышение производительности ОЗУ, которая определяется скоростью потока записываемых или считываемых данных. Производительность ОЗУ зависит от типа и быстродействия применяемых ЗЭ, разрядности шин памяти и некоторых архитектурных решений (вариантов конвейеризации внутри модуля памяти).

5.2. Организация модулей полупроводниковых ЗУ с произвольным доступом

В общем случае ЗУ с произвольным доступом или с произвольной выборкой (ЗУПВ) состоит из нескольких модулей, которые проектируются из однотипных микросхем, реализуемых в виде БИС и СБИС на основе биполярной или МОП-технологии.

Известно много разновидностей модулей, которые различаются в основном комплектом линии данных. Некоторые модули используют один комплект (набор) линии данных как при записи, так и при считывании данных. В других модулях данные при записи поступают по одному комплекту линии, а при считывании – выдаются по другому комплекту линии данных. У тех и других модулей на линиях данных применяются вентили, допускающие монтажную логику. Модуль памяти выдаёт данные на выходные линии данных только при считывании, а в остальных случаях этими линиями могут пользоваться другие модули памяти или устройства, подключенные к этим линиям. Состояние линий выходных данных, когда в модуле не выполняется считывание, зависит от типа монтажной логики. Например, для монтажного И на схемах ТТЛ с открытым коллектором состояние на свободной линии должно соответствовать логической 1 и, следовательно, другое устройство или модуль памяти сможет задать ему нужное состояние на линии. Для монтажного ИЛИ свободное состояние должно быть логическим 0. Для тристабильной монтажной логики свободное состояние соответствует третьему

высокоомному состоянию, при котором отсутствует соединение с линией данных. В любом случае линия выходных данных оказывается в свободном состоянии, если не производится выборка модуля или в выбранном модуле выполняется операция «Запись».

Рассмотрим организацию модуля статической памяти, которая так же, как и ПЗУ, имеет относительно простую логику управления (рис. 5.1). Логика управления для динамической памяти, которая имеет свои специфические структурные особенности будет рассмотрена позже. Основными функциональными блоками ЗУПВ статического типа (рис. 5.1) являются матрица (массив) микросхем памяти, логика управления и интерфейс шины. Логика управления воспринимает приказы считывания и записи, инициируемые центральным процессором или модулем прямого доступа к памяти, а затем посылает соответствующие сигналы \overline{CS} и W/R в матрицу микросхем (БИС и СБИС), где \overline{CS} – сигнал разрешения микросхем; W/R – сигнал, по уровню которого определяется тип операции: запись или считывания.



Рис. 5.1. Организация модуля ЗУПВ статического типа

В память адрес поступает с системной шины адреса (ША). При этом старшие (n-k)-биты адреса подаются в логику управления для определения выбора модуля и разрешения строки матрицы СБИС, а младшие k-биты направляются во все микросхемы памяти для выбора соответствующего слова в наборе СБИС разрешенной строки матрицы.

Логика интерфейса шины управляет направлением передачи слова

и адресов при обращениях к памяти. При считывании ($W/R = 0$) слово (по сигналу разрешения \overline{CS}) из выбранного набора СБИС передаётся в направлении системной шины, а при записи ($W/R = 1$) поступает в матрицу микросхем. Каждая ячейка микросхемы представляет часть слова. Длина слова должна соответствовать разрядности шины данных и в современных модулях составляет 1, 2, 4 и 8 байт. Кроме основных информационных бит модули могут иметь дополнительные биты с различной организацией [8]. Различают модули без контрольных бит с разрядностью 8, 16, 32 или 64 бита и модули с контролем паритета, которые имеют разрядность 9, 18, 36 или 72 бита. Эти модули допускают независимое побайтное обращение с помощью отдельных для каждого байта линий выборки адреса. В модулях с контролем паритета контрольные биты по обращению приписаны к соответствующим байтам.

Длина слова в модуле памяти определяется как произведение количества запоминающих элементов (ЗЭ) в ячейке микросхемы на число СБИС в строке матрицы. Таким образом, ёмкость модуля памяти в словах определяется произведением числа ячеек в СБИС на количество СБИС в столбце матрицы микросхем памяти. Очевидно, для увеличения ёмкости модуля памяти необходимо увеличить как длину, так и количество хранимых слов. Увеличение длины слова может быть выполнено простым увеличением числа СБИС в строке матрицы микросхем памяти и их параллельным соединением. Для этого на адресные входы всех параллельно включенных СБИС достаточно подать один и тот же адрес.

На рис. 5.2 приведена схема присоединения линии адреса и сигналов управления W/R и \overline{CS} к микросхемам одной строки модуля памяти с ёмкостью $512 \text{ K} \times 8$, т. е. 512 Кбайт, построенный на основе БИС с организацией $64 \text{ K} \times 1$. Модуль памяти организован в виде матрицы БИС из 8-ми строк и 8-ми столбцов. Число БИС в строке (число столбцов) матрицы соответствует разрядности слова. Как показано на рис. 5.2, младшие линии адреса $A15-0$ от интерфейса шины и сигналы управления W/R и \overline{CS} подаются ко всем БИС. Линии входных и выходных данных для снижения числа внутренних связей в модуле памяти заменены одной двунаправленной линией. При записи 8-разрядное слово посылается по двунаправленным линиям данных на входы DI БИС выбранной строки матрицы. С выхода DO каждой БИС по указанному адресу считывается один бит информации. Так как

выходы DO БИС присоединены к соответствующим разрядам 8-разрядной шины, с последней считывается 8-разрядное слово. Таким образом, увеличение длины слова не требует применения дополнительных технических средств и выполняется параллельным включением нескольких идентичных БИС.

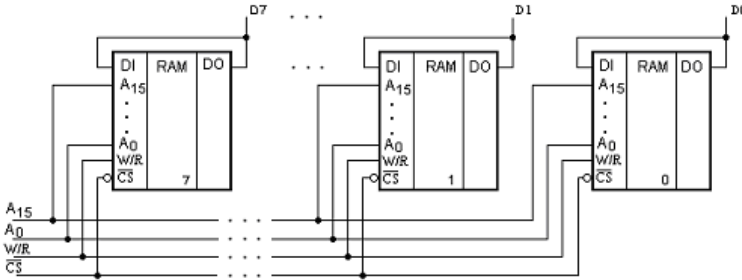


Рис. 5.2. Организация ЗУ при наращивании разрядности хранимого слова

Несколько сложнее обстоит дело при необходимости увеличения количества хранимых в модуле памяти слов. Увеличение количества слов требует наращивания разрядности шины адреса. На практике задача увеличения количества слов в модуле памяти при заданной разрядности адресного слова для конкретного типа микросхем решается с применением дополнительного дешифратора. При этом дешифратор используется для формирования сигнала разрешения работы одной из нескольких параллельно включенных по входам и выходам микросхем. Данное решение иллюстрируется на рис. 5.3, где показана схема подключения линии адреса A_{18-0} и сигналов управления W/R и \overline{CS} к микросхемам одного столбца матрицы микросхем модуля памяти с организацией $512 \text{ K} \times 8$, выполненного на микросхем с ёмкостью $64 \text{ K} \times 1$.

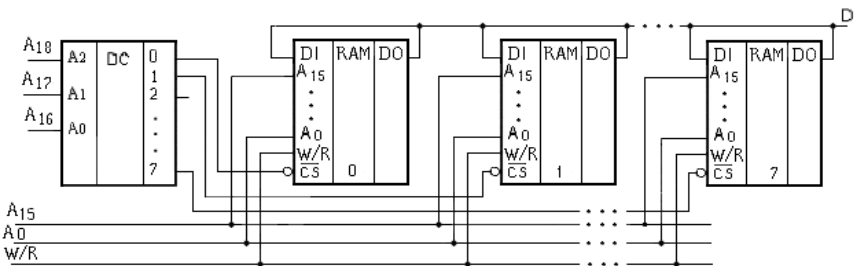


Рис. 5.3. Организация ЗУ при наращивании числа хранимых слов

Микросхемы данной организации управляются 16-разрядными адресными линиями, по которым от интерфейса шины ко всем микросхемам поступают младшие биты адреса $A_{15}, A_{14}, \dots, A_0$. Три старших бита (разряда) адреса A_{18}, A_{17} и A_{16} от интерфейса шины подаются на адресные входы дополнительного дешифратора. На выходах последнего формируются сигналы разрешения строки матрицы микросхем, поступающие на входы \overline{CS} соответствующих микросхем. При этом выбирается одна из восьми строк матрицы микросхем модуля памяти, с которой будет считываться нужная информация. В случае схемы, показанной на рис. 5.3 при подаче трех старших разрядов адреса A_{18}, A_{17} и A_{16} дешифратор выберет только одну микросхему, в которой хранится 1 бит информации. Выходы DO остальных микросхем, которые монтажно объединены между собой, будут отключены от выходной шины данных. Каждый бит входных данных подается одновременно ко всем 8-ми микросхемам. Линии входных DI и выходных DO объединены в одну двунаправленную линию. Таким образом, длина слова, емкость и организация модуля памяти зависят от числа микросхем, используемых в нём и от их собственной (внутренней) организации. Так, например, для построения модуля памяти с емкостью 512 Кбайт необходимо иметь 64 микросхемы с организацией 64 Kx1. Как уже отмечено ранее, такой модуль организуется в 8 строк по 8 микросхем в каждой строке. Можно построить модуль памяти с той же емкостью всего из восьми микросхем с организацией 64 Kx8, по одной микросхеме в каждой строке. Другими словами, микросхемы могут иметь словарную организацию (однокоординатную выборку, одномерную адресацию) или матричную организацию (двухкоординатную выборку, двумерную адресацию). Словарная организация микросхем памяти характерна для ЗУ со структурой типа 2 D, а матричную организацию имеют, как правило, ЗУ типа 3 D.

При словарной организации микросхем памяти осуществляется одномерная адресация, при которой обращение производится ко всем запоминающим элементам (ЗЭ) выбранной строки микросхем. Выборка строки матрицы ЗЭ микросхемы, которая представляет собой ячейку для хранения слова или части слова, производится с помощью одного адресного дешифратора (DC), работающего при наличии сигнала выбора микросхемы \overline{CS} по логике «1» из 2^m , где m – число входных линий DC; 2^m – число выходных линий DC, которые называются линиями выборки слова (строки). Число 2^m соответствует числу слов K , хранимых в

микросхеме памяти. На m входные линии DC подаётся адрес нужной строки, т. е. ячейки микросхем и в соответствии с этим на одной из 2^m -линий выборки слова устанавливается сигнал логической 1, а на всех остальных – сигнал логического 0. Сигнал логической 1 на линии выборки слова разрешает операцию считывания или записи во всех ЗЭ выбранной строки микросхемы.

На рис. 5.4 в качестве примера приводится структурная схема фрагмента микросхемы памяти со словарной организацией 4×4 и ёмкостью, равной 16 бит.

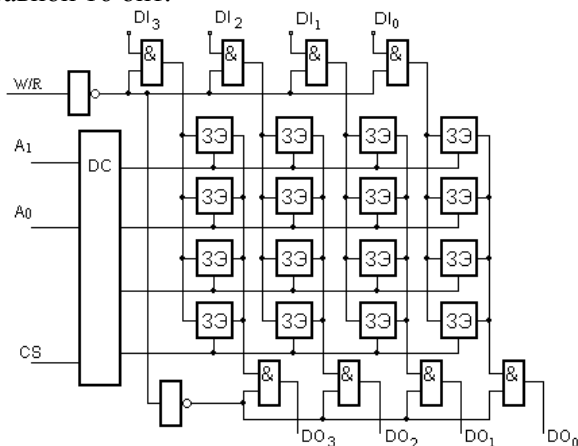


Рис. 5.4. Структурная схема фрагмента БИС памяти со словарной организацией 4×4

Данная структура содержит матрицу запоминающих элементов (ЗЭ) 4×4 , дешифратор для одномерной адресации и логические элементы (ЛЭ) на входах и выходах микросхемы памяти. ЛЭ И используются для приёма информации с входных линий DI_0 , DI_1 , DI_2 , и DI_3 в ЗЭ выбранной строки при выполнении операции записи ($W/R = 0$) и выдачи информации на выходные линии DO_0 , DO_1 , DO_2 , и DO_3 с тех же ЗЭ при выполнении операции считывания ($W/R = 1$). Микросхемы со словарной организацией (одномерной адресацией) применяются в ЗУ со структурой типа 2 D, для которых характерна относительно малая информационная ёмкость.

Увеличение ёмкости микросхемы памяти со словарной организацией при заданной разрядности хранимого слова возможно только за счёт увеличения количества слов, т. е. числа строк матрицы. Это приводит к увеличению количества выходов (размерности) DC, т. е. к усложнению

его структуры. Например, при адресном входе $m = 10$ DC имеет $2^{10} = 1024$ выходов, каждый из которых должен соединяться с ЗЭ в строке.

Таким образом, для уменьшения размерности адресного DC и, следовательно, числа внешних выводов микросхемы ЗУ, а также для упрощения встроенных схем обрэмления (усилителей записи и считывания) применяются микросхемы ЗУ с матричной организацией, в которые производится побитовое запись – считывание информации. Для этого в микросхемах с матричной организацией используются два дешифратора DC_X и DC_Y с $m/2$ адресными входами и $2^{m/2}$ выходными линиями (считается, что m – число чётное, а матрица ЗЭ – квадратная), с помощью которых осуществляется двухкоординатная выборка (двумерная адресация). Выходные линии дешифратора DC_X служат для выборки строки, а DC_Y – для выборки столбца матрицы ЗЭ. Общее число выходных линий в двух дешифраторах равно $2 * 2^{m/2} = 2^{m/2+1}$, что существенно меньше количества выходных линий (2^m) при одном адресном дешифраторе DC в микросхемах со словарной организацией. На микросхемах памяти с матричной организацией строятся запоминающие устройства со структурой типа ЗД, которые приобретают при этом “трехмерный” характер. В этом случае несколько микросхем (матрицы ЗЭ этих микросхем) управляются от двух дешифраторов: DC_X и DC_Y , относительно которых они включены параллельно. Из каждой матрицы ЗЭ считывается один бит информации, а число матриц равно разрядности хранимых слов.

На рис. 5.5 приведена структурная схема ЗУПВ с матричной организацией. Данная структура содержит матрицу ЗЭ, дешифраторы строки DC_X и столбца DC_Y , усилители записи и считывания. Каждый ЗЭ матрицы имеет свой собственный адрес, определяемый номерами строки и столбца. Режимы работы ЗЭ определяются логическими уровнями (значениями) сигналов на линии выборки строки и столбца, на пересечениях которых находится данный ЗЭ.

При обращении к ЗУ с матричной организацией выбирается только один из 2^m ЗЭ, находящийся на пересечении выбранных строки и столбца, на линии выборки которых имеются сигналы логической 1. Все остальные ЗЭ, для которых конъюнкция логических сигналов на соответствующих линиях выборки строки и столбца равна «0», находятся в режиме хранения и отключаются от общей для всех ЗЭ шины данных. Если сигнал управления режимом работы (записи и считывания) W/R равен «0», то с выбранного по соответствующему адресу ЗЭ считывается битовая информация,

которая через общую шину данных и усилитель считывания передаётся на выход DO.

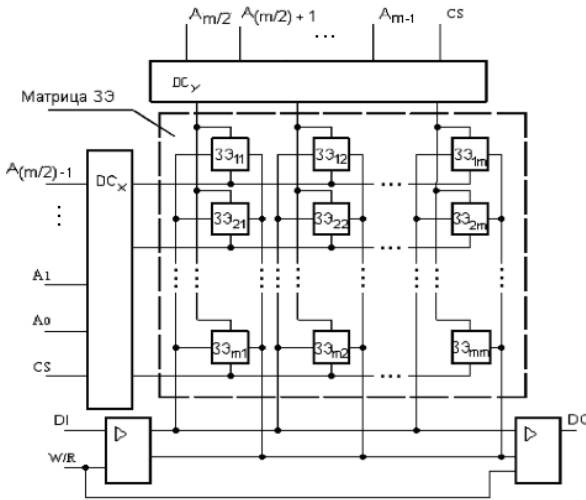


Рис. 5.5. Структурная схема 3Э с матричной организацией

Для записи в 3Э новой информации подаётся сигнал разрешения записи W/R , равный логической 1, который открывает усилитель записи. При этом входная битовая информация через усилитель записи поступает на общую шину данных, с которой переписывается в выбранный 3Э. Отмеченные операции считывания и записи выполняются только в случае, если на вход CS , соединенный с входом стробирования дешифратора строки DC_x , подаётся сигнал разрешения кристалла ($CS = 1$). При отсутствии этого сигнала ($CS = 0$) работа дешифратора DC_x и, следовательно, самой микросхемы памяти блокируется. Другими словами, микросхема памяти переходит в режим хранения, а усилитель считывания на её выходе переводится в третье состояние с высоким импедансом и отключается от разрядной линии данного интерфейса шины. В рассмотренной микросхеме памяти с матричной организацией обеспечивается хранение $2^m \times 1$ кодовых слов, т. е. заданному адресу соответствует один бит информации. Аналогичные двумерные микросхемы 3Э используются для всех остальных битов в слове.

При обращении к ЗУПВ выбирается определённый набор микросхем, количество которых соответствует разрядности кодового слова (ячейки). При этом дешифраторы строк DC_X и столбцов DC_Y работают сразу на все микросхемы (матрицы ЗЭ) выбранного набора. Таким образом, все биты (разряды), ячейки адресуются одновременно. Следует отметить, что число выбранных линий в дешифраторах при этом не увеличивается. Кроме того, использование способа двухкоординатной выборки позволяет значительно упростить структуру микросхемы памяти, что при заданной площади кристалла является предпосылкой получения максимально большой ёмкости ЗУ.

Упрощение дешифрации адреса путем увеличения разрядности слова и уменьшения числа строк матрицы ЗЭ, а так же снижение числа входных и выходных линий данных достигается в микросхемах с селекторными схемами (демультиплексорами и мультиплексорами), применяемых в ЗУ со структурой типа 2 DM (2 D модифицированная), в которых для каждого бита слова используется одна двунаправленная линия.

В структурах ЗУ типа 2 DM сочетаются достоинства обеих структур: 2 D и 3 D. Благодаря этому упрощается дешифрация адреса, и не требуются запоминающие элементы с двухкоординатной выборкой. Рассмотрим структурную схему ЗУ типа 2 DM с селекторами (рис. 5.6).

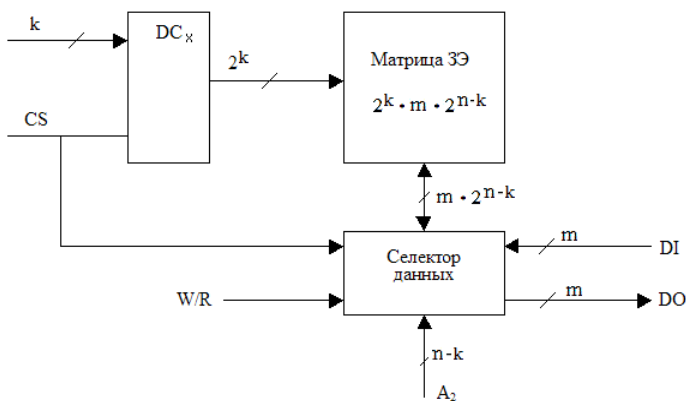


Рис. 5.6. Структурная схема ЗУ типа 2 DM с двунаправленным селектором данных

Выбор строки прямоугольной матрицы ЗЭ размером $2^k * m * 2^{n-k}$ производится с помощью дешифратора строк DC_X , на входы которого подаются младшие разряды адреса $A_1 = A_{k-1} \dots A_0$. Старшие разряды адреса $A_2 = A_{n-1} \dots A_k$ используются для управления селектором, с помощью которого мультиплексируется m -разрядное слово из 2^{n-k} групп ЗЭ в выбранной матрице ЗЭ. Из каждой группы ЗЭ селектор выбирает по одному биту. При этом в зависимости от значения сигнала W/R по разрешению сигнала CS информация (m -разрядное слово) либо записывается в m мультиплексированные ЗЭ выбранной строки, либо считывается с этих ЗЭ и передаётся на внешнюю шину данных.

Следует отметить, что в ЗУ со структурой типа 2 DM за счёт большей длины строк матрицы ЗЭ создается возможность уменьшить число её строк и, следовательно, уменьшить число выходов дешифратора. Поэтому структуру микросхем ЗУ типа 2 DM целесообразно использовать при записи – считывания информационных слов большой разрядности. В противном случае схемотехническая реализация ЗУ со структурой типа 2 DM приводит к большим аппаратным затратам. Рассмотренные выше структурные схемы микросхем памяти с различной организацией позволяют понять общие принципы построения и особенности работы ЗУ с произвольной выборкой. Далее рассмотрим некоторые электронные схемы памяти статического и динамического типов с подробным описанием их работы.

5.3. Статическая память

Статическая память – SRAM (Static Random Access Memory), в отличие от динамической (DRAM), способна при отсутствии обращений к ней (в статическом режиме) хранить информацию сколь угодно долго, но при включенном источнике питания. В качестве запоминающих элементов (ЗЭ) статической памяти с произвольной выборкой используются простейшие статические триггеры – элементы с двумя устойчивыми состояниями. Эти элементы, по сравнению с ЗЭ динамических ЗУПВ, более сложные и занимают больше места на кристалле, однако они проще в управлении и не требуют регенерации. Емкость, быстродействие и потребляемая мощность статических ЗУПВ определяются технологией

изготовления и схемотехникой ЗЭ, которые реализуются на основе биполярных транзисторов и МОП-схем.

Запоминающие элементы, выполненные на биполярных ТТЛ-, ЭСЛ- и И²Л-схемах имеют самое высокое быстродействие, однако они дорогостоящие. Статические ЗУПВ на таких ЗЭ имеют время доступа в несколько наносекунд, что позволяет им работать на частоте системной шины процессора, не требуя от него тактов ожидания. Наиболее экономичными являются ЗЭ на пМОП- и КМОП-схемах, которые обеспечивают длительное хранение информации при питании от маломощной батареи. Поэтому они широко применяются в памяти конфигурации РС, хотя имеют время доступа более 100 наносекунд. Емкость современных СБИС статических ЗУПВ достигает 1 Мбит. Относительно высокое энергопотребление при низкой плотности упаковки и высокая удельная стоимость хранения информации не позволяют использовать статические ЗУПВ в качестве основной памяти персональных компьютеров. В IBM PC-совместимых компьютерах с процессорами 80 486 и Pentium микросхемы статических ЗУПВ применяются главным образом для построения вторичного кэша основной памяти, в котором используется архитектура прямого отображения, или наборно-ассоциативная архитектура. Применение вторичного кэша позволяет существенно повысить производительность компьютера в целом.

Рассмотрим подробнее схемотехнические решения ЗЭ на биполярных и МОП-транзисторах. На рис. 5.7 приведена принципиальная электрическая схема ЗЭ, который использует ТТЛ-технологии и предназначен для применения в статическом ЗУПВ с матричной организацией типа 3 D.

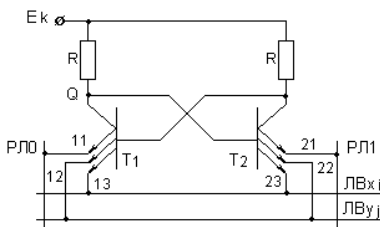


Рис. 5.7. Схема запоминающего элемента статической памяти на основе биполярных транзисторов (ТТЛ-технологии)

ЗЭ представляет собой статический триггер, построенный на двух многоэмиттерных транзисторах T_1 и T_2 . Фактически каждый многоэмиттерный транзистор вместе со своим нагрузочным резистором в коллекторной цепи выполняет функцию трехходового логического элемента (ЛЭ) И – НЕ при положительной логике. Эти ЛЭ включены последовательно и охвачены положительными обратными связями (ПОС).

Каждый транзистор имеет по три эмиттера, что позволяет осуществить как выборку ЗЭ, так и хранение в нем информации. Эмиттеры 11 и 21 транзисторов T_1 и T_2 являются парафазными (прямыми и инверсными) информационными входами и служат для записи в ЗЭ “1” или “0”. Эти же эмиттеры, присоединенные к разрядным линиям данных РЛ0 и РЛ1, используются как выходы ЗЭ при считывании информации. Таким образом, одни и те же выводы ЗЭ (или разрядные линии данных) используются как для записи, так и для считывания информации. Попарно объединенные эмиттеры 12, 22, и 13, 23 транзисторов T_1 и T_2 , условно называемые адресными, образуют два конъюнктивно связанных вывода ЗЭ, присоединенных к выходным линиям выборки строки $ЛВ_{xi}$ и столбца $ЛВ_{yj}$ адресных дешифраторов.

В составе статического ЗУПВ ЗЭ работает в режимах хранения, считывания и записи. В режиме хранения (ЗЭ не выбран) на одной или обеих линиях выборки устанавливается сигнал логического 0 (напряжение низкого уровня $\leq 0,4$ В). При этом ЗЭ, т. е. триггер, образованный логическими элементами И – НЕ, находится в одном из двух устойчивых состояний. Предположим, что состоянию “0” ЗЭ соответствует следующее: транзистор T_1 открыт, а транзистор T_2 закрыт. Следует отметить, что многоэмиттерный транзистор считается открытым, т. е. проводит ток, если открыт (смещён в прямом направлении) хотя бы один из его переходов база – эмиттер. В режиме хранения ток открытого транзистора T_1 замыкается на общую шину через адресные эмиттеры 12 и 13, и линии выборки $ЛВ_{xi}$ и $ЛВ_{yj}$ (или только через один адресный эмиттер и одну линию выборки), находящиеся под напряжением низкого уровня. При этом информационные эмиттеры 11 и 21 должны быть закрыты, для чего на разрядных линиях РЛ0 и РЛ1 устанавливается напряжение, равное 1–1,5 В. ЗЭ электрически изолируется (отключается) от разрядных линий данных и находится в состоянии хранения информации.

В режиме считывания информации на линиях выборки строки $ЛВ_{xi}$ и столбца $ЛВ_{yj}$ с помощью адресных дешифраторов устанавливается сигнал логической 1 (напряжение высокого уровня, $\geq 2,4$ В). При этом переходы база – эмиттер, связанные с линиями выборки $ЛВ_{xi}$ и $ЛВ_{yj}$, закрываются. Если ЗЭ находится в состоянии логического 0, то ток открытого транзистора T_1 течет через его информационный эмиттер И1 и далее поступает в разрядную линию данных РЛ0. Ток в разрядной линии РЛ1 отсутствует, т. к. транзистор T_2 закрыт. Таким образом, считываемая информация, соответствующая состоянию ЗЭ, распознается по наличию тока в той или иной разрядной линии данных. Следует отметить, что считывание информации из ЗЭ происходит без ее разрушения.

В режиме записи информации вначале так же, как и при считывании, производится выборка ЗЭ, т. е. на линиях выборки строки $ЛВ_{xi}$ и столбца $ЛВ_{yj}$ устанавливается сигнал логической 1. После этого, для записи в ЗЭ “1” или “0” с соответствующей разрядной линии данных на подключенный к ней информационный эмиттер подается напряжение высокого уровня ($> 2, 4$ В). На другой информационный эмиттер по-прежнему, как в режиме хранения, поступает с линии выборки напряжение, равное 1–1,5 В. Например, если производится запись “1” в ЗЭ, который находился перед этим в состоянии “1” (T_1 – закрыт, T_2 – открыт), то подача напряжения высокого уровня на эмиттер И1 транзистора T_1 не меняет его до того закрытое состояние. Если первоначально ЗЭ находился в состоянии “0” (T_1 – открыт, T_2 – закрыт), то при записи “1” транзистор T_1 закрывается, T_2 – открывается и ЗЭ устанавливается в состояние “1”. Этот процесс ускоряется за счет положительных обратных связей, имеющих место между элементами И – НЕ.

В настоящее время статические ЗУПВ на биполярных ЗЭ все еще довольно дороги, поэтому применяются в основном в качестве вторичного кэша. Для уменьшения стоимости и потребляемой мощности, а также для получения более высокой степени упаковки элементов в статических ЗУПВ со структурами 2 D и 2 DM широко применяют ЗЭ на nМОП-транзисторах.

На рис. 5.8 приведена наиболее распространенная схема ЗЭ статического ЗУПВ типа 2 D с однокоординатной выборкой. ЗЭ представляет собой статический триггер, состоящий из двух инверторов, охваченных положительными обратными связями (ПОС) и

выполненных на nМОП-транзисторах с изолированными затворами и индуцированными каналами. Затворы транзисторов T_3 и T_4 подключены к источнику стокового питания E_c . Поэтому они постоянно открыты и играют роль нагрузочных резисторов в цепях стоков транзисторов T_1 и T_2 , работающих в ключевом режиме. Выходы ЗЭ (прямой Q и инверсный \bar{Q}) через нормально закрытые транзисторы T_5 и T_6 соединены с разрядными линиями данных РЛ0 и РЛ1. Транзисторы T_5 и T_6 выполняют функции двухсторонних ключей, т. е. проводят ток и передают информацию в обоих направлениях. Для этого подложки транзисторов T_5 и T_6 присоединены к общей шине (“земля”), а не к истоку. Когда на затвор подается высокий уровень положительного напряжения (логическая 1), канал между истоком и стоком становится проводящим. Транзистор в этом случае проводит ток в обоих направлениях, т. к. симметричная структура транзистора позволяет истоку и стоку при необходимости меняться ролями. Затворы транзисторов T_5 и T_6 соединены с линией выборки строки $ЛВ_{xi}$, которая является одним из выходов адресного дешифратора.

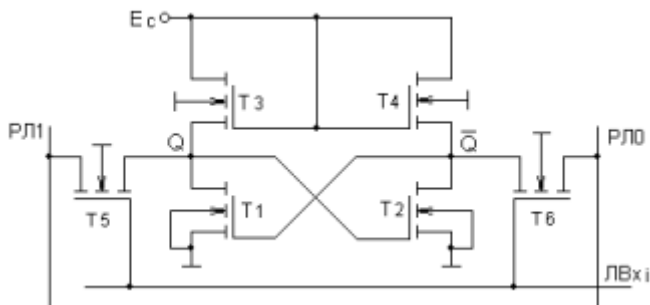


Рис.5.8. Схема запоминающего элемента статической памяти на nМОП-транзисторах

В режиме хранения информации на линии выборки строки $ЛВ_{xi}$ устанавливается низкий уровень напряжения (логический 0). Поэтому транзисторы T_5 и T_6 закрыты и ЗЭ отключается от разрядной линии данных. Состояния ЗЭ в режиме хранения, благодаря ПОС, устойчивы и он может хранить находящуюся в нем информацию (“0” или “1”) сколько угодно долго.

В режиме считывания для выборки ЗЭ на линию $ЛВ_{xi}$ подается напряжение логической 1, что приводит к отпиранию транзисторов T_5 и

T_6 . При этом информация, хранящаяся в ЗЭ, появляется на разрядных линиях РЛ0 и РЛ1. Если состояние ЗЭ соответствует “0” (T_1 – открыт, T_2 – закрыт), то при считывании информации на линии РЛ0 появляется напряжение логической 1, а на РЛ1 – логического 0. Таким образом, считываемая из ЗЭ информация появляется на разрядных линиях в парафазном коде, далее поступает на входы усилителей считывания и через них на выходные шины данных БИС ЗУПВ.

В режиме записи информации (при условии выборки ЗЭ) на разрядных линиях РЛ0 и РЛ1 с соответствующих усилителей записи устанавливаются парафазные уровни напряжения (усилители записи и считывания на рис. 5.8 не указаны). При записи “1” на РЛ1 устанавливается напряжение высокого уровня, а на РЛ0 – напряжение низкого уровня. Предположим, что прежнее состояние ЗЭ соответствует “0”. После возбуждения линии выборки ($JV_{xi} = 1$) транзисторы T_5 и T_6 открываются, и затворы и стоки ключевых транзисторов T_1 и T_2 подключаются к разрядным линиям. При этом напряжение низкого уровня на РЛ0 шунтирует транзистор T_2 и снимает с затвора транзистора T_1 напряжение (за счет разряда паразитной емкости затвора T_1), поддерживающее его в открытом состоянии, в результате T_1 закрывается. Напряжение на его стоке увеличивается до некоторого положительного уровня, при котором происходит отпирание транзистора T_2 . Далее процесс переключения триггера (записи новой информации в ЗЭ) ускоряется благодаря ПОС. При записи “0” в ЗЭ происходит обратное переключение триггера, для чего на разрядной линии РЛ0 устанавливается напряжение высокого уровня, а на линии РЛ1 – напряжение низкого уровня. Записанная в ЗЭ новая информация сохраняется в нем до момента очередной перезаписи.

Рассмотренный ЗЭ, как и элемент на биполярных транзисторах, допускает многократное считывание информации без ее разрушения, а также позволяет производить запись и считывание информации по одним и тем же выводам (и разрядным линиям) ЗЭ, что важно с точки зрения упрощения структуры СБИС памяти.

Следует отметить, что для организации выбора ЗЭ на МОП-транзисторах по принципу двухкоординатной выборки необходимо последовательно с транзисторами T_5 и T_6 включить еще два аналогичных транзистора и их затворы подсоединить к линии выборки столбца.

На практике применяются несколько разновидностей схем ЗЭ статических ЗУПВ на МОП-транзисторах [17]. Например, в одной из

них в качестве нагрузочного резистора используются nМОП-транзисторы со встроенным каналом. Такая схема ЗЭ, по сравнению с рассмотренной выше схемой запоминающего элемента (рис. 5.8), имеет наибольшее усиление, более высокое быстродействие и обеспечивает наиболее компромиссное решение между потребляемой мощностью и площадью, занимаемой на кристалле.

Для существенного снижения потребляемой мощности в режиме хранения широко применяется схема ЗЭ на комплементарных МОП (КМОП)-структурах (рис. 5.9). В такой схеме каждая КМОП-структура, представляющая собой инвертор, состоит из двух транзисторов, один из которых имеет канал с проводимостью n-типа, а другой – p-типа. Поэтому транзисторы КМОП-структуры всегда работают в противофазе, т. е. когда один из них открыт, другой – закрыт. Таким образом, в режиме хранения один из транзисторов КМОП-структуры всегда закрыт, и мощность определяется только токами утечки p-n переходов, которые очень малы. Этим обстоятельством и объясняется основное достоинство ЗЭ на КМОП-структурах: в режиме хранения мощность потребления практически отсутствует (измеряется в нановаттах).

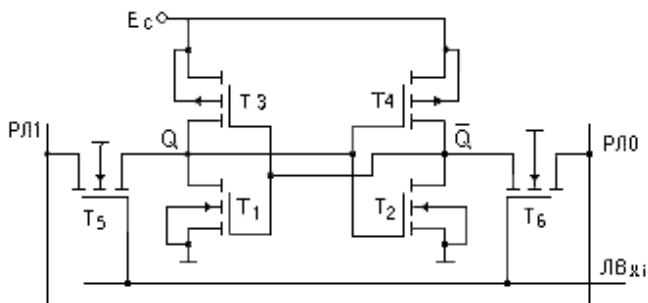


Рис. 5.9. ЗЭ на КМОП-транзисторах

Значительное потребление мощности происходит только в режиме записи новой информации, т. е. при переключении триггера, и обуславливается перезарядом паразитных емкостей схемы. При этом pМОП- и nМОП-транзисторы того или иного инвертора одновременно оказываются открытыми и через них протекает существенно большой ток. Однако процессы перезаряда паразитных емкостей и переключения триггера благодаря ПОС и относительно малых сопротивлений открытых pМОП-

транзисторов, протекают достаточно быстро. Поэтому в целом средняя за период мощность потребления в ЗЭ на КМОП-структурах оказывается значительно меньше, чем в ЗЭ на nМОП-транзисторах.

Процессы записи и считывания информации в ЗЭ на КМОП-структурах осуществляются точно так же, как и в ЗЭ на nМОП-транзисторах. При этом независимо от типа схем ЗЭ, используемых в СБИС статических ЗУПВ, их входные и выходные цепи выполняются совместимыми по логическим уровням с элементами ТТЛ. Это позволяет стандартизировать СБИС памяти, обеспечив возможность их совместного использования.

Следует отметить, что ЗЭ статического типа также применяются в ассоциативных ЗУ (АЗУ), в которых ЗЭ отыскивается по информации, содержащейся в нем, а не по его местоположению (адресу), занимаемому в массиве. Основу ЗЭ АЗУ (рис. 5.10) составляет статический триггер, дополненный некоторой схемой, которая в режиме «поиск» служит для выполнения логических операций сравнения и маскирования.

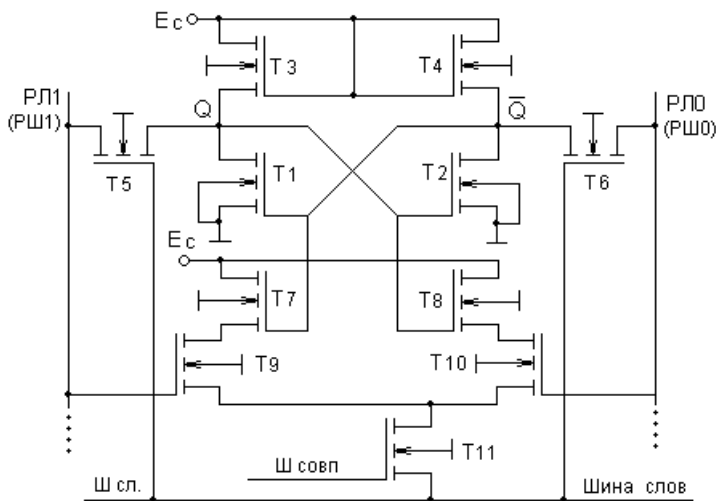


Рис. 5.10. Схема ЗЭ ассоциативных ЗУ

Статический триггер, как и прежде, обеспечивает хранение информации, а также проведение режимов записи и считывания, т.

е. ЗЭ АЗУ в режимах хранения, записи и считывания может работать точно так же, как и ЗЭ статического ЗУПВ. При этом шина слов Шсл, к которой подсоединены затворы транзисторов T_5 и T_6 , выполняет функцию линии выборки строки матрицы. Поэтому при необходимости АЗУ можно использовать как статическое ЗУПВ.

В режиме «поиск», который является характерным только для АЗУ, отыскивается местоположение ЗЭ по хранимой в нем информации и ее соответствию информации (внешней по отношению к ЗЭ АЗУ), имеющейся на разрядных шинах РШ0 и РШ1.

Поиск ЗЭ производится путем сравнения его содержимого с информацией на разрядных шинах, которая представляется в парафазном коде. Операция сравнения реализуется на транзисторах T_7 , T_8 , T_9 , T_{10} и T_{11} , причем затворы транзисторов T_7 и T_8 подсоединены к разрядным шинам, а затворы T_9 и T_{10} – к выходам статического триггера, выполненного на ключевых (T_1 и T_2) и нагру-зочных (T_3 и T_4) транзисторах. Затвор транзистора T_{11} подключен к шине совпадения Шсовп, на которую в режиме «поиск» подается напряжение высокого уровня. В режиме «поиск» на шину слов Шсл подается низкий уровень напряжения, что приводит к запи-ранию транзисторов T_5 и T_6 и электрической изоляции статичес-кого триггера от разрядных шин. Теперь, если информация в ЗЭ (триггере) и на разрядных шинах совпадает и соответствует “0”, то на разрядной шине РШ1 будет напряжение высокого уровня, а на шине РШ0 – напряжение низкого уровня. При этом транзис-торы T_2 , T_8 и T_9 открываются, а транзисторы T_1 , T_7 и T_{10} закры-ваются. Далее, если на шину совпадений Шсовп подать напряже-ние высокого уровня, то транзистор T_{11} открывается. Однако ток от источника питания E_c не поступает в шину слов Шсл, т. к. в это время транзисторы T_7 и T_{10} будут закрытыми.

В АЗУ обычно сравниваются слова разрядностью (информативностью) несколько битов и операция сравнения (поиск слова) выполняется одновременно (параллельно) во всех разрядах. При этом точные совпадения во всех разрядах приводят к пренебрежимо малому току (практически – к его отсутствию) в шине слов. В то же время, по величине этого тока можно оценить степень несовпадения, т. е. число несовпадающих битов. Другими словами, наличие тока в шине слов является признаком того, что

содержимое ЗЭ (триггера) не совпадает с информацией на разрядных шинах. В АЗУ также предоставляется возможность замаскировать некоторые разряды слова и вести поиск лишь немаскированных битов. Маскирование операции сравнения в одном разряде на рис. 5.10 [15] выполняется подачей напряжения низкого уровня на разрядные шины РШ0 и РШ1, что приводит к запиранию транзисторов T_9 и T_{10} и, следовательно, отсутствию тока в шине слов. Таким образом, данный разряд исключается из операции сравнения, т. е. маскируется. В настоящее время АЗУ (или ЗУ с выборкой по содержанию) из-за дороговизны используются не так широко, как ЗУПВ. Однако они играют специфическую роль в системах хранения и поиска данных.

5.4. Динамическая память

Динамическая оперативная память (DRAM) является основной памятью современных компьютеров. В динамической памяти в качестве запоминающих элементов (ЗЭ) используются nМОП-транзисторы и конденсаторы небольшой емкости.

Процесс записи и считывания информации при обращении к ЗЭ связан с зарядом и разрядом конденсатора. При длительном отсутствии обращения к ЗЭ из-за утечек тока, а также при считывании конденсатор разряжается и информация, которая хранится в ЗЭ, со временем теряется. Поэтому в динамической памяти для сохранности информации требуется периодически проводить регенерацию, т.е. регулярный циклический перебор памяти (обращение к ним с холостыми циклами), в процессе которого производится подзарядка конденсаторов. Этим динамическая память принципиально отличается от статической, которая при отсутствии обращений к ней способна хранить информацию сколь угодно долго, но при наличии питающего напряжения. Кроме того, по сравнению со статической, динамическая память обладает меньшим быстродействием. Однако ЗЭ динамической памяти имеет очень малые размеры, благодаря чему удастся на одном кристалле разместить миллионы ЗЭ и получить самую дешевую полупроводниковую память с умеренным энергопотреблением.

В современных ЗУ DRAM используются однотранзисторные ЗЭ (рис. 5.11), в которых шины управления считыванием-запи-

стью и ввода-вывода данных объединены, а сам запоминающий элемент состоит из конденсатора C_3 и nМОП-транзистора T_0 , работающего в режиме ключа. Конденсатор C_3 сформирован при помощи тонкого оксидного диэлектрического слоя (SiO_2), расположенного между подложкой и стоком nМОП-транзистора, не имеющего внешнего вывода (рис. 5.11, б).

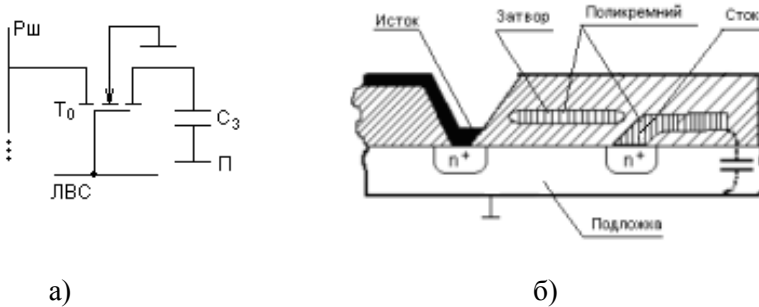


Рис. 5.11. Схема ЗЭ динамической памяти (а) и его структура в разрезе (б)

Затвор МОП-транзистора T_0 подключен к линии выборки строки ЛВС матрицы ЗЭ, т. е. к выходу дешифратора адреса строки. При появлении на данной линии выборки строки ЛВС сигнала высокого уровня (логической 1) транзистор T_0 открывается и конденсатор C_3 подключается к разрядной шине данных РШ, которая также называется линией записи – считывания (ЛЗС). В этом случае в зависимости от режима работы можно считывать информацию, хранимую в ЗЭ, или записывать в него новую. В режиме хранения транзистор T_0 закрыт, а состояние ЗЭ, соответствующее логической 1 или логическому 0, характеризуется наличием или отсутствием заряда на конденсаторе C_3 .

Рассмотрим фрагмент микросхемы динамической памяти, запоминающие элементы которой организованы в виде матрицы строк и столбцов (рис. 5.12). Транзисторы T_1 и T_2 , работающие в режиме ключа, используются в процессе записи для задания на разрядной шине данных РШ уровня сигнала логической 1 или логического 0. Транзисторы T_3 и T_4 выполняют функцию усилителя считывания. Запись информации в ЗЭ выполняется с использованием транзисторов T_1 и T_2 и сигналов управления U_0 и U_1 , при помощи которых разрядная шина данных подключается или к шине “земля”

(при записи 0, транзистор T_1 – открыт), или к источнику стокового питания с напряжением E_c (при записи 1, транзистор T_2 – открыт).

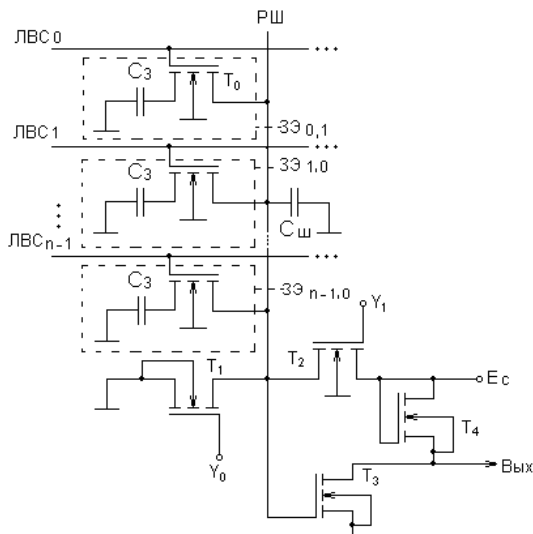


Рис. 5.12. Фрагмент структурной схемы динамической памяти

Если в ЗЭ записывается единичная информация, то потенциал высокого уровня разрядной шины РШ передается через открытый транзистор T_0 конденсатору C_3 и заряжает его до уровня логической 1.

Если в ЗЭ записывается “0”, то разрядная шина данных имеет нулевой потенциал, что приводит к разряду конденсатора C_3 и установлению на ЗЭ сигнала логического 0. Следует отметить, что в микросхемах динамической памяти с высокой степенью интеграции весьма велик удельный вес статической емкости $C_{ш}$, паразитной по отношению к разрядной шине данных РШ. Эта емкость $C_{ш}$, называемая емкостью РШ, много (в десятки и сотни раз) больше емкости C_3 ($C_{ш} \gg C_3$) и увеличивается с увеличением числа ЗЭ, подключаемых к РШ и, следовательно, ее длины. При подключении к РШ конденсатора C_3 малой емкости ($C_3 \approx 0,1$ пФ) происходит изменение напряжения на РШ, которое уменьшается пропорционально отношению емкостей C_3 и $C_{ш}$, вследствие чего на вход усилителя считывания поступает очень слабый сигнал. Процесс

считывания информации обычно производится в следующей последовательности:

– вначале перед считыванием информации на управляющий вход У1 подается сигнал лог. 1, в результате этого транзистор Т2 отпирается и емкость Сш заряжается до уровня $E_c/2$;

– выбирается нужный ЗЭ, для чего подается сигнал выборки строки ЛВС, равный логической 1, что приводит к подключению конденсатора Сз через открытый транзистор Т₀ к шине РШ и изменению напряжения на ней за счет перераспределения зарядов на Сз и Сш.

Далее изменение напряжения на шине РШ усиливается транзистором Тз и с выхода усилителя считывается сигнал, пропорциональный заряду конденсатора Сз, выбранного ЗЭ. Если состояние ЗЭ соответствует логической 1, т. е. конденсатор Сз заряжен до уровня напряжения E_c , то при его подключении к шине РШ часть заряда конденсатора Сз стекает в емкость Сш и напряжение на РШ увеличивается на величину ΔU (а на Сз, напротив, уменьшается на эту же величину). В результате этого на затвор транзистора Тз поступает напряжение $(E_c/2 + \Delta U)$ и на выходе усилителя считывания появляется сигнал логического 0. Если состояние ЗЭ соответствует логическому 0, т. е. конденсатор Сз разряжен, то при считывании этой нулевой информации напряжение на шине РШ уменьшается на величину ΔU (из-за перераспределения зарядов между Сз и Сш) и, следовательно, на вход усилителя считывания поступает напряжение $(E_c/2 - \Delta U)$, а на его выходе появляется сигнал логической 1. На основе анализа процессов считывания “0” или считывания “1” несложно определить значение ΔU . Оно оказывается примерно равным
$$\Delta U \approx \frac{E_c}{2} \cdot \frac{C_3}{C_{ш}}$$
 и,

следовательно, очень малым, т. к. емкость конденсатора Сз много меньше емкости разрядной шины Сш. Кроме того, при считывании и, следовательно, подключении запоминающей емкости Сз к разрядной шине РШ происходит разрушение информации из-за изменения заряда.

Для устранения этих недостатков, имеющих место при считывании данных, применяют усилители-регенераторы, а также различные способы увеличения емкости Сз (без увеличения площади ЗЭ) и уменьшения емкости Сш. Для увеличения емкости Сз в качестве диэлектрика применяют двуокись титана TiO₂ (вместо двуокиси SiO₂). Это позволяет при одинаковой емкости Сз, благодаря высокой диэлектрической постоянной TiO₂ по сравнению с двуокисью кремния SiO₂, сократить площадь ЗЭ примерно в 20 раз или

увеличить емкость C_3 при одновременном уменьшении его площади. Уменьшение емкости C_3 в два раза получают простым «разрезанием» разрядной шины РШ на две половины с включением усилителя – считывания в разрыв между половинами РШ_А и РШ_В (рис. 5.13, а).

Схема усилителя считывания, называемого также усилителем-регенератором, приведена на рис. 5.13, б и она представляет собой простейший триггер, построенный на двух nМОП-инверторах с положительными обратными связями. Для управления нагрузочными транзисторами T_3 и T_4 на их объединенные затворы подают сигнал «Подготовка», который вначале принимает значение, равное логическому 0. При этом нагрузочные транзисторы T_3 и T_4 закрыты, а состояния транзисторов T_1 и T_2 определяются уровнями сигналов на линиях А и В одной разрядной шины РШ.

Одна из половин РШ, например, линия А, к которой не подключена C_3 , сохраняет напряжение предзаряда $E_c/2$, а напряжение на другой половине РШ, т. е. на линии В, к которой подключен выбранный ЗЭ, отличается от напряжения предзаряда на величину $\pm \Delta U$ в зависимости от информации (1 или 0), считываемой с ЗЭ. Разные уровни напряжений на линиях А и В создают асимметрию проводимостей транзисторов T_1 и T_2 .

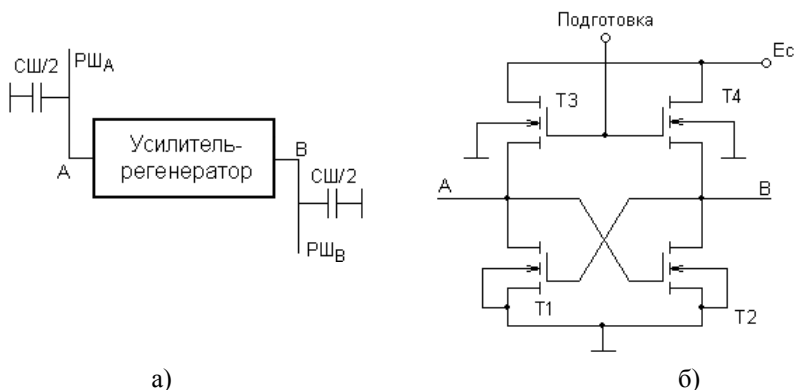


Рис. 5.13. Схема включения усилителя-регенератора в разрыв РШ динамической памяти (а) и схема усилителя-регенератора (б)

При считывании и регенерации данных сигнал «Подготовка» принимает значение, соответствующее высокому уровню напря-

жения. Это приводит к отпирианию транзисторов T_3 и T_4 и возникновению триггерной схемы, которая быстро переходит в устойчивое состояние, определяемое начальной асимметрией проводимостей транзисторов T_1 и T_2 . При этом в точках А и В, которые являются одновременно и входами и выходами усилителя-регенератора сформируются полные уровни напряжения логического 0 и логической 1. В результате автоматически восстанавливается на запоминающей емкости C_3 полное значение считанного сигнала и тем самым осуществляется регенерация информации в ЗЭ. Уровень напряжения на линии В определяет также сигнал, передаваемый во внешнюю цепь в качестве считанной информации.

Схема динамической памяти

Запоминающие ячейки микросхем динамической памяти организованы в виде двумерной матрицы. Адреса строки и столбца передаются по мультиплексированной шине адреса MA (Multiplexed Address) и стробируются по спаду сигналов RAS (Row Address Strobe) и CAS (Column Access Strobe), соответственно. При мультиплексировании адреса строки и столбца матрицы ЗЭ подаются поочередно на одни и те же выводы корпуса микросхемы. Таким образом, мультиплексирование адресов позволяет уменьшить число адресных линий, и следовательно, число выводов корпуса микросхемы. А это особенно важно для микросхем DRAM с большой емкостью и, следовательно, с большой разрядностью адресов.

На рис. 5.14 приведена схема динамической памяти, где раскрыт один из столбцов матрицы ЗЭ. nМОП-транзисторы, работающие в режиме ключа, выполняют функцию запоминающих элементов. До обращения к ЗЭ сигнал \overline{RAS} – строб выборки адреса строки, находится в неактивном состоянии, т. е. имеет высокий уровень. Напряжение высокого уровня на линии \overline{RAS} замыкает ключи 1 и вследствие этого происходит предзаряд паразитных емкостей полушин $C_{шA}$ и $C_{шВ}$.

Сигнал \overline{RAS} удерживается на высоком уровне (в пассивном состоянии) не менее чем на время, необходимое для предзаряда емкостей $C_{шA}$ и $C_{шВ}$. Формирователь синхронизирующих импульсов

ФСИ₁, находится в ждущем режиме, и низкий уровень напряжения на его выходе Ф2 подготавливает усилитель-регенератор, включенный в разрыв между полушинами РШ_А и РШ_В, для создания в нем дисбаланса (асимметрии проводимостей транзисторов).

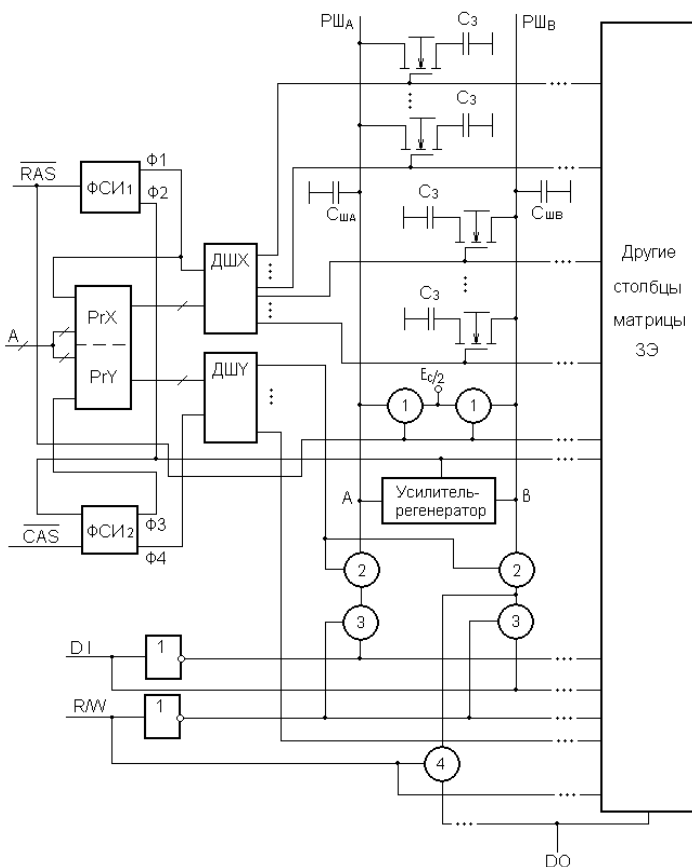


Рис. 5.14. Схема динамической памяти

При обращении к микросхеме динамической памяти, по шине адреса подается адрес строки матрицы ЗЭ, после чего активизируется сигнал \overline{RAS} , который переходит в состояние с низким уровнем

напряжения. Низкий уровень сохраняется на все время цикла обращения, который начинается по спаду импульса \overline{RAS} . Низкий уровень приводит:

- к размыканию ключей 1 и отключению полушин $PШ_A$ и $PШ_B$ от источника питания с напряжением $E_c/2$;

- к формированию на выходах $\Phi СИ_1$ синхронизирующих импульсов $\Phi 1$ и $\Phi 2$.

Сигнал $\Phi 1$ разрешает загрузку адреса строки в регистр $PгX$ и активизирует работу дешифратора DCX . В соответствии с двоичным кодом адреса в регистре $PгX$ дешифратор DCX выбирает одну из строк матрицы $ЗЭ$.

Сигнал $\Phi 2$ включает усилители-регенераторы в режим триггерных схем, которые срабатывают из-за разности уровней напряжения на полушинах $PШ_A$ и $PШ_B$ и переключаются. В результате этого в точках входов-выходов A и B усилителей-регенераторов формируются полные уровни напряжений, что приводит к восстановлению информации в $ЗЭ$ выбранной строки.

Для выполнения операций чтения или записи требуется активизировать сигнал \overline{CAS} – строб выборки адреса столбца. Во время спада этого сигнала, т. е. при переходе его из пассивного состояния (высокого уровня) в активное (низкий уровень) на мультиплексированной линии $МА$ должен присутствовать адрес столбца. Адрес должен устанавливаться до спада соответствующего строба и удерживаться после него еще некоторое время. Таким образом, по спаду сигнала \overline{CAS} начинается цикл записи или чтения, минимальная длительность которого определяется спецификацией быстродействия памяти.

Выбранной микросхемой памяти является та, на которую во время активности (низкого уровня) сигнала \overline{RAS} приходит сигнал \overline{CAS} , тоже с низким уровнем (рис. 5.15). По спаду сигнала \overline{CAS} запускается формирователь $\Phi СИ_2$, который генерирует на своих выходах вторую пару синхронизирующих импульсов $\Phi 3$ и $\Phi 4$. Импульс $\Phi 3$ разрешает загрузку адреса столбца в регистр $PгY$, а импульс $\Phi 4$ – работу дешифратора DCY , высокий уровень сигнала на одном из выходов которого открывает ключи 2 выбранного столбца.

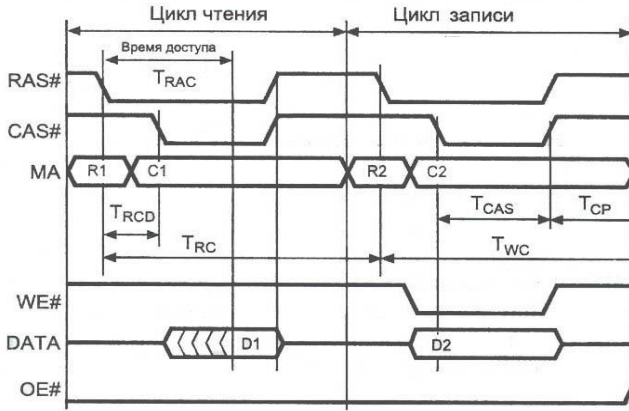


Рис. 5.15. Временные диаграммы чтения и записи динамической памяти

Тип обращения (запись или чтения) определяется уровнем сигнала W/R. При высоком уровне сигнала ($W/R = 1$) бит информации с выбранного ЗЭ через разрядную шину РШ и замкнутый ключ 4 передается к выходной шине данных, а при низком уровне сигнала ($W/R = 0$) бит информации с линии выходных данных через ключи 3 поступает на разрядную шину РШ, с которой переписывается в выбранный ЗЭ. Указанные операции считывания или записи могут выполняться только в случае, если на вход CS, соединенный с входом стробирования дешифратора строки DCX, подан разрешающий сигнал (низкий уровень). При отсутствии этого сигнала (высокий уровень) работа дешифратора строки блокируется, что эквивалентно запрещению выборки ЗЭ по указанному адресу. В этом случае микросхема находится в режиме хранения информации и ее выходы отключены от внешней шины данных.

Как следует из принципа работы, особенностью динамической памяти является необходимость периодического восстановления (регенерации) заряда на конденсаторе. Регенерация в микросхемах происходит одновременно по всей строке матрицы при обращении к любому из ее ЗЭ. Максимальный период обращения к каждой строке для гарантированного сохранения информации у динамической памяти составляет примерно 8–64 мс [8]. В зависимости от объема и организации матрицы для однократной регенерации всего объема требуется 512, 1024, 2048 или 4098 циклов обращений.

Регенерация динамической памяти

Регенерация является внутренней операцией динамической памяти и при этом не требуется выдача информации во внешнюю шину данных. Циклы регенерации могут быть организованы различными способами. При классическом способе организации цикла, называемом циклом ROR (RAS only Refresh), регенерация выполняется только по спаду импульса \overline{RAS} , а сигнал \overline{CAS} имеет высокий уровень (рис. 5.16). В этом случае адрес очередной регенерируемой строки выставляется контроллером памяти до спада сигнала \overline{RAS} очередного цикла регенерации.

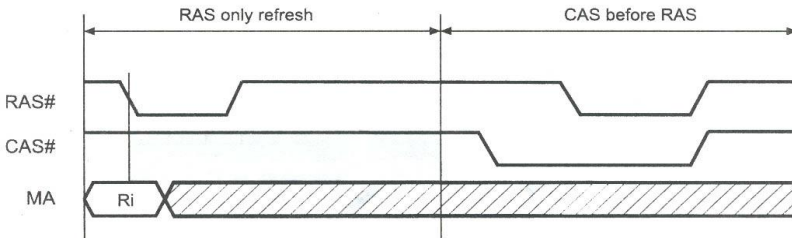


Рис. 5.16. Циклы регенерации динамической памяти

При другом способе организации цикла регенерации (рис. 5.16) импульс \overline{RAS} активизируется при низком уровне сигнала \overline{CAS} (в обычном цикле обращения такой ситуации не возникает). Этот цикл регенерации, называемый циклом CBR (CAS Before RAS), поддерживается всеми современными микросхемами памяти. В этом случае адрес регенерируемой строки матрицы ЗЭ формируется внутренним счетчиком микросхемы памяти. В функцию контроллера входит только формирование таких циклов. Во время спада импульса \overline{RAS} сигнал W/R должен находиться в состоянии высокого уровня.

Существуют некоторые разновидности цикла CBR: цикл скрытой регенерации, цикл автономной регенерации в энергосберегающем режиме и т. д. При организации цикла скрытой регенерации в энерго-сберегающем режиме в конце цикла обращения (записи или чтения) сигнал \overline{CAS} удерживается на низком уровне, а \overline{RAS} поднимается и снова опускается, что и является указанием микросхемы на выполнение цикла регенерации по внутреннему

счетчику (рис. 5.17). Во время скрытой регенерации после цикла чтения выходные буферы сохраняют только что считанные данные (в обычном SBR выходные буферы находятся в высокоимпедансном состоянии).

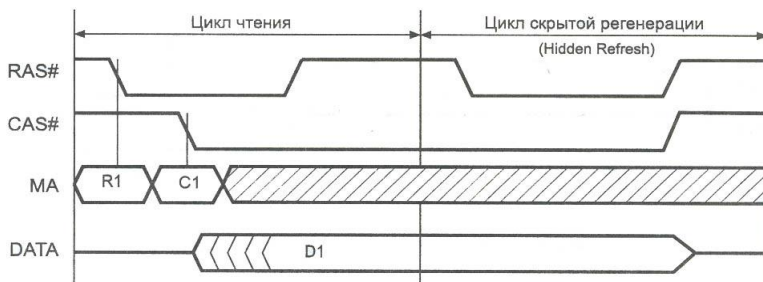


Рис. 5.17. Скрытая регенерация (Hidden Refresh)

В цикле скрытой регенерации затраты на регенерацию практически те же, что и в обычном СВР, хотя следует отметить, что некоторую экономию времени можно получить за счет укорочения активной части импульса \overline{CAS} при чтении.

Контроллер динамической памяти

В современных компьютерах процессом регенерации в динамической памяти управляет контроллер памяти, который циклически перебирает строки во всех микросхемах модуля и регенерирует их.

Пример схемы контроллера динамической памяти приведен на рис. 5.18. Микросхемы модуля памяти, имеющие двухкоординатную организацию, включены параллельно относительно внешних входных и выходных сигналов. Число этих микросхем равно разрядности слов, хранимых в памяти. Рассмотрим работу микросхемы модуля памяти в рабочем режиме (запись-считывание); когда им управляет процессор. В режиме запись-считывание триггеры $T_{Г1}$ и $T_{Г2}$ находятся в нулевом состоянии. Низкий уровень сигнала на выходе $T_{Г2}$ приводит:

- к сбросу двоичного счетчика СТР;
- к блокировке передачи через логический элемент И – ИЛИ строка $\overline{RAS}_{\text{пер}}$;

– к переключению на канал “0” мультиплексора MUX₂ и передаче на его выход адресов строк и столбцов от мультиплексора MUX₁.

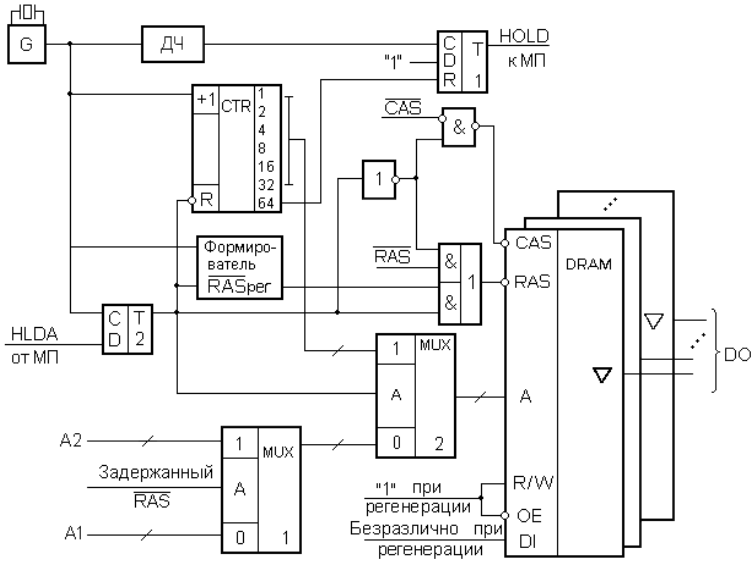


Рис. 5.18. Схема контроллера динамической памяти

При этом модуль памяти получает адреса строк A1 и столбцов A2, стробируемые по спаду импульсов \overline{RAS} и \overline{CAS} , а также сигналы управления W/R и \overline{OE} , где \overline{OE} (Output Enable) – сигнал разрешения открытия выходного буфера при операции чтения. Высокий уровень сигнала \overline{OE} в любой момент переводит выходной буфер в высокоимпедансное состояние.

При записи модулем памяти воспринимаются входные данные DI, при чтении выдаются выходные данные DO. Так реализуется режим запись-считывание.

При считывании информации на одной из строк матрицы ЗЭ в каждой микросхеме модуля в соответствии с адресом строки A1 устанавливается высокий уровень. Он отпирает ключевой транзистор для всех ЗЭ выбранной строки. При этом усилитель-регенератор,

связанный с каждым столбцом (каждой разрядной шиной), воспринимает уровень напряжения на соответствующей емкости S_z ЗЭ как 0 или 1 и выдает его на выход DO.

Адрес столбца разрешает из каждой микросхемы модуля памяти считывание бит информации только с одного ЗЭ в выбранной строке. В процессе считывания ЗЭ выбранной строки (во всех микросхемах) изменяют свое состояние. Чтобы сохранить информацию, усилители-регенераторы осуществляют перезапись в ту же строку ЗЭ и восстанавливают их состояния.

Операция записи выполняется аналогично, но входные данные DI записываются только в выбранные ЗЭ, а остальные ЗЭ в этой же строке просто регенерируются.

Генератор синхронизирующих импульсов генерирует последовательность импульсов, период повторения которых равен длительности цикла обращения (чтения) динамической памяти. Частота импульсов генератора Г понижается с помощью делителя частоты ДЧ, на выходе которого формируются импульсы с периодом, равным периоду регенерации Трег. Импульс на выходе делителя частоты ДЧ переключает триггер Тг1 в состояние логической 1 ($HOLD = 1$) и инициирует режим регенерации.

Единичное значение сигнала HOLD является сигналом запроса на управление памятью со стороны контроллера. Этот сигнал поступает на соответствующий вход процессора. Если процессор занят выполнением некоторой программы, то для ее прерывания требуется произвести определенные операции. После этого процессор вырабатывает сигнал HLDA, имеющий высокий уровень, который разрешает переход к режиму регенерации динамической памяти.

Импульс генератора Г устанавливает триггер Тг2 в единичное состояние, в результате чего:

- блокируется передача стробов \overline{RAS} и \overline{CAS} на микросхемы модуля памяти;

- разрешается передача на модуль сигнала \overline{RAS} рег, вырабатываемого формирователем контроллера;

- мультиплексор MUX_2 переключается на канал 1 и разрешает передачу адресов строк в микросхемы не от процессора, а от двоичного счетчика СТР, называемого счетчиком адреса регенерации. Одновременно с этим высокий уровень напряжения на выходе триггера Т2 снимает сигнал асинхронного сброса со входа

\overline{R} счетчика.

Далее в каждом цикле регенерации по мере поступления каждого очередного синхронизирующего импульса генератора Γ происходит инкремент счетчика, и он перебирает последовательно адреса всех строк. При этом число строк должно соответствовать модулю счетчика, который в данном примере равен 64.

По окончании цикла работы счетчика он вырабатывает импульс переполнения, который сбрасывает триггер T_1 в состояние логического 0 ($HOLD = 0$). Нулевое значение сигнала запроса $HOLD$, посылаемого в процессор, означает окончание режима регенерации. В ответ на это процессор снимает сигнал $HLDA$ – подтверждения предоставления управления локальной шиной контроллером, после чего очередной импульс генератора сбрасывает триггер T_2 в нулевое состояние и тем самым возвращает схему в рабочий режим.

В последнее время разработаны смещенные контроллеры КЭШ-памяти и динамической памяти. В некоторых ЗУ, называемых квазистатическими, схемы регенерации данных реализованы в самом корпусе микросхемы памяти, и от разработчика не требуется специальных мер по организации этого процесса.

Типы динамической памяти повышенной производительности

В процессорах 486 и старше для повышения производительности обмена данными с последовательно расположенными ячейками памяти введен так называемый пакетный цикл обмена – $Burst\ Cycle$. Обычный цикл обмена имеет фазу адреса и фазу данных (см. рис. 5.15).

Пакетный цикл предназначен для последовательного обмена с элементами одной строки (обычно с четырьмя соседними элементами), адреса которых расположены рядом с адресом текущего обращения. При таком режиме обмена, называемом режимом быстрого страничного доступа FPM ($Fast\ Page\ Mode$), адрес строки и сигналы идентификации типа шинного цикла (фаза адреса) выдаются только в начале цикла, т. е. в первом такте пакета. В каждом из последующих тактов могут передаваться данные, адреса для которых уже не выставляются на шине, а вычисляются из первого по правилам, известным и процессору, и памяти. Таким образом, в

режиме быстрого страничного обмена адрес строки передается по шине только один раз и сигнал \overline{RAS} удерживается на низком уровне на время всех последующих циклов обращений (запись – считывание), изменяются только адреса столбцов в сопровождении импульса строба \overline{CAS} . За счет исключения фазы выдачи адреса строки из циклов (последующих тактов), следующих за первым, повышается производительность памяти. Понятие “страница” на самом деле относится к строке, а состояние с низким уровнем сигнала \overline{RAS} называется “открытой страницей”.

Временные диаграммы для режима FPM, в котором работают “стандартные” микросхемы и модули DRAM, приведены на рис. 5.19.

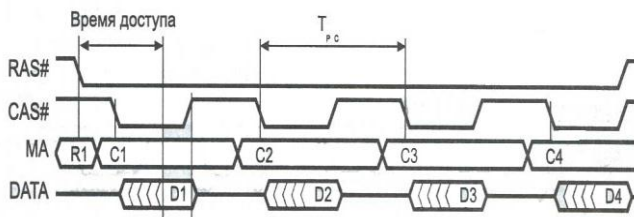


Рис. 5.19. Временные диаграммы стандартной DRAM в режиме быстрого страничного доступа (FRM)

Как видно из рис. 5.19, данные на выходе микросхем стандартной динамической памяти появляются с некоторой задержкой относительно спада импульса \overline{CAS} и держатся только во время его низкого уровня. По окончании действия импульса \overline{CAS} выходной буфер микросхемы переводится в высокоимпедансное состояние. Стандартная память со временем доступа 60–70 нс в режиме FRM при частоте системной шины 66 МГц может обеспечить пакетный цикл чтения 5 – 3 – 3 – 3. Для такой памяти время цикла обмена внутри страницы может быть уменьшено почти вдвое (до 35 нс), что обеспечит ее работу с процессорными шинами на тактовой частоте до 33 МГц.

Обозначение вида 5 – 3 – 3 – 3 для диаграммы пакетного цикла чтения (страничного режима считывания) соответствует 5 тактам на считывание первого запоминающего элемента в строке памяти в цикле и 3 тактам – на считывание каждого из трех последующих ЗЭ

памяти. Следует отметить, что для организации режима FPM достаточно проверить принадлежность очередного адреса текущей строке (странице) и выполнить цикл страничного режима. В противном случае требуется выполнить обычный (полный) цикл.

Повышение производительности при чтении может быть получено за счет некоторой конвейеризации работы динамической памяти. Для этой цели память с расширенным выводом данных, называемая EDO (Extended или Enhanced Data Out) DRAM, содержит регистр-защелку выходных данных, хранящий строку.

Регистр, представляющий собой быстродействующую статическую память, “прозрачен” при низком уровне сигнала \overline{CAS} , а по его подъему (заднему фронту) фиксирует текущее значение выходных данных в пределах строки (страницы) до следующего его спада. Перевести выходные буферы в высокоимпедансное состояние можно либо одновременным подъемом сигналов \overline{RAS} и \overline{CAS} , либо импульсом W/R, который при высоком уровне сигнала \overline{CAS} не вызывает записи.

Временная диаграмма работы с EDO DRAM в страничном режиме считывания приведена на рис. 5.20. В этом режиме, называемом гиперстраничным режимом обмена, в отличие от режима FPM, данные на выходах микросхем памяти не сбрасываются по окончании строка \overline{CAS} . Считывание выходных данных может производиться внешними схемами вплоть до спада следующего импульса \overline{CAS} , что позволяет экономить время за счет сокращения длительности импульса \overline{CAS} . Время цикла считывания внутри страницы для памяти со временем доступа 60 нс уменьшается с 35 нс (28,5 МГц) у стандартной DRAM до 25 нс (40 МГц) у EDO, повышая производительность в страничном режиме на 40 % у EDO.

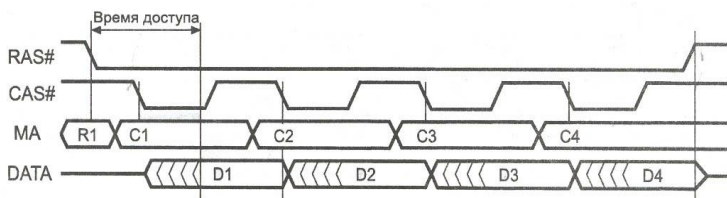


Рис. 5.20. Временные диаграммы EDO DRAM в страничном режиме считывания

EDO DRAM со временем доступа 60–70 нс в режиме гиперстраничного обмена при частоте системной шины 66 МГц может обеспечить пакетный цикл чтения 5 – 2 – 2 – 2. Микросхемы EDO DRAM применяются в SIMM-72 и DIMM-модулях основной памяти, а также в видеопамяти современных графических адаптеров. Все модули, укомплектованные микросхемами EDO DRAM, не имеют бита паритета и конструктивно и по назначению выводов совместимы со стандартными (FPM).

Дальнейшее развитие конвейерной архитектуры модулей DRAM привели к появлению микросхем BEDO (Burst EDO) памяти, в которых кроме регистра-защелки выходных данных, стробируемого теперь по фронту импульса \overline{CAS} , содержится еще и счетчик адресов столбцов для пакетного цикла. Это позволяет выставлять адрес столбца (обычным способом) только в начале пакетного цикла (рис. 5.21). Для последующих передач адреса формируются относительно быстро с помощью инкрементирования счетчика, и поэтому во второй, третьей и четвертой передачах импульсы только запрашивают очередные данные.

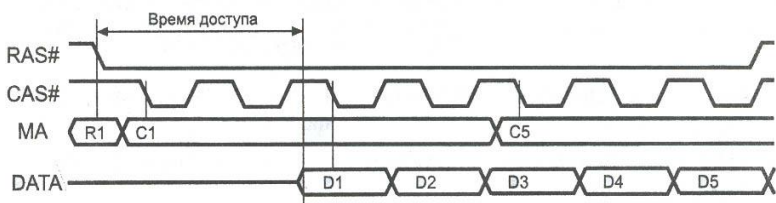


Рис. 5.21. Временные диаграммы BEDO DRAM в страничном режиме считывания

В результате удлинения конвейера выходные данные как бы отстают на один такт \overline{CAS} , зато следующие данные появляются без тактов ожидания процессора, чем обеспечивается лучший цикл чтения 5 – 1 – 1 – 1 для BEDO DRAM со временем доступа 60 нс при частоте шины до 66 МГц. Задержка появления первых данных пакетного цикла окупается повышенной частотой приема последующих. BEDO-память применяется в модулях SIMM-72 и DIMM, но эффективна только до частоты 66 МГц и поддерживается далеко не всеми чипсетам.

Наиболее перспективной и быстродействующей является синхронная динамическая память SDRAM (Synchronous DRAM), работающая на частоте системной шины без тактов ожидания внутри пакетного цикла и обеспечивающая цикл чтения 5 – 1 – 1 – 1 при частоте системной шины до 100 МГц. От обычной (асинхронной) динамической памяти, у которой все внутренние процессы инициируются только сигналами, память SDRAM отличается использованием постоянно присутствующего сигнала тактовой частоты системной шины. Это позволяет создавать внутри микросхемы высокопроизводительный конвейер на основе ячеек динамической памяти с вполне обычным временем доступа (50–70 нс).

Синхронный интерфейс обеспечивает трехкратный выигрыш в производительности по сравнению с традиционными микросхемами DRAM, имеющими запоминающие ячейки с тем же быстродействием. Микросхемы SDRAM являются устройствами с программируемыми параметрами, со своим набором команд и внутренней организацией чередования банков. Чередование банков динамической памяти позволяет считывать (или записывать) данные одного банка во время предзаряда другого банка. Кроме команд записи и чтения с программируемыми параметрами пакетного цикла имеются команды автоматической регенерации и перевода в режим хранения данных с пониженным энергопотреблением. Длина пакетного цикла чтения и записи может программироваться (1, 2, 4, 8 или 256 элементов), цикл может быть прерван специальной командой (без потери данных). Конвейерная адресация позволяет инициировать очередной цикл обращения до завершения предыдущего. Существуют и модификации с пониженной частотой регенерации.

Возможен переход в режим хранения с пониженным энергопотреблением, при котором отключается питание внешних буферов. Микросхемы SDRAM из-за существенного отличия интерфейса не могут быть установлены в модули SIMM, они применяются в DIMM или устанавливаются прямо на системную (или графическую) плату.

Одним из эффективных способов повышения производительности динамической памяти является помещение статической кэш-памяти прямо на кристалл памяти. При этом кэш обеспечивает

быстрый обмен с процессором, если информация находится в кэше, а также быстрое обновление своего содержимого. Последняя возможность связана с тем, что размещение кэша на одном кристалле с DRAM делает связи между ними внутренними. В этом случае разрядность шин может быть большой, и обмен может производиться большими блоками данных. Такая двухступенчатая архитектура памяти реализована в микросхемах CDRAM (Cached DRAM) и EDRAM (Enhanced DRAM). Микросхемы CDRAM емкостью 4 и 16 Мбит – продукты фирм Mitsubishi и Samsung имеют 16-Кбайтный кэш статической памяти со 128-битной внутренней шиной данных. Микросхемы EDRAM емкостью 4 Мбит – продукция фирмы Ramtron International имеет 8-Кбайтный кэш статической памяти с разрядностью внутренней шины данных 2048 бит. Память с внутренним кэшем существенно эффективнее обычной комбинации DRAM и вторичного кэша, особенно в многозадачных системах, где переключение задач приводит к высокой частоте кэш-промахов обычного кэша.

5.5. КЭШ-память

Кэш-память предназначена для согласования скорости работы сравнительно медленных устройств, таких, например как динамическая память с относительно быстрым процессором. Использование кэш-памяти позволяет избегать циклов ожидания в его работе, которые снижают производительность всей системы.

Таким образом кэш-память служит для хранения копий наиболее часто используемых блоков информации основной памяти, к которым, вероятно, в скором времени будет обращение, прежде всего со стороны процессора. По сравнению с основной памятью кэш-память имеет высокое быстродействие, т. к. по своей природе относится к статической памяти и реализуется на триггерных схемах и поэтому позволяет сохранить количество тактов ожидания процессора в цикле обращения к памяти. По этой причине кэш-память имеет небольшую ёмкость, в которой хранится лишь ограниченное число блоков данных и каталог (cache-directory) – список их текущего соответствия областям основной памяти. Таким образом, кэшируется только часть основной динамической памяти системной платы, например, для Pentium кэшируется только первые

64 Мбайта основной памяти DRAM. Ёмкость кэш-памяти определяется числом её строк, в которых отображаются блоки данных, и их размером.

На рис. 5.22 приведена структурная схема кэшированной памяти. При обращении к кэшируемой памяти контроллер кэш-памяти по каталогу проверяет наличие в кэше копии затребованных данных.

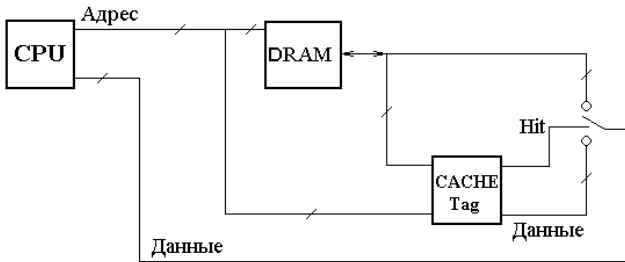


Рис. 5.22. Структура кэшированной памяти

В случае её обнаружения, т. е. кэш-попадания (cache hit), обращение за данными происходит только к кэш-памяти, и она выдаёт данные по сигналу hit, вырабатываемым контроллером, на общую шину данных. Если копия затребованных данных не окажется в кэше, т. е. в случае кэш-промаха (cache miss), сигнал hit не вырабатывается и данные считываются из основной памяти и одновременно размещаются в кэше.

Выигрыш от кэширования достигается в тех случаях, когда одни и те же данные используются многократно, что имеет место, например, в прикладных программах, которые носят циклический характер. При этом повторные обращения к кэш-памяти после первого считывания (съёма) данных из основной динамической памяти приводят к исключению или, по крайней мере, существенному сокращению числа тактов ожидания процессора в цикле обращения к памяти. Кроме того, во время обмена данными между процессором и кэш-памятью основная динамическая память свободна и может быть использована другими устройствами или в ней могут выполняться циклы регенерации.

Существуют два варианта обращения к основной памяти. В первом варианте одновременно с поиском в каталоге начинается обращение к основной памяти, что приводит к излишнему

энергопотреблению (и тепловыделению), хотя при этом удаётся экономить время. Во втором варианте обращение к основной памяти производится только после выявления случая кэш-промаха. В этом случае достигается снижение энергопотребления, однако, такт ожидания процессора увеличивается.

Контроллер кэш-памяти оперирует строками фиксированной длины. Строка может хранить копию блока основной памяти, размер которого, естественно, совпадает с длиной строки. С каждой строкой кэш-памяти связана информация об адресе скопированного в неё блока основной памяти и признаки её состояния. Строка может быть действительной, т. е. в текущий момент времени она достоверно отражает соответствующий блок основной памяти, или недействительной (пустой). Информация о том, какой именно блок занимает данную строку (т. е. старшая часть адреса или номер страницы), и её состояние называются тегом (tag) и хранятся в связанной с данной строкой ячейке специальной памяти тегов (tag SRAM). Другими словами, тег определяет, что данный блок информации является копией содержания какой ячейки основной памяти.

В операциях обмена с основной памятью обычно строка участвует целиком (несекторизованная кэш-память), для процессоров j486 и старше, длина строки совпадает с объемом данных, передаваемых за один пакетный цикл (для j486 это $4 \times 4 = 16$ байт, для Pentium – $4 \times 8 = 32$ байт). В случае секторизованной кэш-памяти одна строка содержит несколько смежных ячеек – секторов, размер которых соответствует минимальной порции обмена данных кэша с основной памятью. При этом в записи каталога, соответствующей каждой строке, должны храниться биты действительности для каждого сектора данной строки. Секторизование позволяет экономить память, необходимую для хранения каталога при увеличении объема кэш-памяти, поскольку большое количество бит каталога отводится под тег и выгоднее использовать дополнительные биты действительности, чем увеличивать глубину индекса (количество элементов) каталога. Строки кэша под отображение блока памяти обычно выделяются только при операциях чтения.

Запись блока, не имеющего копии в кэше, производится только в основную память. Известны два основных алгоритма записи блока данных из кэша в основную память: сквозная запись WT (Write Through) и обратная запись WB (Write Back).

Алгоритм WT предусматривает выполнение каждой операции записи (даже однобайтной), попадающей в кэшированный блок, одновременно и в строку кэша, и в основную память. При этом при каждой операции записи процессору приходится ожидать окончания относительно длительной записи в основную память. Алгоритм достаточно прост в реализации и легко обеспечивает целостность данных за счет постоянного совпадения копий данных в кэше и основной памяти. Для него нет необходимости хранения признаков присутствия и модифицированности, достаточно только информации тега (при этом предполагается, что любая строка всегда содержит какой-либо блок, а какой именно – указывает тег). Однако алгоритм WT обеспечивает низкую эффективность записи. Существует модифицированный вариант алгоритма WT, при реализации которого производится отложенная буферизованная запись блока. При этом блок данных переписывается в основную память через FIFO-буфер во время свободных тактов шины, что приводит к повышению быстродействия.

Алгоритм WB позволяет уменьшить количество операций записи на шине основной памяти, если блок памяти, в который должна производиться запись, отображен и в кэше, то физическая запись сначала будет произведена в эту действительную строку кэша и будет отмечена как “грязная” или модифицированная, т. е. требующая выгрузку в основную память. Только после этой выгрузки (записи в основную память) строка станет “чистой” и ее можно будет использовать для кэширования других блоков без потери целостности данных. В основную память данные переписываются только целой строкой (после заполнения всех ее секторов в случае секторированного кэша) или непосредственно перед ее замещением в кэше новыми данными. Данный алгоритм существенно эффективнее, чем WT, но сложнее в реализации.

В зависимости от способа определения взаимного соответствия строки кэша и области основной памяти DRAM различают три архитектуры кэш-памяти: кэш с прямым отображением, наборно-ассоциативный кэш и полностью ассоциативный кэш.

Рассмотрим организацию работы несекторированной кэш-памяти с прямым отображением, иллюстрация структуры которой приводится на рис. 5.23. В кэш-памяти с прямым отображением адрес кэшируемой памяти, по которому происходит обращение, однозначно определяет строку, в которой может размещаться

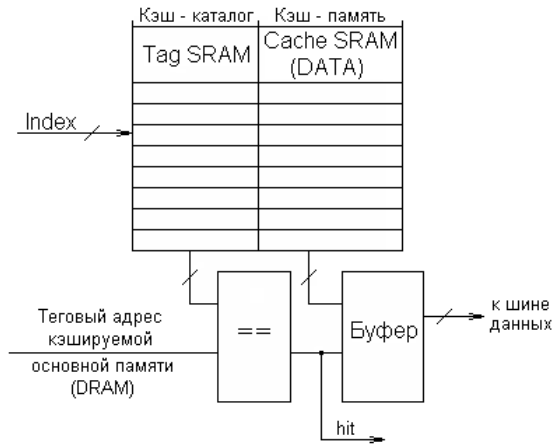
отображение требуемого блока. Кэшируемая основная память условно разбивается на страницы, размер каждой из которых совпадает с размером (емкостью) кэш-памяти.

Кэш-память (а также условно страницы основной памяти) делится на строки. Например, кэшируемая основная динамическая память DRAM с емкостью 64 Мбайт (типичный кэш системной платы для Pentium) делится на 256 страниц. Каждая из них имеет размер, равный емкости кэш-памяти, которая составляет 256 Кбайт. В свою очередь, кэш-память состоит из 8-ми К-строк с размерами, равными 32 байта. Каждая строка может отобразить из любой страницы кэшируемой памяти только соответствующую ей строку. Так как емкость кэша значительно меньше емкости основной памяти, то одна строка кэша в один и тот же момент времени может содержать копию только одного из множества претендующих занимать ее блоков памяти с одинаковой младшей частью адреса. Адрес кэшируемой памяти, поступающий от процессора, состоит из трех частей (рис. 5.23, б).

Первая часть (младшие разряды адреса) определяет положение (смещение) блока в строке внутри страницы. Вторая часть (средние разряды) определяет номер строки в странице. Старшие разряды (третья часть), соответствующие номеру страницы кэшируемой основной памяти, образуют тег. Число ячеек tag SRAM должно соответствовать числу строк кэша, а число разрядов позволить разместить старшие биты адреса кэшируемой памяти, не попавшей на шину адреса кэш-памяти. Кроме адресной части тега с каждой строкой кэша связаны биты признаков действительности и модифицированности данных. Номер (адрес) строки в кэш-памяти называется индексом.

При обращении к кэшируемой памяти контроллер вначале считывает ячейку каталога с заданным индексом. После этого сравнивает биты адреса тега со старшими битами адреса памяти и анализирует в специальном цикле запроса признак действительности строки кэша. Если строка кэша в текущий момент времени достоверно отражает (т. е. содержит) требуемый блок основной памяти (случай кэш-попадания), запрос обслуживается кэш-памятью, т. е. вырабатывается сигнал hit выдачи информации и затем мультиплексированием из строки кэша выбирается блок данных. В случае кэш-промаха из основной памяти считываются данные, которые помещаются одновременно и в свободную (чистую) строку кэша, а в её тег помещаются старшие биты адреса и устанавливается признак действительности данных. Независимо от

объёма затребованных данных в кэш из основной памяти, строка переписывается (загружается) вся целиком, т. к. признак действительности относится ко всем её байтам.



а)

| Tag | Index | |
|--------------------------------|-----------------------|-------------------|
| Номер страницы основной памяти | Номер строки в строке | Смещение в строке |

б)

| Tag | Index | Sect | |
|--------------------------------|--------------|---------------|-------------------|
| Номер страницы основной памяти | Номер строки | Номер сектора | Смещение в строке |

в)

Рис. 5.23. Пояснения к организации кэш-памяти прямого отображения:

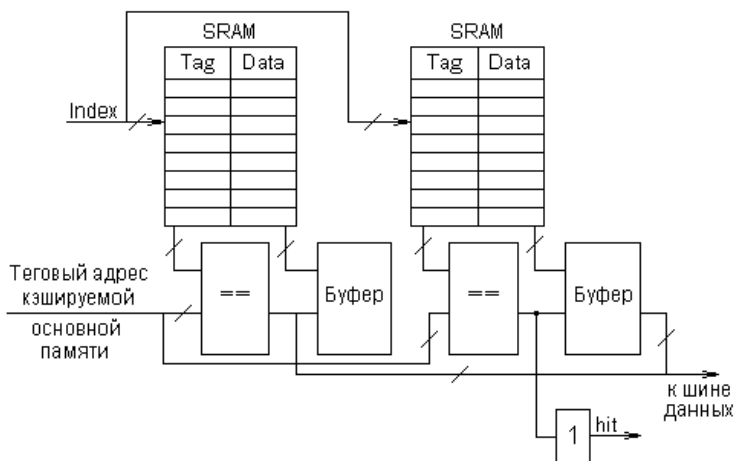
а) структура кэша; б) адрес кэшируемой памяти от процессора;

в) то же в секторизованном кэше прямого отображения

Достоинством кэша с прямым отображением является простота аппаратной реализации, а недостаток заключается в следующем. Если в процессе выполнения программы процессору поочередно будут требоваться блоки памяти, смещённые относительно друг друга на величину, кратную размеру страницы, то кэш будет работать интенсивно, но в холостую, т. е. будет сплошная череда кэш-промахов. Переключение

страниц в многозадачных операционных системах также снижает количество кэш-попаданий, что отражается на производительности системы. Архитектура с прямым отображением применяется для вторичного кэша многих системных плат.

В наборно-ассоциативной архитектуре кэш-память делится на наборы с небольшим числом строк, кратным двойке, т. е. 2, 4, 8... и т. д. Каждый блок кэшируемой памяти претендует занимать одну из нескольких строк кэша, объединённых в набор. При этом средние разряды адреса памяти определяют уже не номер строки как в кэше с прямым отображением, а номер набора (индекс), в котором может отображаться затребованный блок. Эту архитектуру можно рассматривать как несколько параллельно и согласованно работающих каналов прямого отображения, где контроллеру кэша приходится еще и принимать решение о том, в какую из строк набора помещать очередной блок данных. В простейшем случае каждый блок памяти может помещаться в одну из двух строк (рис. 5.24).



а)

| Tag | Index | Tag | |
|--------------------------------|--------------------|-----------------------|-------------------|
| Номер страницы основной памяти | Номер набора строк | Признак строки набора | Смещение в строке |

б)

Рис. 5.24. Пояснение к организации наборно-ассоциативной кэш-памяти: а) структура кэша; б) адрес кэшируемой памяти

Строка набора, отображающая требуемый блок, определяется сравнением тегов кэша со старшими разрядами адреса. Кроме того, с каждым набором связывается признак, определяющий строку набора, подлежащую замещению новым блоком данных в случае кэш-промаха.

Наборно-ассоциативную архитектуру имеет первичный кэш современных микропроцессоров. В полностью ассоциативной кэш-памяти, структура которой приведена на рис. 5.25, любая ее строка может отображать любой блок основной памяти. При этом в поле «тег» кэш-памяти записываются все биты адреса кэшированного блока, за исключением бит, определяющих смещения данных в строке.

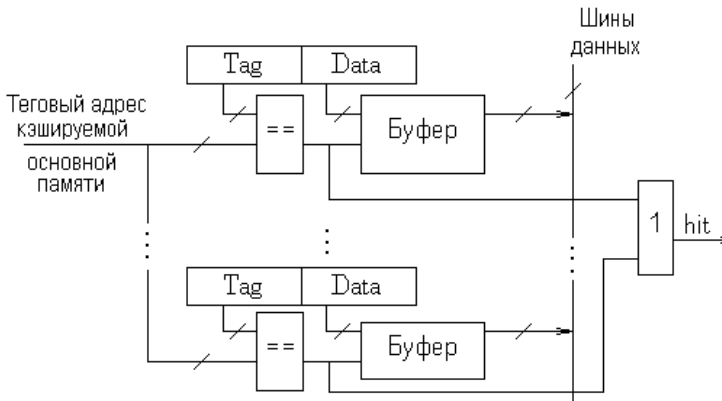


Рис. 5.25. Структура полностью ассоциативной кэш-памяти

При обращении старшая часть адреса затребованной информации сравнивается с тегами всех строк, а не одной или нескольких, как при прямом отображении или наборно-ассоциативной архитектуре. При их совпадении и, следовательно, определении наличия в кэше копии данных заданного блока основной памяти, кэш вырабатывает сигнал hit и при чтении выдает данные на общую шину данных. Если же совпадений нет (hit = 0), т. е. в случае кэш-промаха, при чтении из основной памяти данные вместе с адресом помещаются в одну из свободных строк кэш-памяти.

При записи данные вместе с адресом сначала, как правило, размещаются в кэш-памяти. Копирование данных в основную память выполняется под управлением специального контроллера, когда нет обращения к памяти.

Полностью ассоциативная кэш-память обеспечивает наибольшую функциональную гибкость и бесконфликтность адресов, т. е. любой блок данных можно разместить в любую строку кэш-памяти. Однако последовательный перебор ячеек памяти тегов практически невозможен из-за значительных затрат времени, а одновременный анализ всех ячеек приводит к существенному усложнению аппаратуры. Поэтому полностью ассоциативная архитектура применяется пока только в некоторых процессорах для первичной кэш-памяти с небольшой емкостью.

5.6. Постоянные, программируемые и репрограммируемые запоминающие устройства

Постоянные запоминающие устройства (ПЗУ) предназначены для хранения и считывания информации, которая остаётся неизменной в течение всего времени работы устройства. Эта информация не исчезает даже при снятии напряжения питания, поэтому ПЗУ в отличие от ЗУПВ статического и динамического типов, называется энергонезависимой памятью. В то же время ПЗУ представляет собой матричный набор ЗЭ и по своей структуре является устройством с произвольной выборкой. В ПЗУ тоже, подобно ЗУПВ, время выборки информации из любого ЗЭ не зависит от его местоположения (адреса) в наборе.

Основным режимом работы ПЗУ является режим считывания информации, а некоторые типы ПЗУ после занесения информации допускают только считывание. Этим и объясняется их общее название ROM (Read Only Memory – память только для чтения) или ПЗУ (постоянное запоминающее устройство). Следует отметить, что в ПЗУ так же, как и в ЗУПВ статического типа, считывание информации не сопровождается её разрушением.

Запись информации в ПЗУ называется “программированием” и происходит значительно сложнее, чем считывание, а также требует больших затрат времени, энергии и средств, чем считывание.

По способу программирования различают следующие основные типы ПЗУ: масочные, программируемые и репрограммируемые. К масочным ПЗУ относятся микросхемы ROM, которые программируются в процессе изготовления. В программируемые ПЗУ (ППЗУ), выпускаемые в виде микросхем PROM (Programmable ROM), информация записывается в соответствии с их потребительскими

свойствами и сферой применения однократно после изготовления перед установкой в целевое устройство, причем программирование осуществляется путем прожигания плавких перемычек.

Репрограммируемые ПЗУ (РПЗУ) или программируемые многократно называются также стираемыми (СПЗУ). Процедуры стирания обычно существенно дольше записи.

Важными параметрами ПЗУ являются время хранения и устойчивость к электрическим воздействиям, а для стираемых ПЗУ – ещё и гарантированное количество циклов перепрограммирования, напряжение программирования и т. д.

В РПЗУ стирание информации в ЗЭ выполняется либо для всей микросхемы, либо в пределах определённого блока или одной ячейки (байта). Следует отметить, что в ПЗУ, независимо от его типа, информация представляется в виде наличия или отсутствия соединения между шинами адреса (ША) и данных (ШД). При этом информация хранится в виде многоразрядных слов и поэтому структура ПЗУ строится по принципу однокоординатной (одноадресной) выборки. Если разрядность хранимого в ПЗУ информационного слова превышает разрядность необходимого выходного слова, то на выходе матрицы ЗЭ используются дополнительные селекторы выходного слова. Рассмотрим подробнее основные типы ПЗУ.

Масочные ПЗУ

В масочные ПЗУ информация записывается на одном из последних технологических этапов их производства. В ПЗУ запоминающие элементы (ЗЭ) образуются биполярными и МОП-транзисторами, включенными в узлах между шинами ША и ШД. Нанесение «рисунка» структуры на исходный материал выполняется при помощи нескольких последовательных циклов фотолитографии. При этом отдельные элементы формируемых полупроводниковых приборов (например, эмиттерные и коллекторные переходы биполярных транзисторов или выводы истока и стока МОП-транзисторов) выполняется использованием масок-фотошаблонов. Этим и объясняется название ПЗУ данного типа.

Вначале изготавливаются фотошаблоны, обеспечивающие соединение всех ША и ШД так, что по всем адресам из ПЗУ считывается одинаковый сигнал, например, логический 1. Далее по заказу для каждого ПЗУ с конкретной информацией,

соответствующей его табли-це истинности, изготавливается ещё один шаблон, с помощью кото-рого задают точную форму и координаты участков соединения между шинами ША и ШД, где размещаются некоторые области приборов (например, коллекторные переходы или выводы стока транзисторов). Данный метод позволяет для изготовления ПЗУ с различной инфор-мацией заменять только один из фотошаблонов, что существенно упрощает и ускоряет процесс производства.

Масочные ПЗУ особенно рентабельны при крупносерийном производстве, когда с помощью одной маски можно запрограммировать большое число микросхем. Рассмотрим фрагменты матриц ЗЭ масочных ПЗУ, выполненных на биполярных и МОП-транзисторах (рис. 5.26, а и б).

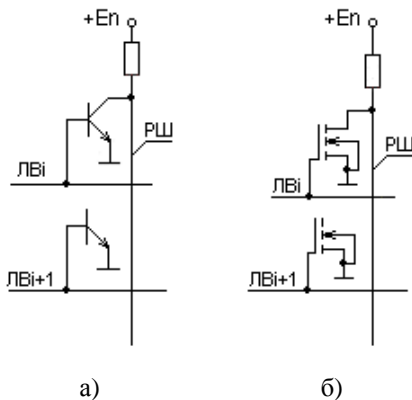


Рис. 5.26. Фрагменты масочных ПЗУ на биполярных (а) и nМОП-транзисторах (б)

Выходная шина данных, обозначенная на рис. 5.26 как разрядная шина данных РШ, является общей для всех транзисторов (выполняющих функцию ЗЭ) в столбце, включенных по схеме ИЛИ – НЕ. Нормально на этой шине имеется напряжение высокого уровня (лог. 1), и это напряжение может стать низким только при считывании за счет шины дешифрованного адреса ША (линии выборки строки ЛВи). Например, если соединительный биполярный транзистор T_1 (рис. 5.26, а), база которого подключена к i -й линии выборки строки ЛВи, выполнен полностью, то при появлении на этой

i -й линии напряжения высокого уровня транзистор T_1 открывается и, следовательно, на разрядной шине данных РШ формируется напряжение низкого уровня (лог. 0). Если транзистор, например T_2 , в процессе изготовления был лишен своего коллекторного перехода, то появление напряжения высокого уровня на линии $ЛВ_{i+1}$ не приводит к отпиранию транзистора T_2 и поэтому на разрядной шине данных РШ остается неизменным напряжение логической 1.

В другой схеме (рис. 5.26, б) операция ИЛИ – НЕ над сигналами на линиях выборки выполняются при помощи нормально закрытых nМОП-транзисторов.

Как и в предыдущей схеме, здесь присутствие вывода стока nМОП-транзистора $T1$ соответствует логическому 0 в данном разряде, а отсутствие – логической 1. Отметим, что масочные ПЗУ (ROM) имеют самое высокое быстродействие (время доступа 30–70 мс). Кроме того, они имеют простую и регулярную структуру, что позволяет изготавливать микросхемы, способные хранить большие объёмы информации. Однако микросхемы ROM, главным образом, из-за дороговизны масок и, следовательно, сложности модификации их содержимого не нашли широкого применения в современных компьютерах.

Программируемые ПЗУ

В ПЗУ типа PROM программирование (однократное) осуществляется путем устранения или создания специальных перемычек. Перемычки могут быть металлическими или поликристаллическими (кремниевыми). Металлические изготавливаются из нихрома, а в последнее время в основном из титановольфрамовых и других сплавов. В качестве перемычек применяется также тонкий диэлектрический слой или пара встречно включенных диодов [16]. Программирование микросхем PROM осуществляется с помощью специальных программаторов, для чего эти микросхемы устанавливаются в «кроватки» и запаиваются.

Рассмотрим принцип работы программируемого ПЗУ (ППЗУ) с плавкими перемычками со структурой типа 2 D, матрица запоминающих элементов (ЗЭ) которого имеет однокоординатную (одноадресную) организацию (рис. 5.27). Матрица ЗЭ, содержащая 32 столбца и

8 строк, построена на 8-ми эмиттерных транзисторах, в которых каждый р-n-переход база-эмиттер соответствует одному 3Э. Многоэмиттерные транзисторы (МЭТ), базы которых присоединены к выходным линиям выборки дешифратора адреса строк, работают в режиме эмиттерного повторителя. Эмиттеры МЭТ, являющиеся одновременно входами (при программировании) и выходами (при считывании) матрицы 3Э, соединены с внешними шинами данных (ШД) через буферные каскады – тристабильные схемы (элементы 1 и 2), имеющие инверсные выходы.

В исходной заготовке имеются все перемычки, а при программировании некоторая часть перемычек прожигается (устраиваются) путем пропускания через них импульсных токов достаточно большой величины (несколько десятков миллиампер) и длительности.

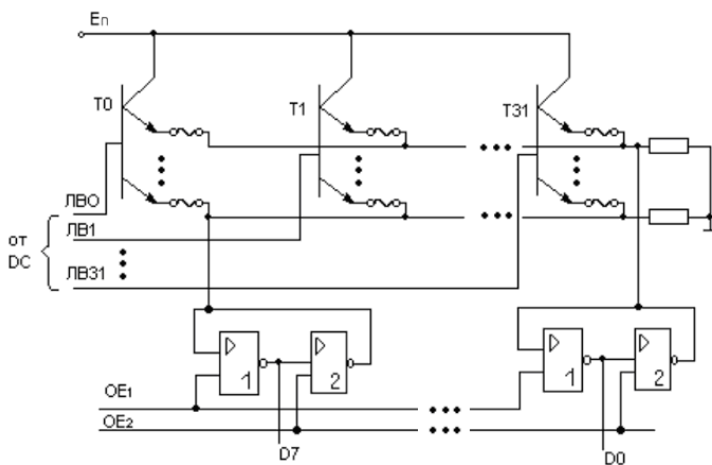


Рис. 5.27. Схема программируемого ПЗУ с плавкими перемычками

При программировании сигнал разрешения работы формирователей импульсов программирования OE_2 имеет активное значение ($OE_2 = 1$), а сигнал разрешения процесса считывания данных OE_1 отсутствует ($OE_1 = 0$). При этом тристабильные схемы (элементы 1) переводятся в высокоимпедансное состояние и не влияют на процесс программирования, а также блокируют передачу данных из матрицы 3Э во внешнюю ШД. Байт информации, которую нужно записать в

ППЗУ, подается с разрядных линий D7...D0 внешней ШД, через формирователи импульсов (элементы 2), на выбранную дешифратором адреса строку матрицы ЗЭ. При этом те разряды байта информации, в которых, например, имеется 1, инвертируются на выходах формирователей, и соответствующие эмиттеры МЭТ окажутся под низким напряжением. Через эти эмиттерные p-n-переходы МЭТ потекут токи, которые прожигают перемычки.

При считывании сигнал OE_1 имеет активное значение ($OE_1 = 1$), а сигнал OE_2 отсутствует ($OE_2 = 0$), поэтому на выходах элементов 2 формируются высокие уровни напряжения и они не оказывают влияния на процесс считывания данных. Например, если в ЗЭ отсутствует (устранена) перемычка, то на вход тристабильной схемы (элемента 1) поступает низкий уровень напряжения. Так как элемент 1 инвертирующий, то с его выхода на разрядную линию внешней ШД передается единичный сигнал, т. е. тот сигнал, который записывается при программировании.

Плавкие перемычки занимают на кристалле микросхемы много места, поэтому степень интеграции ППЗУ с такими перемычками существенно ниже, чем у масочных ПЗУ. Тем не менее, благодаря возможности программирования микросхем самим пользователем ППЗУ находит более широкое применение для хранения кодов BIOS и в графических адаптерах.

Репрограммируемые ПЗУ

Стирание и программирование микросхем репрограммируемых ПЗУ (РПЗУ) может выполняться либо на программаторе, либо (из-за относительно простого интерфейса записи) в самом целевом устройстве, если у него предусмотрены соответствующие средства. Для микросхем, не извлекаемых из целевого устройства (PC), возможны два способа их перепрограммирования: с использованием собственного процессора и с подключением на плате внешнего программатора.

Процесс перезаписи (стирание старой информации и замена ее новой) требует времени, значительно (на несколько порядков) превышающей время ее считывания, которое выполняется в рабочем режиме РПЗУ достаточно быстро.

Стирание информации выполняется либо для всей микросхемы, либо для определенного блока, либо для одной ячейки (байта). Стирание приводит все биты стираемой области в одно состояние

(обычно во все единицы, реже во все нули). Процедура стирания обычно существенно дольше записи.

В зависимости от способа стирания информации различают два типа РПЗУ:

– репрограммируемые ПЗУ с ультрафиолетовым стиранием (РПЗУ-УФ), – их обычно называют просто EPROM (Erasable PROM) или UV-EPROM (Ultra-Violet EPROM);

– репрограммируемые ПЗУ с электрическим стиранием (РПЗУ-ЭС или EEPROM).

В микросхемах РПЗУ в качестве запоминающих элементов (ЗЭ) используются два типа транзисторов: МОП-транзистор с «плавающим» затвором и МНОП-транзистор. Принцип работы МОП-транзисторов с «плавающим» затвором основан на лавинной инжекции зарядов (ЛИЗ), поэтому их также называют ЛИЗМОП-транзисторами. Существуют два вида ЛИЗМОП-транзисторов: МОП-транзисторы с одним «плавающим» затвором, которые применяются в микросхемах РПЗУ типа EPROM и МОП-транзисторы с двойным затвором (с «плавающим» и управляющим затворами). Последние более универсальны, они могут быть использованы в микросхемах EPROM и EEPROM.

Рассмотрим структуру ЛИЗМОП-транзистора с двойным затвором (рис. 5.28, а) и способ перезаписи информации в него. По существу ЛИЗМОП-транзистор это обычный nМОП-транзистор с управляющим затвором, который имеет еще дополнительный, так называемый «плавающий» затвор, представляющий из себя некоторую проводящую область (обычно из поликристаллического кремния), изолированную со всех сторон слоем диэлектрика.

В режиме программирования в область «плавающего» затвора вводится заряд электронов, для этого на управляющий затвор, сток и исток подаются импульсы положительного напряжения относительно большой амплитуды, которая для различных типов микросхем EPROM составляет 12–26 В (обычно указывается на корпусе микросхемы). При этом р-n-переходы сток-подложка и исток-подложка смещаются в обратном направлении, в них возникают лавинный пробой (лавинная инжекция заряда), и области стока и истока насыщаются электронами. Часть электронов, имеющих энергию, достаточную для преодоления потенциального барьера диэлектрика, проникает в «плавающий» затвор, где эти электроны после снятия высокого импульсного напряжения могут находиться очень

длительное время.

Под действием заряда электронов, введенного в «плавающий» затвор, увеличивается пороговое напряжение транзистора. Поэтому в диапазоне рабочих значений напряжения на управляющем затворе не создается проводящий канал в транзисторе. Если в «плавающем» затворе отсутствует заряд электронов, тогда ЛИЗМОП-транзистор функционирует как обычный nМОП-транзистор с одним управляющим затвором в ключевом режиме.

Стирание информации в РПЗУ в зависимости от их типов осуществляется двумя способами: ультрафиолетовым облучением и электрическими сигналами. В микросхемах EPROM стирание информации осуществляется ультрафиолетовым облучением. Для этого корпус микросхемы специально для стирания имеет прозрачное (стеклянное) окошко. Ультрафиолетовые лучи, направленные в окошко, позволяют заряду электронов покинуть «плавающий» затвор. Время стирания зависит от расстояния до источника облучения, его мощности, емкости микросхем и их типов, и в зависимости от этого составляет от пяти до нескольких десятков минут.

При ультрафиолетовом облучении информация стирается сразу во всей микросхеме. Кроме того, под воздействием ультрафиолетовых лучей свойство материалов постепенно ухудшается, что приводит к существенному сокращению числа циклов перепрограммирования микросхем EPROM. Число циклов перезаписи у российских микросхем РПЗУ-УФ равно 10–100 [17]. После программирования стеклянное окошко микросхем заклеивается для предотвращения стирания под действием солнечного и люминесцентного облучения.

Стирание информации в микросхемах EEPROM осуществляется электрическим способом. Для этого на управляющие затворы подается напряжение низкого уровня, а на стоки – импульсы высокого напряжения программирования (10–30 В) с длительностью более десятка миллисекунд, что приводит к значительному расходу энергии. Тем не менее электрическое стирание позволяет стирать информацию не со всей микросхемы, а выборочно (индивидуально для каждого адреса). Длительность процесса «стирание-запись» значительно меньше, а число перепрограммирования на несколько порядков больше (10^4 – 10^6 циклов перезаписи), чем у микросхем EPROM. Кроме того, перепрограммировать микросхемы EEPROM

можно не извлекая их из целевого устройства, в котором они работают. Микросхемы EEPROM с электрическим стиранием занимают больше места на кристалле, в связи с чем уровень их интеграции меньше, а стоимость больше по сравнению с микросхемами EPROM.

Схема подключения ЛИЗМОП-транзисторов с двойным затвором к линиям выборки строк и линиям считывания в матрицах ЗЭ EEPROM показана на рис. 5.29. В режиме программирования запись «0» в ЗЭ осуществляется путем ввода (инжекцией) заряда «горячих» электронов в плавающий затвор.

Удаление заряда из плавающего затвора, т. е. стирание информации приводит к установлению в ЗЭ логической 1, в этом случае выбранный транзистор открывается и через него передается на линию считывания напряжения высокого уровня (лог. 1).

Рассмотрим теперь структуру и принцип работы МНОП-транзистора (рис. 5.28, б), который в отличие от обычного МОП-транзистора имеет между металлическим затвором и полупроводником два различных слоя диэлектрика.

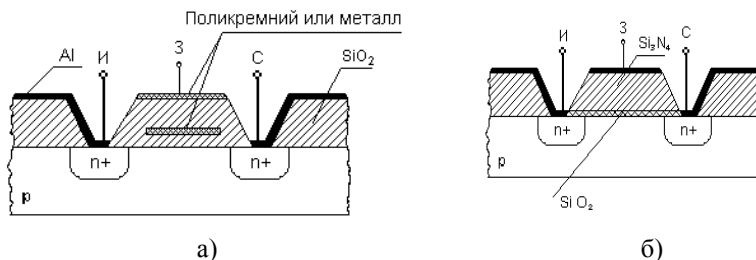


Рис. 5.28. Структура транзисторов типов ЛИЗМОП с двойным затвором (а) и МНОП (б)

Первый тонкий слой двуокиси кремния SiO₂ толщиной не более 5 нм наносится на поверхность подложки кристалла между стоком и истоком, далее на нем располагается второй более толстый слой нитрида кремния Si₃N₄. В таких структурах на границе раздела между диэлектрическими слоями, благодаря туннельному эффекту, может скапливаться электрический заряд. Этот заряд и является носителем информации, хранимой МНОП-транзистором, и его действие на проводимость (или на пороговое напряжение) аналогично действию заряда «плавающего» затвора.



Рис. 5.29. Схема подключения двухзатворного ЛИЗМОП-транзистора к линиям выборки и считывания

Запись информации в ЗЭ на МНОП-транзисторе осуществляется путем создания под затвором напряженности электрического поля, достаточной для возникновения туннельного перехода носителей заряда через тонкий слой двуокиси кремния. Если на границе раздела слоев присутствует заряд электронов, то он экранирует воздействие положительного напряжения на затворе МНОП-транзистора с каналом проводимости n-типа и тем самым повышает его пороговое напряжение. При этом рабочее значение напряжения на затворе не может создать в транзисторе проводящий канал, и он закрыт (ток стока транзистора равен 0). Если заряд на границе раздела слоев отсутствует (или имеет другой знак), то транзистор открывается рабочим значением напряжения (5 В). Таким образом, наличие или отсутствие заряда классифицируется как хранение сигналов лог. 0 или лог. 1.

МНОП-транзисторы используются в качестве ЗЭ микросхем EEPROM, которые являются энергонезависимыми и могут хранить информацию годами и десятками лет.

При программировании микросхем EEPROM применяются относительно высокие напряжения, порядка 20 В. После снятия высоких напряжений туннельный переход заряда электронов через тонкий слой диэлектрика SiO_2 прекращается и заданное транзистору пороговое напряжение сохраняется. Перед новой записью старая информация стирается путем удаления заряда электронов из границы раздела диэлектрических слоев, для чего на управляющий затвор и сток транзистора подаются напряжения низкого и высокого уровней, соответственно. Число циклов перепрограммирования микросхем EEPROM на МНОП-транзисторах составляет 10^4 – 10^6 .

Микросхемы EEPROM относительно небольшого объема памяти широко применяются в качестве энергонезависимой памяти конфигурирования различных адаптеров. Современные микросхемы EEPROM имеют более сложную внутреннюю структуру, в которую входит управляющий автомат. Это позволяет упростить внешний интерфейс, делая возможным непосредственное подключение к микропроцессорной шине, и скрыть специфические (и ненужные пользователю) вспомогательные операции типа стирания и верификации.

В заключение отметим, что все постоянные запоминающие устройства с общим названием ROM, как отмечено выше, являются энергонезависимыми ЗУ, которые сохраняют информацию при отключении питания. Такое свойство этих ПЗУ при их практическом применении с использованием варианта с импульсным питанием позволяет существенно снизить мощность потребления, улучшить тепловой режим их эксплуатации и повысить надежность функционирования. В варианте с импульсным питанием работа всех микросхем по входам CS постоянно разрешена, но напряжение источника питания подается не на все микросхемы модуля памяти, как в обычном варианте его построения (рис. 5.30, а), а только на ту микросхему, к которой имеется обращение, т. е. которая выбрана с помощью ключа, управляемого адресным дешифратором, декодирующим старшие разряды адреса (рис. 5.30, б).

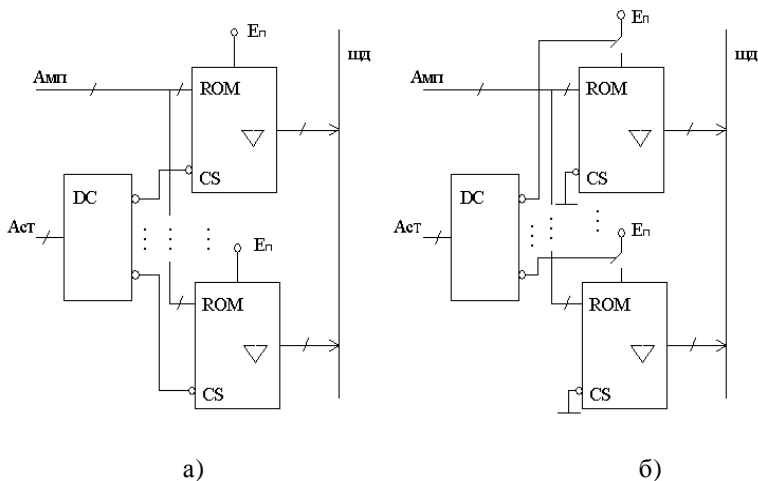


Рис. 5.30. Микросхемы постоянной памяти с обычным вариантом построения (а) и импульсным питанием (б)

Режим импульсного питания, хотя и предоставляет возможность экономичного использования энергии источника питания, однако и увеличивает время обращения к микросхемам ПЗУ при произвольных одиночных обращениях, т. к. после включения питания необходимо время для установления режима микросхем.

5.7. Флэш-память

Флэш-память (Flash-Memory) по типу ЗЭ и основным принципам работы относится к классу памяти EEPROM, однако имеет ряд архитектурных и структурных отличий. Во флэш-памяти стирание информации производится относительно просто, сразу для всей микросхемы памяти или блоками, (достаточно большими), объем которых составляет от 256 байт до 128 Кбайт. Благодаря этому упрощается схема флэш-памяти, обеспечивается высокая плотность упаковки, повышается надежность и производительность в режиме программирования, снижается энергия потребления и стоимость. Однако необходимость в замене одного слова во флэш-памяти требует перезаписи (стирания и новой записи) для всей микросхемы в целом, что нежелательно для многих применений. В этом отношении выгодно отличаются схемы флэш-памяти с блочной структурой. Число циклов репрограммирования для флэш-памяти достаточно велико, но при перезаписи запоминающие элементы постепенно “изнашиваются”.

Интерфейс микросхем флэш-памяти хорошо сочетается со стандартными сигналами, используемыми в микропроцессорных системах. Внутренние циклы стирания, записи и верификации выполняются автономно от шинных циклов внешнего интерфейса, что является существенным преимуществом перед микросхемами EPROM и EEPROM. Микросхемы флэш-памяти предпочтительнее EEPROM по информационной емкости и стоимости, где не требуется индивидуального стирания слов, а в отличие от EPROM, не требует специальных условий и аппаратуры для стирания данных, которое к тому же выполняется намного быстрее.

Существует большое многообразие микросхем флэш-памяти. Среди них наибольшее распространение нашли микросхемы Bulk

Erase, Boot Block и Flash File, которые отличаются друг от друга способами организации массива памяти, способами стирания и разбиения на блоки, по интерфейсу и т. д.

В микросхемах Bulk Erase стирание информации производится только для всей памяти, в связи с чем их целесообразно использовать для хранения редкообновляемых данных. Для таких микросхем однобайтной организации наиболее важными параметрами являются информационная емкость и скорость считывания, а число циклов стирания и записи не столь существенно.

Микросхемы Boot Block и Flash File, ориентированные на различные области применения, отличаются способом разбиения на блоки. Микросхемы Boot Block, имеющие одно- и двухбайтную организацию и несимметричную архитектуру, состоят из нескольких блоков разного размера, стираемых независимо. Один из блоков имеет дополнительные средства защиты от стирания и записи.

В микросхемах Flash File с симметричной архитектурой массив памяти организован в виде набора одинаковых блоков, стираемых независимо и равноправных по защите. В зависимости от типов микросхем защита от модификации может осуществляться поблочно или для всей микросхемы (подачей низкого напряжения программирования Vpp).

Основу всех микросхем флэш-памяти, как и в случае ЗУ других типов, составляет матрица запоминающих ячеек (накопитель), которая схемотехнически может быть реализована в базисе ИЛИ – НЕ или И – НЕ. В структурах флэш-памяти с накопителями в базисе ИЛИ – НЕ обеспечивается быстрый доступ к байтам (словам) при произвольной выборке и поэтому такие накопители широко используются в микросхемах с блочной структурой, в частности Flash File.

На рис. 5.31 показана структура матрицы запоминающих ячеек (ЗЭ) флэш-памяти, в которой логическую функцию ИЛИ – НЕ реализуют ЛИЗМОП-транзисторы с двойным затвором, включенные между собой параллельно. Разрядные линии выборки находятся под высоким положительным напряжением. Если на линии выборки строки имеется низкий уровень сигнала, тогда все транзисторы, подключенные к данной

строке, закрыты.

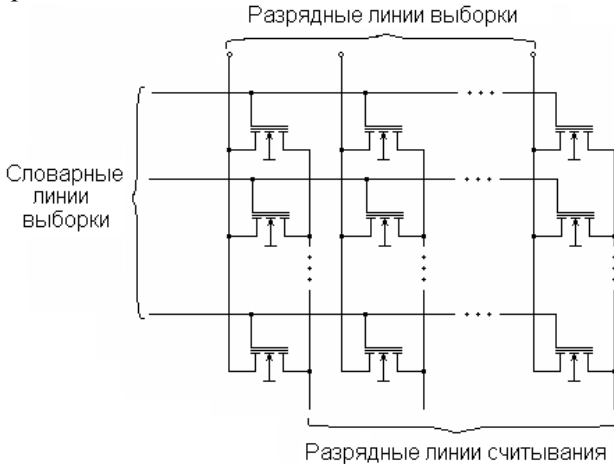


Рис. 5.31. Структура матрицы 3Я флэш-памяти в базисе ИЛИ – НЕ

Транзисторы выбранной строки (на линии выборки высокий уровень) открываются, если в “плавающих” затворах этих транзисторов присутствует заряд электронов. При этом через открытые транзисторы и разрядные линии считывания, присоединенные к их строкам, потекут токи. Если транзистор закрыт (“плавающий” затвор содержит заряд и у него повышенное пороговое напряжение), то ток через него и, следовательно, соответствующую разрядную линию считывания отсутствует. Считывание слова с произвольной выборкой обеспечивается такими же типичными сигналами управления, какие используются в микросхемах ROM и EPROM. Микросхемы с накопителями в базисе И – НЕ более компактны, но они не обеспечивают режимов произвольной выборки и имеют сложную схему обрания. Поэтому такие накопители применяются только в микросхемах Flash File.

Назначение сигналов, организация и принципы работы микросхем Bulk Erase, Boot Block и Flash File, а также микросхем флэш-памяти других типов, выпускаемых различными фирмами (например, AMD, Fujitsu Corporation и др.) подробно рассмотрены в работах [8, 17].

6. ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ МАТРИЦЫ И БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ

6.1. Программируемые логические матрицы

Программируемые логические матрицы (ПЛМ) представляют собой наиболее широко используемую форму двухуровневой реализации логических функций. В большинстве микропроцессорных СБИС имеется ПЛМ, управляющий информационным каналом. Имеются другие интегральные схемы, используемые для управления памятью, которые в основном состоят из ПЛМ. ПЛМ может также использоваться для реализации функции преобразования кодов, выполнения произвольных логических операций и т. д. Широкое применение ПЛМ получили по ряду причин:

- при помощи ПЛМ легко реализовать любую логическую функцию, при этом вероятность появления ошибок весьма мала (для этого достаточно на основе таблицы истинности или логических булевых уравнений получить характеристическую матрицу ПЛМ);
- программа автоматической разработки топологии ПЛМ не требует сложных алгоритмов и больших затрат машинного времени;
- в ПЛМ можно вносить технические изменения до последней минуты, не переделывая при этом соседние схемы;
- для ПЛМ известно множество методов минимизации топологии и генерации тестовых последовательностей для обнаружения неисправностей.

Рассмотрим вопросы реализации комбинационных схем на базе ПЛМ. При реализации логических функций с помощью ПЛМ обычно применяют логическую или функциональную оптимизацию, направленную на уменьшение числа членов нормальной дизъюнктивной формы, реализующей заданную функцию, что обеспечивает уменьшение площади, занимаемой ПЛМ, и улучшение электрических параметров.

Основу ПЛМ составляют последовательно соединенные матрицы логических элементов И и ИЛИ (рис. 6.1). Кроме того, комбинационная схема ПЛМ, предназначенная для реализации произвольной системы логической функции, содержит также входной и выходной буферные каскады (ВхБф и ВыхБф). На выходах матрицы логических элементов И формируются термы, число которых равно числу конъюнктов, связывающих входные переменные, представ-

ленные в прямой или инверсной форме. Дизъюнкция этих термов, поступающих на входы матрицы ИЛИ, образуют выходные функции. Число дизъюнкторов равно числу выходов матрицы ИЛИ. Таким образом, последовательное соединение матриц И и ИЛИ позволяет реализовать дизъюнктивно-нормальную форму логических функций произвольного вида.

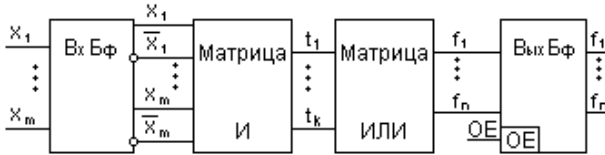


Рис. 6.1. Структурная схема ПЛИМ

Изменяя соединения элементов (путем пережигания плавких перемычек) в матрицах И и ИЛИ, т. е. программируя схему ПЛИМ, можно настраивать ее на реализацию конкретной системы функций с заданным числом термов и числом входных переменных. Входные переменные подаются на входы матрицы И через входные буферы ВхБф, в качестве которых обычно используют 1- или 2-входные дешифраторы. Выходы матрицы ИЛИ присоединяются к внешним цепям через буферные каскады ВыхБф с тремя состояниями, работа которых разрешается сигналом ОЕ. При этом выходные буферы обеспечивают необходимую нагрузочную способность выходов.

Рассмотрим систему логических функций четырех переменных:

$$f_1 = x_2 \bar{x}_3 + \bar{x}_1 x_4 + \bar{x}_2 x_3 x_4, \quad (6.1)$$

$$f_2 = \bar{x}_1 x_4 + \bar{x}_2 \bar{x}_4.$$

Структурная схема ПЛИМ, соответствующая этим уравнениям, приведена на рис. 6.2, а. В узлах пересечения строк и столбцов матриц И и ИЛИ показаны только те перемычки (перемычки отображены точкой в соответствующих узлах), которые необходимы для реализации заданной системы логических функций f_1 и f_2 , а остальные перемычки ликвидированы при программировании ПЛИМ.

В качестве элементов, соединяющих строки и столбцы матриц И и ИЛИ используются биполярные приборы: в матрице И – диоды, а в матрице ИЛИ – транзисторы (рис. 6.2, б и в). Обычно столбцы матриц И и ИЛИ называют разрядными шинами, а их строки – соответственно, входными и выходными шинами слов. Диоды, подклю-

ченные к каждой i -й разрядной шине, вместе с резистором этой шины и источником питания схемы реализуют логическую функцию И, т. е. образуют цепь конъюнктора, формирующего i -терм. Например, конъюнктор 2-й разрядной шины, на входы которого подаются, соответственно, инверсное и прямое значения переменных x_1 и x_4 с выходов дешифраторов D_1 и D_4 (рис. 6.2, а), формирует терм $t_2 = \bar{x}_1 x_4$. Этот терм подается на вход матрицы ИЛИ, на каждом из входов которой формируется дизъюнкция термов в соответствии с системой выходных функций (6.1). При этом каждая i -я функция f_i схемотехнически реализуется с помощью транзисторов i -й выходной шины, которые подключены параллельно относительно разрядных шин и работают по схеме с общим коллектором, образуя цепь дизъюнктора.

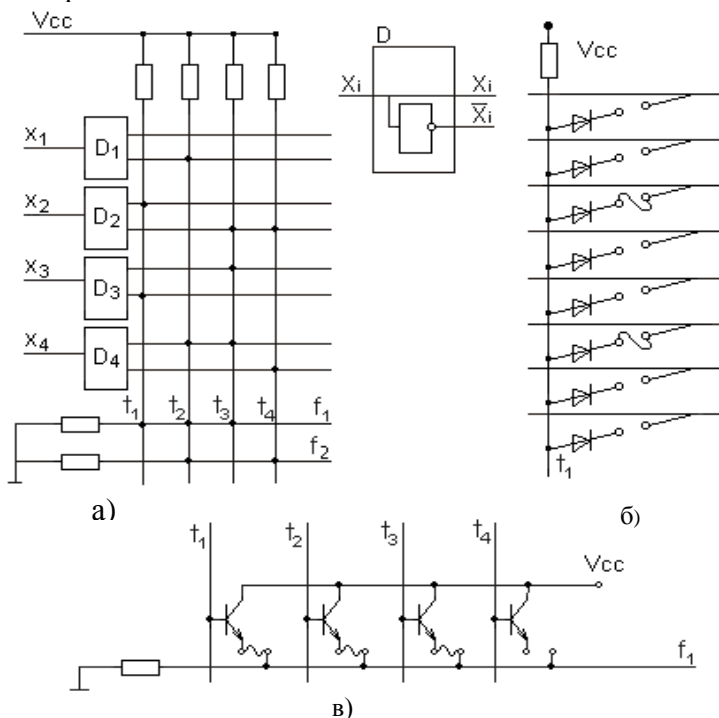


Рис. 6.2. Схема ПЛМ на основе матриц ЛЭ И и ИЛИ (а) и подключение диодов и транзисторов в матрицах И (б) и ИЛИ (в)

Рассмотрим особенности работы схемы ПЛИМ на рис. 6.2. Напряжение на первой разрядной шине (РШ) определяется только значениями переменных x_2 и x_3 и не зависит от значений переменных x_1 и x_4 , т. к. между данной РШ и входными шинами этих переменных отсутствуют электрические связи. Напряжение на первой РШ будет иметь высокий уровень и, следовательно, значение термина $t_1 = 1$ только тогда, когда на входных шинах x_2 и x_3 будет присутствовать высокий уровень напряжения, т. е. когда $x_2 = 1$, а $x_3 = 0$. При других значениях переменных x_2 и x_3 терм $t_1 = 0$. Терм второй разрядной шины $t_2 = 1$, если на шинах переменных x_1 и x_4 высокий уровень напряжения. Рассуждая аналогичным образом относительно других термов, можно сказать, что выходная функция, например f_1 , будет принимать значение логического нуля только тогда, когда все термы t_1, t_2 , и t_3 дизъюнктора соответствующей выходной шины равны нулю. Выходная функция f_1 равна логической единице, если хотя бы один из этих термов равен единице.

В программируемых логических матрицах, выпускаемых в виде СБИС, в качестве элементов связи между разрядными шинами и входными и выходными шинами слов широко используются МОП-транзисторы. В схемотехнике программируемых логических матриц, реализуемых на МОП-транзисторах, используются две матрицы ИЛИ-НЕ, одна из них формирует термы, например,

$$t_2 = \overline{x_1 + x_2} = \overline{x_1} \overline{x_2} \text{ и } t_4 = \overline{x_1 + x_3} = \overline{x_1} \overline{x_3},$$

а вторая – использует эти термы для выработки выходной функции.

На рис. 6.3, а показана схема ПЛИМ с двухступенчатой структурой типа ИЛИ – НЕ–ИЛИ – НЕ, выполненная на пМОП-транзисторах, которая реализует логические функции:

$$f_1 = \overline{(\overline{x_1 + x_2}) + (\overline{x_2 + x_3})} = \overline{\overline{x_1} \overline{x_2} + \overline{x_2} \overline{x_3}},$$

$$f_2 = \overline{(\overline{x_1 + x_2}) + (\overline{x_1 + x_3})} = \overline{\overline{x_1} \overline{x_2} + \overline{x_1} \overline{x_3}}.$$

Как видно из рис. 6.2 и 6.3, а, схемы ПЛИМ имеют регулярно повторяющуюся структуру и хорошо подходят для проектирования легко тестируемых комбинационных схем, реализуемых в виде СБИС. Благодаря этому синтез тестов для обнаружения неисправностей в ПЛИМ проще, чем построение тестовой последовательности

для обычных логических схем. Кроме того, для реализации логической схемы с помощью ПЛМ процедуры разработки топологии в части определения местонахождения блоков (как в случае проектирования СБИС типа вентиляционной матрицы) и выполнения соединений между ними не требуются. Такая ситуация вполне отвечает целям снижения стоимости проектирования ПЛМ, реализуемых, как правило, в виде СБИС.

Неисправности ПЛМ разделяют на константные неисправности дешифратора и контактные неисправности матриц И и ИЛИ. Константная неисправность (как неисправность класса логических), определяется как неисправность, которую можно представить в виде фиксации 0 или 1 на линиях распространения сигналов логической схемы. К контактным неисправностям относят отсутствие соединения в точках пересечения матриц, где они должны быть, и наличие соединения, где они должны отсутствовать.

Например, пусть имеются логические функции

$$f_1 = x_1 + x_2 \bar{x}_3 + \bar{x}_1 x_4 + \bar{x}_2 x_3 x_4,$$

$$f_2 = x_2 + \bar{x}_1 x_4 + \bar{x}_2 \bar{x}_4 + \bar{x}_2 x_3 x_4,$$

которые могут быть реализованы с помощью схемы ПЛМ (рис. 6.3, б). Теперь, если в точках **a** и **b** матриц присутствуют неисправности, как указано на рис. 6.3, б, то логические функции принимают вид

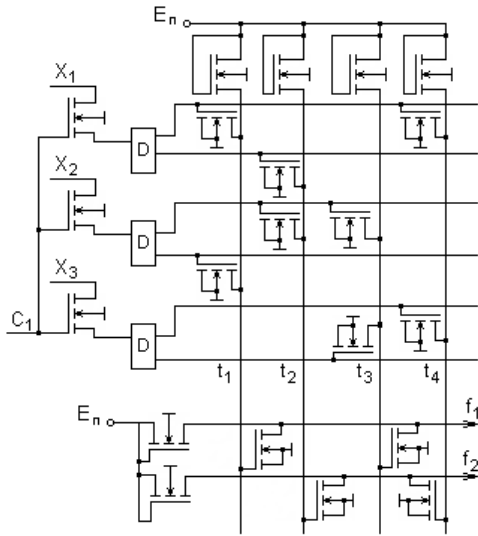
$$f_1^1 = x_1 + x_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 x_4,$$

$$f_2^1 = x_2 + \bar{x}_1 \bar{x}_2 x_4 + \bar{x}_2 \bar{x}_4 + \bar{x}_2 x_3 x_4.$$

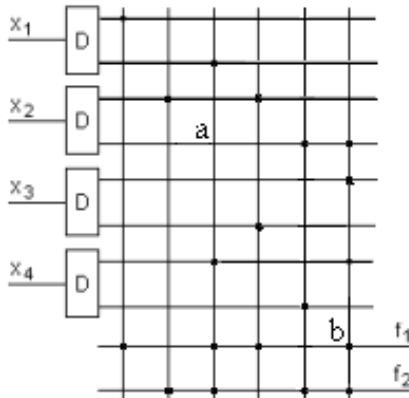
Для обнаружения контактной неисправности необходимо построить тестовую последовательность. Для того, чтобы узнать, есть ли контактная неисправность в точке **a**, можно подать входной набор $\bar{x}_1 = 1, \bar{x}_2 = 0, x_3 = 1, x_4 = 1$.

Тогда в случае $f_1 = 1$ неисправность отсутствует, а $f_1 = 0$ свидетельствует о наличии неисправности. Для обнаружения подобным образом контактных неисправностей необходимо выбрать входные наборы таким образом, чтобы появилось отличие от правильного значения возникающего или исчезающего терма. Следовательно, используя тестовые наборы в количестве, соответствующем точкам пересечения, можно составить множество тестов для реализуемой функции.

Для упрощения обнаружения неисправностей используют структуры расширенной ПЛИМ, в которые для построения тестовой последовательности вводят дополнительные схемы [9].



а)



б)

Рис. 6.3. Схема ПЛИМ со структурой типа ИЛИ – НЕ-ИЛИ – НЕ (а) и И – ИЛИ (б)

Для расширения функциональных возможностей ПЛМ в ее схему вводят:

- цепи обратной связи с использованием дополнительных внешних соединений входных и выходных выводов;
- дополнительные триггеры (обычно D-типа).

В случае введения цепи обратной связи в схему ПЛМ дизъюнктивная нормальная форма логических функций минимизируется с использованием ее экономичной скобочной формы представления. При этом промежуточные значения выходных функций повторно подаются на входы, что приводит к увеличению задержки формирования их окончательных значений. На рис. 6.4 показана схема ПЛМ, реализующая систему логических функций, которая после ее преобразования с использованием скобочной формы записи имеет вид

$$f_1 = x_1 x_2 + \bar{x}_1 \bar{x}_2 = \overline{x_1 \oplus x_2},$$

$$f_2 = (\bar{x}_1 \bar{x}_2 + x_1 x_2) \bar{x}_3 + (x_1 \bar{x}_2 + \bar{x}_1 x_2) x_3 = \overline{(x_1 \oplus x_2)} \oplus x_3.$$

Таким образом, мы рассмотрели, как программируемые логические матрицы могут быть эффективно использованы при построении комбинационных схем.

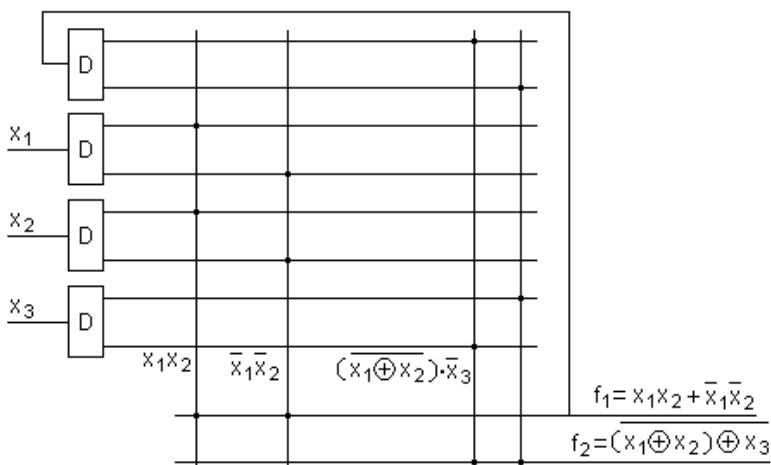


Рис 6.4. Схема ПЛМ при воспроизведении скобочной формы логических функций

Далее рассмотрим схему ПЛМ с дополнительными триггерами, которая имеет структуру, аналогичную структуре цифрового автомата, и называется программируемой логической матрицей с памятью. ПЛМ структуры с памятью используется для создания схем последовательностного типа. В качестве примера на рис. 6.5 показана схема двоично-десятичного (декадного) счетчика, построенного на основе ПЛМ с памятью, реализующей следующие логические уравнения:

$$\begin{aligned}
 (Q_1)^{n-1} &= Q_2 Q_3 Q_4 + Q_1 \bar{Q}_4; \\
 (Q_2)^{n-1} &= Q_2 \bar{Q}_3 + Q_2 \bar{Q}_4 + \bar{Q}_2 Q_3 Q_4; \\
 (Q_3)^{n-1} &= \bar{Q}_1 \bar{Q}_3 Q_4 + Q_3 \bar{Q}_4; \\
 (Q_4)^{n-1} &= \bar{Q}_4.
 \end{aligned}
 \tag{6.2}$$

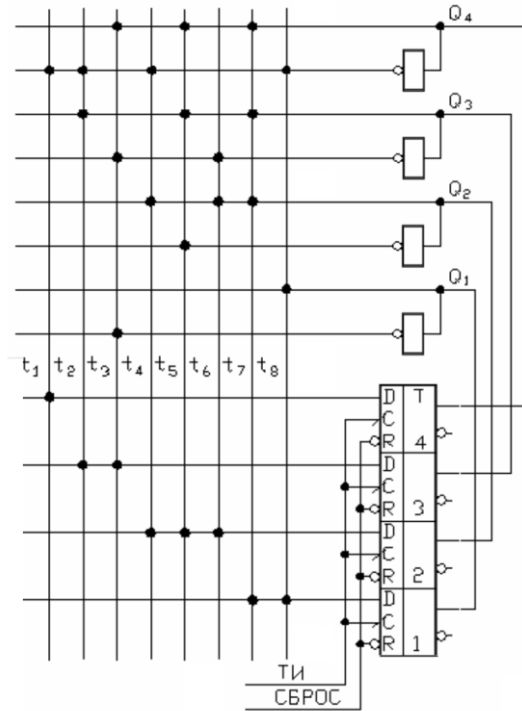


Рис. 6.5. Схема ПЛМ с памятью для построения двоично-десятичного счетчика

Уравнения (6.2) получены из карт Карно для каждого разряда (рис. 6.6), которые построены в соответствии с таблицей истинности счетчика (табл. 6.1). Разряд Q_1 , представляющий собой выход триггера 1-го разряда, будет равен логической 1, если предыдущее состояние счетчика было $\bar{Q}_1 Q_2 Q_3 Q_4$ или $Q_1 \bar{Q}_2 \bar{Q}_3 \bar{Q}_4$.

Таблица 6.1

Таблица истинности счетчика

| Моменты времени | Q_1 | Q_2 | Q_3 | Q_4 |
|-----------------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |

Выходы разрядных триггеров T_1 , T_2 , T_3 и T_4 являются сигналами обратной связи для матрицы И ПЛМ. Таким образом, на D вход триггера T_1 поступает сигнал, равный дизъюнкции термов t_7 и t_8 , т. е. $Q_2 Q_3 Q_4 + Q_1 \bar{Q}_4$. Отсюда сигнал на выходе триггера 1-го разряда $(Q_1)^{n-1}$ также равен этой величине (см. уравнение (6.2)), которая на следующем тактовом импульсе будет действовать по цепи обратной связи как сигнал Q_1 . Для других состояний счетчика все происходит аналогично.

При проектировании несложных устройств логическая мощность ПЛМ зачастую используется неполно. Например, при использовании систем переключательных функций, не имеющих больших пересечений друг с другом по одинаковым термам, возможность использования выходов любых конъюнкторов любыми дизъюнкторами (как предусмотрено в ПЛМ) становится излишним усложнением.

Отказ от этой возможности исключает процедуру программирования матрицы ИЛИ и приводит к структуре программируемой матричной логики (ПМЛ), которая главным образом применяется для

замены ИС малого и среднего уровня интеграции при реализации так называемой произвольной логики. В ПМЛ программируется только матрица И при жестко заданных соединениях матрицы ИЛИ (термы жестко распределены между ее входами). Так как в ПМЛ матрица ИЛИ фиксирована, т. е. между выходами матрицы И и входами матрицы ИЛИ жесткая связь, при ее изготовлении можно использовать более простую (в сравнении с ПЛИМ) хорошо отработанную технологию производства ППЗУ. Однако по сравнению с ПЛИМ схемы ПМЛ имеют ограниченную функциональную гибкость.

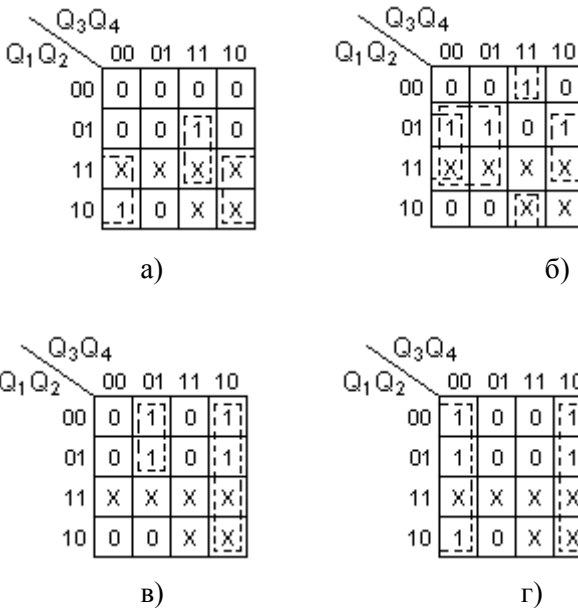


Рис. 6.6. Карты Карно для двоично-десятичного счетчика:
 а) карта для $(Q_1)^{n-1}$; б) карта для $(Q_2)^{n-1}$;
 в) карта для $(Q_3)^{n-1}$; г) карта для $(Q_4)^{n-1}$

Преимущества ПМЛ в основном проявляются при разработке электронных устройств, содержащих сравнительно небольшое число эквивалентных элементарных логических элементов 2 И – НЕ или 2 ИЛИ – НЕ (4000 ÷ 5000 логических элементов).

6.2. Базовые матричные кристаллы

При разработке современной электронной и вычислительной аппаратуры, в том числе компьютеров широко применяются большие и сверхбольшие интегральные схемы (БИС и СБИС). Наиболее успешно проблема проектирования и изготовления СБИС широкого класса решается на основе базовых матричных кристаллов (БМК), содержащих некоммутированные компоненты логических элементов (ЛЭ), регулярно расположенных на кристалле матричным способом. Другими словами, БМК, имеющий однородную структуру, служит «заготовкой», на базе которой создаются различные функциональные полужаказные схемы СБИС, называемые матричными.

Однородность структуры БМК обуславливает возможность эффективного применения САПР для проектирования топологии слоев межсоединений матричных СБИС, что обеспечивает повышение качества и снижение сроков и стоимости их проектирования.

Различные семейства БМК в качестве основных компонентов используют биполярные или МОП-транзисторы и отличаются типом логических элементов, реализуемых на их основе. Для создания быстродействующих матричных СБИС на биполярных транзисторах обычно используются элементы эмиттерно-связанной (ЭСЛ) и транзисторно-транзисторной (ТТЛ) логики. nМОП- и КМОП-элементы, которые потребляют очень малую мощность, используются в матричных СБИС, особенно при пониженной частоте переключения. Выбор типа транзистора и, соответственно, БМК определяется структурой, реализуемой матричной СБИС и требованиями к ее параметрам.

Конструкция БМК представляет собой прямоугольную многослойную пластину фиксированных размеров, на которой выделяются периферийную и внутреннюю области (ПО и ВО) (рис. 6.7).

В ПО располагаются контактные площадки (КП) для осуществления внешнего подсоединения и периферийные ячейки (ПЯ) для реализации буферных схем. Буферные схемы представляют собой трансляторы, согласующие уровни логических сигналов внутренних ЛЭ с уровнями сигналов на внешних линиях связи между СБИС и наоборот.

Основной областью БМК является область ВО, в которой в виде прямоугольной матрицы располагаются базовые ячейки (БЯ) для реализации элементов проектируемых схем. Базовая ячейка БМК представляет собой набор транзисторов, а в случае биполярных БМК и

резисторов, в который входит от нескольких единиц до нескольких десятков компонентов.

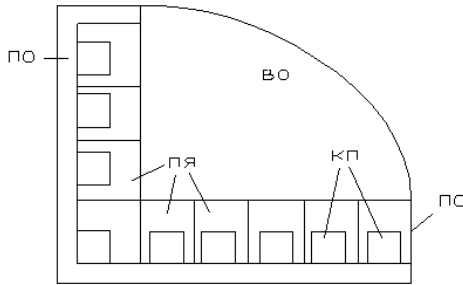


Рис. 6.7. Типовая структура БМК

Компонентный состав БЯ выбирается достаточным для реализации простейших функциональных логических элементов (ЛЭ). Для удобства топологического проектирования несколько БЯ группируются в макроячейку (МЯ), на которых могут быть реализованы достаточно сложные элементы (макроэлементы) из состава библиотечных функциональных элементов (рис. 6.8). Промежутки между МЯ называются трассировочным пространством, в котором размещаются шины питания и трассы металлических проводников, соединяющих БЯ в функционально законченную СБИС. При матричном расположении МЯ трассировочное пространство представляет собой горизонтальные и вертикальные каналы.

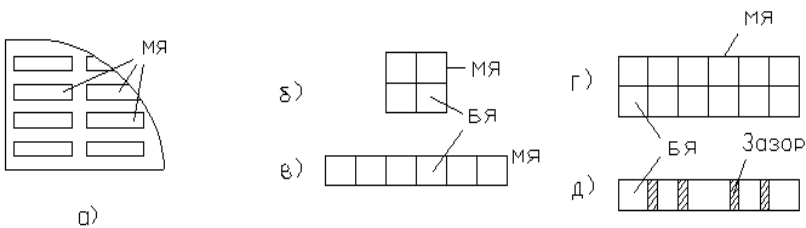


Рис. 6.8. Структура внутренней области (а) и макроячеек (б–д)

Такая конструкция БМК упрощает автоматизированную разработку топологии соединений БЯ при проектировании матричных СБИС. При реализации соединений на БМК часто возникает необходимость проведения трассы электрических соединений через область, занятую макроячейкой. Такую трассу называют транзитной. Для обеспечения

такой возможности допускается проведение соединения через область, занятую ячейкой, или соединение проводится через зазоры между ячейками. Первый способ может применяться, если в ячейке не реализуется элемент, или реализация элемента допускает использование фиксированных трасс и неподключенных выводов для проведения транзитной трассы. Таким образом, наряду с размещением ячеек «встык» (рис. 6.8, б–г), применяется размещение с зазорами (рис. 6.8, д), через которые могут проводиться трассы электрических соединений.

Особенностью ячейки является специальное расположение выводов, согласованное со структурой макроячейки, т. е. ячейки размещаются таким образом, чтобы выводы ячеек оказались на периферии МЯ. Так, в МЯ (рис. 6.8, в) выводы каждой базовой ячейки дублируются на верхней и нижней ее сторонах. При этом имеется возможность подключения к любому выводу с двух сторон ячейки, что создает благоприятные условия для трассировки при проектировании СБИС.

В макроячейке, показанной на рис. 6.8, г, выводы ячейки располагаются только на одной стороне, т. е. выводы ячеек верхнего ряда находятся на верхней стороне МЯ, а нижнего – на нижней. Применение таких МЯ позволяет уменьшить требуемую площадь кристалла, но приводит к ухудшению условий для трассировки. Поэтому данный тип МЯ используется только в базовых матричных кристаллах, содержащих несколько сотен вентилях. Следует отметить, что в некоторых типах БМК, кроме однотипных макроячеек, во внутренней области могут присутствовать специализированные МЯ, реализующие типовые функциональные узлы (например, запоминающие устройства ПЗУ и ОЗУ).

Трассировочное пространство между МЯ представляет собой систему ортогонально расположенных трасс, по которым проводятся металлические проводники для передачи электрических сигналов между элементами и разводки цепей питания – земля. В биполярных БМК используется многослойная система проводников, где обычно число слоев равно $K_{сл} = 2-4$, а в БМК высокой степени интеграции $K_{сл} = 6$ и более. При двухслойной разводке в первом (нижнем) слое выполняются соединения компонентов БЯ, реализующих схемы требуемых функциональных элементов и вертикальные отрезки соединений между этими элементами. Трассы первого слоя проходят в каналах между БЯ. Во втором (верхнем) слое проводятся горизонтальные отрезки соединений между функциональными элементами и шины питания. Трассы второго слоя размещаются по всей поверхности БМК.

В БМК с трехслойной системой соединений в верхний (третий) слой выносятся все шины питания. При этом, во-первых, появляется возможность увеличить число сигнальных трасс во втором слое, что упрощает разработку межсоединений, во-вторых, уменьшается падение напряжения на шинах питания, т. к. можно существенно увеличить их ширину. Все это улучшает характеристики СБИС.

В биполярных БМК высокой степени интеграции используется четырехслойная система соединений. В этом случае в первом (нижнем) слое реализуются все соединения компонентов БЯ, необходимые для формирования функциональных элементов. Второй и третий слои используются для проведения вертикальных и горизонтальных трасс, соединяющих макроэлементы в заданную структурную схему СБИС. Четвертый слой служит для разводки шин питания – земля и размещения контактных площадок. Таким образом, при повышении степени интеграции БМК возрастает число слоев металлизации, необходимых для эффективной реализации системы соединений. Увеличение числа слоев ($K_{сл} = 5-6$) и более позволяет исключить каналы между МЯ, т. е. перейти к бесканальной конструкции БМК, что повышает плотность размещения ячеек.

С ростом степени интеграции БМК увеличивается средняя длина связей, что снижает быстродействие матричных СБИС. Для интегральных микросхем малой и средней степени интеграции влияние межэлементных связей на кристалле были незначительны, т. к. площадь, занимаемая компонентами схем (транзисторами, диодами, резисторами), значительно превышает площадь, занимаемую линиями связи. Кроме того, задержки, вносимые элементами, реализованными на основе этих компонентов, более существенны, чем задержки в соединительных линиях связи. По мере повышения степени интеграции и перехода к СБИС межсоединения на кристалле, которые занимают все большую площадь, а также задержки в них начинают оказывать заметное влияние на все основные параметры матричных СБИС: быстродействие, площадь кристалла, надежность, помехоустойчивость, трудоемкость проектирования топологии и др. Поэтому кристаллы матричных СБИС нужно рассматривать уже не только как систему функциональных элементов, реализованных на основе различных типов компонентов, но и как систему межсоединений, топология которых зависит существенно от того, как насколько успешно разрешены проблемы размещения функциональных элементов и трассировки.

Конструктивные параметры БМК существенно зависят от компонентного состава БЯ и, следовательно, МЯ. Выбор компонентного состава БЯ определяется схмотехникой базового элемента (ЭСЛ, ТТЛШ или пМОП и КМОП), проектируемого БМК, а также номенклатурой функциональных элементов в библиотеке, на основе которых будут проектироваться матричные СБИС. Для реализации более сложных функциональных элементов (макроэлементов), например, дешифраторов, мультиплексоров и т. д., используются компоненты несколько рядом расположенных БЯ, которые объединены в МЯ.

Базовые ячейки БМК ЭСЛ обычно содержат ряд нескоммутированных резисторов и транзисторов, соединением которых реализуются одно-, двух- и трехъярусные элементы ЭСЛ. Базовые матричные кристаллы на основе ЭСЛ имеют высокое быстродействие, что очень важно для создания на их основе сверхскоростных СБИС. Однако состав периферийных элементов БМК ЭСЛ имеет существенно большую неоднородность, чем состав матрицы БЯ. На периферии БМК ЭСЛ располагаются выходные и входные трансляторы, источники опорных напряжений и контактные площадки. Поэтому размещение на периферии БМК таких неоднородных элементов и их трассировка представляют значительные трудности и в результате приводит к увеличению размера кристалла и длины металлических соединений.

Отметим, что в ряде типов БМК, например, в БМК ТТЛШ используются базовые элементы, уровни сигналов которых совпадают с уровнями сигналов на внешних линиях связи. В таких БМК входные и выходные трансляторы могут отсутствовать. Обеспечивая достаточно высокое быстродействие при умеренном потреблении мощности, элементы ТТЛШ обладают также рядом других достоинств: высокой помехоустойчивостью, широким диапазоном рабочих температур, относительно низкими требованиями к стабильности напряжения питания. Благодаря указанным достоинствам, различные элементы ТТЛШ широко применяются в качестве базовых при проектировании ряда БМК, на которых реализуются матричные СБИС для различных областей применения, в том числе для создания широкой номенклатуры цифровых устройств современных компьютеров.

Известно, что с повышением степени интеграции приходится соответственно (из-за тепловых ограничений) снижать потребляемую каждым ЛЭ мощность. В результате этого быстродействие биполярных СБИС ограничивается (практически не возрастает). Схмотехника типовых биполярных СБИС характеризуется значительным

потреблением мощности в статическом режиме. Большая ее часть расходуется на тепловое рассеивание, в то время как очень малая часть энергии от источника питания идет на переключение ЛЭ.

КМОП логические элементы характеризуются значительно меньшей потребляемой мощностью в статическом режиме. Очень малое потребление энергии и непрерывный рост быстродействия КМОП ЛЭ по мере уменьшения проектных литографических норм делают их основными конкурентами ЭСЛ- и ТТЛ-элементов при создании сверхскоростных матричных СБИС.

На практике наиболее широко используются базовые ячейки КМОП БМК, содержащие 2, 4 или 5 пар комплементарных транзисторов с каналами n- и p-типа проводимости. Набор таких БЯ позволяет реализовать все наиболее сложные логические функции при высоком коэффициенте использования транзисторов.

Следует отметить, что при реализации сложных функциональных элементов, например, сумматора, регистра и т. д., несколько БЯ объединяются и образуют КМОП-ячейки второго уровня сложности. Эффективное использование БМК типа КМОП при реализации функциональных элементов разного уровня сложности становится возможным при использовании принципа «плавающих» границ БЯ. В этом случае БМК содержит множество последовательно соединенных n- и p-канальных транзисторов, расположенных параллельными рядами. При этом, запирая пару n- и p-канальных комплементарных транзисторов в нужных местах данной последовательности, можно получить требуемое число пар транзисторов, необходимое для реализации функциональных элементов произвольной сложности (для запирающей пары комплементарных транзисторов, затвор nМОП-транзистора присоединяется к шине земли, а затвор pМОП-транзистора – к шине питания).

Таким образом, библиотека функциональных элементов (БФЭ) матричных СБИС на основе КМОП БМК содержит элементы с тремя уровнями сложности. Первый уровень сложности представляется ЛЭ, например, 2 И – НЕ, 2 ИЛИ – НЕ, 2И – ИЛИ – НЕ и т. д. Элементы второго уровня представляют собой такие функциональные узлы, как дешифраторы, сумматоры, мультиплексоры, сдвигатели и т. д. Элементы третьего уровня представляют собой законченные функциональные устройства (например, АЛУ, умножители, микропроцессоры, контроллеры).

Известны два подхода к созданию быстродействующих КМОП БМК высокой степени интеграции, которые ориентированы на проектирование широкой номенклатуры матричных СБИС различного назначения и создание матричных СБИС определенного класса, например, элементной базы для устройств цифровой обработки сигналов.

Первый подход предполагает применение БМК общего назначения, обладающих широкими функциональными возможностями, позволяющих реализовать широкий спектр различных ЛЭ. Для этого класса БМК характерны однородность используемых ячеек, высокий уровень стандартизации и унификации параметров рабочего поля кристалла.

Второй подход к созданию КМОП БМК высокой степени интеграции предполагает использование специализированных кристаллов, содержащих в своем составе функционально завершенные блоки (ОЗУ, ПЗУ, АЛУ), специализированные элементы – макроячейки (триггеры, регистры и т. д.).

На рис. 6.9 показаны основные варианты конструкций КМОП БМК общего назначения, предполагающие использование:

- горизонтальных каналов для трассировки логических ячеек, расположенных параллельными рядами (рис. 6.9, а);

- «море ячеек» («море вентиляей»), в этом случае все рабочее поле БМК заполнено одинаковыми ячейками, каналы для трассировки межсоединений не выделяются (рис. 6.9, б);

- универсальной (перестраиваемой) конструкции БМК, в которой реализуется принцип «плавающих» границ ячеек (рис. 6.9, в).

В конструкции БМК с горизонтальными каналами логические элементы, реализованные на основе базовых ячеек и расположенные на рабочем поле кристалла параллельными рядами, размещаются в рядах вплотную друг к другу (рис. 6.9, а).

Такая конструкция БМК широко используется при создании матричных СБИС, содержащих до 100 тыс. транзисторов.

Наибольшей гибкостью обладают конструкции БМК, показанные на рис. 6.9, в, позволяющие динамически адаптировать параметры рабочего поля к проектируемой СБИС, изменять ширину, положение и число каналов для трассировки, варьировать число рядов ячеек, расположение ячеек на БМК и т. д.

КМОП БМК высокой степени интеграции типа «море вентиляей» и с перестраиваемой структурой позволяют организовать нисходящее и

восходящее иерархическое проектирование матричных СБИС [1, 4], при котором осуществляется разделение сложной функционально-логической структуры по принципу «сверху – вниз», т. е. разбиение ее на отдельные блоки с приемлемыми размерами, а размещение блоков и трассировка межсоединений в последовательности – от нижнего уровня к верхнему.

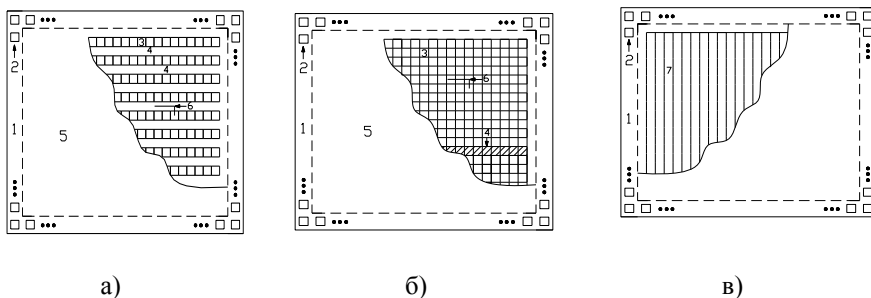


Рис. 6.9. Вариант конструкций КМОП БМК: с горизонтальными каналами для трассировки (а), “море вентиляей” (б) и универсальной структуры с “плавающими границами ячеек” (в): 1 – ПО; 2 – КП; 3 – БЯ; 4 – каналы для трассировки; 5 – ВО; 6 – соединения; 7 – столбцы с линейками последовательно включенных транзисторов

Следует отметить, что иерархическое проектирование топологии матричных СБИС на основе КМОП БМК предполагает применение средств автоматизированного проектирования, соответствующей библиотеки функциональных элементов и эффективного разбиения СБИС на блоки требуемых размеров.

7. СВЕРХБОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

7.1. Общие сведения о СБИС

В связи с дальнейшим развитием техники сверхбольших ИС (СБИС) и, соответственно, повышением степени интеграции продолжается широкое применение СБИС в самых различных областях электроники и в первую очередь в области компьютерных систем. Однако с повышением степени интеграции СБИС происходит увеличение затрат на их разработку и изготовление и, следовательно, увеличение стоимости кристалла (СБИС). Для снижения стоимости СБИС необходимо увеличить объем производства СБИС. Если исходить из требования ориентации на массовое производство, то представляется целесообразным, чтобы СБИС были по мере возможности универсальными. К универсальным относятся микропроцессорные (МП-) СБИС и СБИС запоминающих устройств (ЗУ). В этих СБИС в пределах одного кристалла реализуются функции, общие для различных систем, или же функции, которые могут быть сделаны общими. Универсальность МП-СБИС и СБИС ЗУ, называемых также стандартными (см. рис. 7.1), позволяет изготавливать их с большой тиражностью и, следовательно, с относительно малой стоимостью, что приводит к расширению круга потребителей. Объем производства МП-СБИС и СБИС ЗУ, рынок которых практически неограничен, составляет более 5 млн. шт. в год [17]. Поэтому стоимость разработки таких СБИС всегда окупается.

К стандартным ИС относятся также микросхемы малой и средней степени интеграции (МИС и СИС). Эти микросхемы реализуют стандартные элементы и узлы, функционирование которых никак не определяется конкретными потребителями. Микросхемы МИС и СИС так же, как и МП-СБИС и СБИС ЗУ, производятся массовыми тиражами и имеют обширный рынок, что благоприятно для снижения их стоимости.

В каждой системе, наряду со стандартными, присутствуют и некоторые нестандартные части, специфичные для данной разработки. Это относится к схемам управления блоками, обеспечения их взаимодействия и др. Реализация нестандартной части системы обычно была связана с применением микросхем МИС и СИС. Однако применение МИС и СИС сопровождается резким ростом числа корпусов ИС, усложнением монтажа, снижением надежности системы и ее

быстродействия. Поэтому в этих случаях целесообразно использовать специально спроектированные для данной системы СБИСы, называемые специализированными.

Современная электронная промышленность выпускает широкий спектр специализированных БИС и СБИС, предназначенных для применения в нестандартной цифровой аппаратуре. В разработке таких СБИС, а также и других микросхем (например, МП-СБИС и СБИС ЗУ) участвуют только зарубежные фирмы, такие как Xilinx, Altera, Actel, AMD (все США) и др.

При разработке специализированных СБИС ставятся такие цели:

- выполнение функций, которые не могут быть реализованы с помощью стандартных микросхем;
- улучшение характеристик электронных схем;
- уменьшение габаритов, массы, потребляемой мощности, а также повышение надежности системы путем выполнения большого количества логических функций на одном кристалле.

По критерию участия потребителя в реализации конкретной функции специализированные БИС и СБИС разделяют на заказные и полузаказные. К полузаказным относятся СБИС на БМК и СБИС с программируемыми и репрограммируемыми структурами (рис. 7.1), которые также для краткости называются СБИС программируемой логики (СБИС ПЛ).

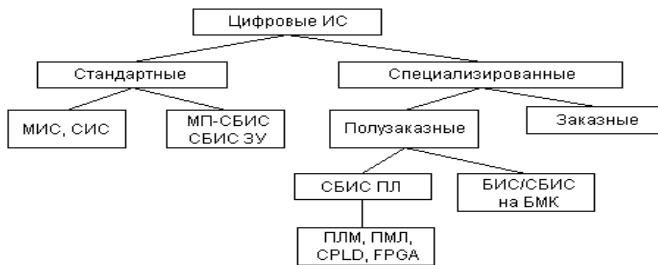


Рис. 7.1. Классификация цифровых ИС

Заказные сверхбольшие ИС разрабатываются на основе схемных элементов и функциональных блоков, специально сконструированных под определенный кристалл. Технологические слои заказных СБИС проектируются по индивидуальным фотошаблонам, причем, в отличие от других технологий проектирования, для всех технологических слоев

изготавливаются единые маски. Полностью заказное исполнение выбирается в тех случаях, когда необходимо уменьшить размеры кристалла или реализовать функцию, которая невыполнима, или неоптимальна в варианте стандартных или полузаказных ИС. Минимизация размеров кристалла позволяет в свою очередь снизить стоимость изготовления кристалла, поскольку в этом случае увеличивается количество кристаллов на пластину и повышается процент выхода годных изделий, который экспоненциально зависит от площади кристалла. Однако заказные СБИС очень дороги и имеют сравнительно длительные циклы проектирования из-за больших затрат на их разработку и изготовление, что обуславливается, главным образом, медлительностью ручного метода проектирования, для которого характерна также высокая вероятность ошибок.

Указанные выше проблемы нашли разрешения на путях разработки СБИС программируемой логики: СБИС CPLD (Complex Programmable Logic Devices) и FPGA (Field Programmable Gate Arrays), которые являются дальнейшим развитием микросхем ПЛМ, ПМЛ и БМК.

7.2. Классификация СБИС программируемой логики

Область применения СБИС программируемой логики (СБИС ПЛ), которые являются перспективными, достаточно широка, на них могут быть построены не только крупные блоки систем, но и системы в целом, включая ЗУ и процессоры.

На рис. 7.2 приведена классификация СБИС ПЛ по конструктивно-технологическому типу программируемых элементов. Для получения заданной структуры схемы в СБИС ПЛ используются специальные программируемые двухполюсные элементы, выполняющие функцию управляемых ключей. Управляя состоянием этих ключей (замкнут или разомкнут), пользователь может реализовать выполнение конкретной функции на стандартной СБИС.

В современных СБИС ПЛ в качестве таких программируемых ключей используются следующие элементы:

- переключки типа antifuse (русский термин отсутствует);
- nМОП-транзисторы с двойным затвором и лавинной инжекцией заряда (ЛИЗМОП-транзисторы);
- ключевые транзисторы, управляемые триггерами памяти конфигурации.

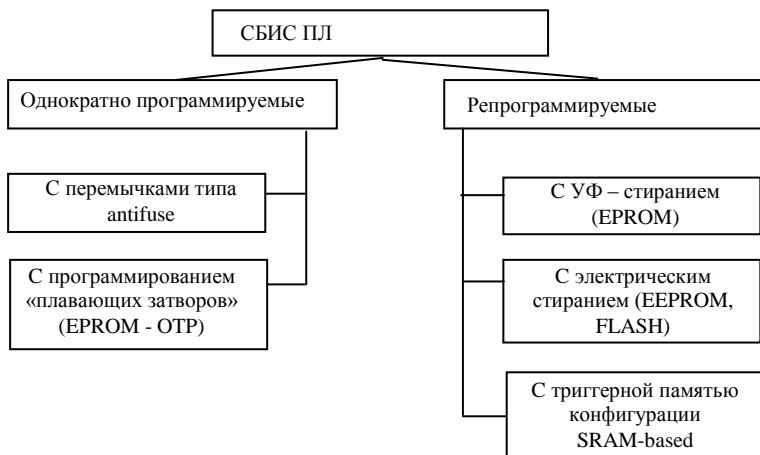


Рис.7.2. Классификация СБИС ПЛ по конструктивно-технологическому типу программируемых элементов

Перемычки типа antifuse используются в однократно программируемых СБИС ПЛ. Структура программируемой перемычки, которая образована трехслойным диэлектриком с чередованием слоев Oxid – Nitrid – Oxid (ONO) показана на рис. 7.3. Перемычки типа ONO отличаются высоким качеством, компактностью и имеют очень малые токи в непроводящем (исходном) состоянии, около одного фемтоампера ($1 \text{ фА} = 10^{-15} \text{ А}$).

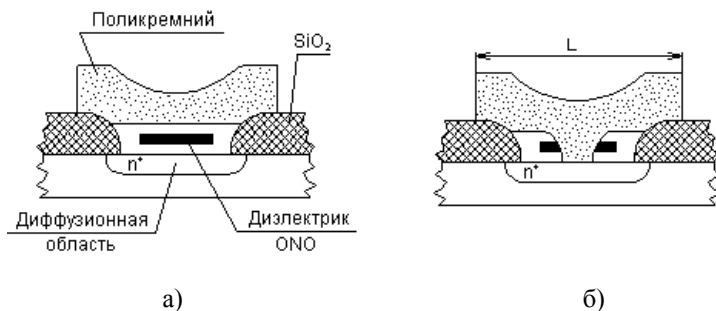


Рис. 7.3. Структура перемычки типа ONO до (а) и после (б) программирования

Проводящий канал из поликремния между электродами (одним электродом является поликремний, а другим – диффузионная область n^+) создается под воздействием программирующего импульса напряжения, который пробивает перемычку. При этом диаметр проводящего поликремниевого канала и, следовательно, сопротивление перемычки зависят от величины тока, создаваемого импульсом напряжения. Так, например, при токе 5 мА сопротивление перемычки $R_{пер}$ составляет около 600 Ом, а при токе 15 мА $R_{пер}$ резко уменьшается, $R_{пер} = 100$ Ом. Конструктивный размер L перемычки зависит от топологической нормы используемой технологии. Для топологической нормы 1 мкм паразитная емкость перемычки составляет менее 10 фФ (фемтофарада) [17].

ЛИЗМОП-транзисторы с плавающим затвором используются в СБИС ПЛ точно так же, как и в репрограммируемых ПЗУ типа EPROM и EEPROM, в качестве программируемых элементов. Стирание информации в СБИС с репрограммируемой структурой в зависимости от типов ЛИЗМОП-транзисторов (с одним или двойным затворами) осуществляется двумя способами: ультрафиолетовым облучением и электрическим способом. В СБИС с репрограммируемой структурой, реализованных на основе схмотехнологии EPROM, стирание информации осуществляется ультрафиолетовым облучением с предварительным извлечением микросхемы из устройства. Для этого корпус микросхемы, специально для стирания, имеет прозрачное (стеклянное) окошко, наличие которого приводит к удорожанию микросхемы. При этом информация стирается сразу во всей микросхеме. Время стирания, которое зависит от расстояния до источника облучения, его мощности и объема микросхемы, составляет несколько десятков минут. Под воздействием ультрафиолетовых лучей свойство материалов постепенно деградируется, что приводит к значительному сокращению числа циклов перепрограммирования СБИС ПЛ на основе схмотехники EPROM. После программирования, которое осуществляется с помощью программатора, стеклянные окошки заклеивают для предотвращения стирания под действием солнечного или люминесцентного облучения.

Следует отметить, что некоторые микросхемы, похожие по виду и обозначению на СБИС, стираемые ультрафиолетом, не имеют окна. Они упакованы в дешевый пластмассовый корпус и используются в однократно программируемых СБИС ПЛ.

Стирание информации в репрограммируемых СБИС ПЛ на основе схемотехники EEPROM осуществляется электрическим способом. При этом не требуется извлечения микросхемы из устройства, в котором она работает. Однако процесс перепрограммирования информации требует значительного расхода энергии, который выражается в необходимости приложения относительно высокого напряжения стирания (10–30 В) и длительности импульса стирания более десятка микросекунд [8]. Тем не менее электрическое стирание позволяет стирать информацию не со всей микросхемы, а выборочно (индивидуально для каждого адреса). Длительность процесса стирания – запись значительно меньше (около миллисекунды [17]), а число перепрограммирования на несколько порядков больше (10^4 – 10^6 циклов перезаписи), чем у СБИС ПЛ на основе схемотехники EPROM. В то же время микросхемы ПЛ на основе EEPROM занимают больше места на кристалле и, следовательно, их уровень интеграции меньше, а также больше их стоимость по сравнению с СБИС ПЛ на основе EPROM. Однако в последние годы схемотехника EEPROM совершенствуется, их структура улучшается, в результате чего они находят более широкое применение, все больше вытесняя из рынка сбыта схемотехнику EPROM.

Как отмечено выше, в качестве программируемого ключа в СБИС ПЛ может быть использован также транзисторный ключ, управляемый триггером памяти конфигурации («теневым» ЗУ), схема которого приведена на рис. 7.4.

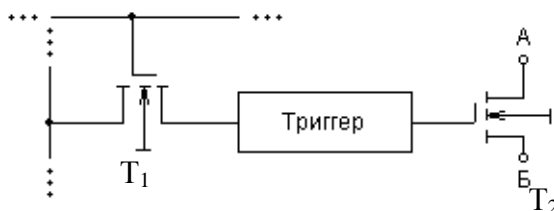


Рис. 7.4. Схема транзисторного ключа, управляемого триггером памяти конфигурации

Суть программирования заключается в том, что управляемый транзисторный ключ T_2 , в зависимости от состояния триггера памяти, либо замыкает участок схемы АБ (при этом T_2 открыт, и его сопротивление очень мало), либо его размыкает (T_2 закрыт,

его сопротивление почти равно бесконечности). При этом состояние триггера памяти, соответствующее лог. 1, или лог. 0, зависит от той информации, которая поступает с линии записи-считывания (ЛЗС), когда открыт транзистор T_1 . А это происходит только в режиме программирования, когда на линии выборки устанавливается высокий уровень напряжения. В рабочем режиме на линии выборки имеется низкий уровень напряжения, при котором транзистор T_1 закрыт, а триггер памяти, и, следовательно, транзисторный ключ T_2 сохраняют свои прежние состояния.

Основным требованием к триггеру памяти является его компактность, стабильность работы и устойчивость состояний, а требование к его быстродействию нежесткое. Таким образом, программирование СБИС ПЛ осуществляется путем записи соответствующей информации в триггер памяти конфигурации. Процесс программирования СБИС ПЛ осуществляется оперативно и может производиться неограниченное количество раз. Триггеры памяти конфигурации распределены по всему кристаллу СБИС вперемешку с элементами схемы, которые они конфигурируют. В СБИС ПЛ с триггерной памятью конфигурация разрушается при каждом выключении питания. При включении питания необходим процесс программирования (инициализации, конфигурирования) схемы – загрузка данных конфигурации из какой-либо энергонезависимой памяти, что требует времени порядка десятков и даже сотен миллисекунд, если речь не идет о специальных СБИС ПЛ с так называемым оперативным репрограммированием [17].

Репрограммирование СБИС ПЛ с триггерной памятью конфигурации производится в том же режиме, что и рабочий режим, путем записи кодовой последовательности в цепочку триггеров. Стирание информации как специфический процесс воздействия на запоминающие элементы, требующий относительно длительных операций, вообще устранено.

СБИС ПЛ, уступающие по уровню интеграции матричным БИС, в отличие от них, выпускаются как полностью готовые, в них реализованы уже не только логические элементы, триггеры и т. п., но и межсоединения. Потребитель СБИС ПЛ не обращается к их изготовителю для выполнения каких-либо завершающих операций, т. к. программирование выполняет самостоятельно. Это дает основания отнести СБИС ПЛ к стандартной продукции, что сопровождается известными преимуществами – массовостью производства и снижением стоимости. При разработке СБИС ПЛ, как и в случае

других СБИС, одной из важных проблем является проблема уменьшения мощности потребления. Одним из путей решения данной проблемы является снижение напряжения источника питания. В связи с этим в современных БИС и СБИС ПЛ используют источники питания с различными номиналами напряжения: кроме стандартного 5 В, еще напряжения 3,3 В; 2,7 В; 1,8 В и даже 1,5 В.

Известно, что из-за малой помехоустойчивости сигналов низкого уровня их передача по линиям внешней связи невозможна. Поэтому в СБИС ПЛ применяются два номинала напряжения источника питания: повышенное (5 В) для схем ввода/вывода данных и меньшее (3,3 В и 2,7 В) для питания основных логических схем и накопителей памяти. Отсюда следует, что в разных областях кристалла будут использованы транзисторы с различными пороговыми напряжениями.

Для быстродействующих низковольтных схем разрабатывается глубоко субмикронная технология КМОП, обеспечивающая очень малую мощность потребления. С другими способами понижения мощности потребления читатель может ознакомиться самостоятельно [8, 17].

7.3. Программируемые пользователем вентиляные матрицы (FPGA)

Программируемые пользователем вентиляные матрицы (ППВМ или FPGA) являются дальнейшим развитием технологической линии базовых матричных кристаллов (БМК), на основе которых создаются полузаказные БИС и СБИС. Полузаказные БИС и СБИС на основе БМК более просты в изготовлении: начальные этапы их технологии являются общими, различны они лишь на заключительных стадиях их производства. Таким образом, БМК, который называется также вентиляной матрицей с масочным программированием, т. е. МРГА (Mask Programmable GAs), представляет собой стандартный полуфабрикат, который доводится до готового изделия с помощью индивидуальных межсоединений. Потребитель может реализовать на основе БМК некоторое множество устройств (БИС) определенного класса, задав для кристалла тот или иной рисунок межсоединений компонентов, что требует изготовления лишь небольшого числа фотосаблонов. При этом полуфабрикаты производятся в массовом количестве без ориентации на конкретного потребителя. Стоимость и длительность цикла проектирования полузаказных БИС на основе БМК, называемых матричными БИС (МаБИС), в сравнении с заказными

СБИС сокращаются в 3–4 раза. Однако матричные БИС, по сравнению с заказными, имеют более низкое быстродействие. Кроме того, в них менее рационально используется площадь кристалла, т. к. часть элементов МаБИС оказывается избыточной (не используется в данной схеме), из-за того, что взаимное расположение элементов и пути межсоединений не являются наилучшими и, следовательно, длины связи неминимальными. Эти недостатки в определенной степени устранены в программируемых потребителем вентиляльных матрицах, которые топологически сходны с канальными БМК. Основу вентиляльной матрицы составляет множество регулярно расположенных на кристалле базовых ячеек (БЯ), между которыми имеются свободные зоны (трассировочные каналы) для создания соединений. Базовые ячейки, называемые также логическими блоками (ЛБ), занимают внутреннюю область (ВО) кристалла, в которой они располагаются в заранее предусмотренном порядке (обычно в цепочку). В периферийной области (ПО) кристалла размещаются контактные площадки, объединенные с буферами ввода/вывода, набор схемных компонентов которых ориентирован на реализацию связей кристалла (вентиальной матрицы) с внешними цепями. Базовые ячейки представляют собой набор схемных элементов (нескоммутированных и частично скоммутированных), регулярно повторяющийся на определенной площади кристалла.

Применяются следующие способы организации БЯ:

- из элементов БЯ может быть сформирован один ЛЭ (например, И – НЕ или ИЛИ – НЕ), а для реализации более сложных функций используется несколько элементов;

- из элементов БЯ может быть сформирован любой функциональный узел (триггер, мультиплексор и т. д.), а состав элементов ячейки определяется схемой самого сложного узла.

Обычно поставщик вентиляльных матриц предопределяет и полностью описывает набор ЛЭ в матрице, так что разработчик осуществляет проектирование не на транзисторном, а на вентиляльном уровне. Далее создание СБИС с заданной структурой сводится к автоматическому выбору (с помощью САПР) из БФЭ надлежащих вентилялей, размещению их на кристалле и трассировке межсоединений (определению рисунка соединений между ЛЭ).

При проектировании СБИС на основе вентиляльных матриц стремятся наилучшим образом сбалансировать число БЯ, трассировочные ресурсы кристалла и число контактных площадок для подключения буферов ввода/вывода. Неудачное соотношение между

указанными параметрами может существенно ограничивать полноту использования ресурсов кристалла при разработке СБИС. Проектирование СБИС на основе вентиляльных матриц с БЯ в виде простых ЛЭ И – НЕ, ИЛИ – НЕ и т. д., широко применяемые инженерами-системотехниками, отличаются сравнительной простотой. Применение в вентиляльной матрице простых ЛЭ (в качестве БЯ), обладающих большой гибкостью использования, предоставляет возможность реализовать воспроизводимые функции различными способами, обеспечивающими компромиссное решение проблемы минимизации площади кристалла – повышения быстродействия. Вместе с тем данный вариант реализации БЯ вентиляльной матрицы имеет и недостатки: например, при надлежащем выборе базового кристалла для группы изделий снижается эффективность использования площади кристалла из-за сложности системы межсоединений, обусловленной большим числом программируемых точек связи.

Данная проблема в определенной степени может быть решена с помощью стандартных ячеек. При проектировании микросхем на основе стандартных ячеек, как и в случае вентиляльных матриц, предполагается наличие у разработчика предварительно разработанной и описанной библиотеки ЛЭ с заранее спроектированным рисунком внутренних межсоединений. Однако в этом случае топология кристалла разрабатывается только после того, как схема спроектирована. В результате этого в кристалле оказывается столько элементов, контактных площадок и буферов ввода/вывода, сколько необходимо для создания данной конкретной СБИС. Изготовление СБИС на стандартных ячейках начинается с самых первых этапов технологического процесса, в то время как в случае вентиляльных матриц могут использоваться готовые кристаллы-полуфабрикаты уже в конце – на этапе создания соединений. Соответственно цикл изготовления для вентиляльных матриц на несколько недель короче, чем для схемы на стандартных ячейках. Стандартные ячейки характеризуются рядом дополнительных ограничений, например, постоянством высоты ячейки, заранее заданным расположением шин питания и тактовых сигналов и т. д. Главной причиной этих ограничений является упрощение проблемы разработки программного обеспечения САПР для размещения и трассировки. Вместе с тем успешное решение данной проблемы является чрезвычайно сложным.

В этой связи более широкое распространение получили СБИСы на основе вентиляльных матриц с базовыми ячейками (логическими блоками (ЛБ)), представляющими собой не простые ЛЭ, а законченные функциональные элементы. В таких вентиляльных матрицах в качестве БЯ (или

ЛБ) могут быть использованы различные по своим типоразмерам и функциональным возможностям блоки, например, мультиплексоры, триггеры, ППЗУ и т. д. Применение в вентильных матрицах таких крупных логических блоков, реализующих более сложные функции, чем простые ЛЭ, приводит к упрощению программируемой части межсоединений. Однако для кристаллов больших размеров результаты автоматического проектирования СБИС на вентильных матрицах с применением крупных и различных по величине блоков существенно уступают результатам ручного проектирования. При этом неэффективно используется площадь кристалла (часть элементов блоков оказывается избыточной), а также происходит потеря быстродействия.

Подробная информация о системах коммутации FPGA, с которой читатель может ознакомиться самостоятельно, дана в [17].

В качестве примера приведем некоторые наиболее известные программируемые пользователем вентильные матрицы FPGA, к которым относятся БИС/СБИС семейств XC2000, XC3000, XC4000, XC5000 и Spartan фирмы Xilinx. Среди FPGA с перемычками типа antifuse более известны семейства ACT1, 1200XL, ACT3, 3200DX фирмы Actel, используемые, в частности, в космической аппаратуре США [17, 19, 20].

7.4. Сложные программируемые логические ИС (CPLD)

Наряду с рассмотренными выше программируемыми потребителем вентильными матрицами (FPGA), в настоящее время различными предприятиями электронной промышленности (в основном США и Японии) выпускаются и широко применяются сложные программируемые логические ИС (ПЛИС) и СБИС ПЛ смешанной архитектуры (FLEX). Сложные ПЛИС, называемые также CPLD (Complex Programmable Logic Devices), архитектурно являются дальнейшим развитием микросхем ПЛИМ (PAL) и ПМЛ (CAL). Программируемые пользователем полузаказные логические ИС поставляются потребителю в конструктивно законченном виде, и программирование производится электрическим способом.

Архитектурно CPLD состоит из программируемой матрицы соединений (ПМС), множество функциональных блоков (ФБ) и блоков ввода и вывода (БВВ), которые как обычно расположены в периферийной области кристалла. Структурная схема CPLD приведена на рис. 7.5. Функциональные блоки CPLD аналогично ПЛИМ содержат последо-

вательно соединенные матрицы ЛЭ И и ИЛИ, а также некоторые другие элементы, расширяющие функциональные возможности.

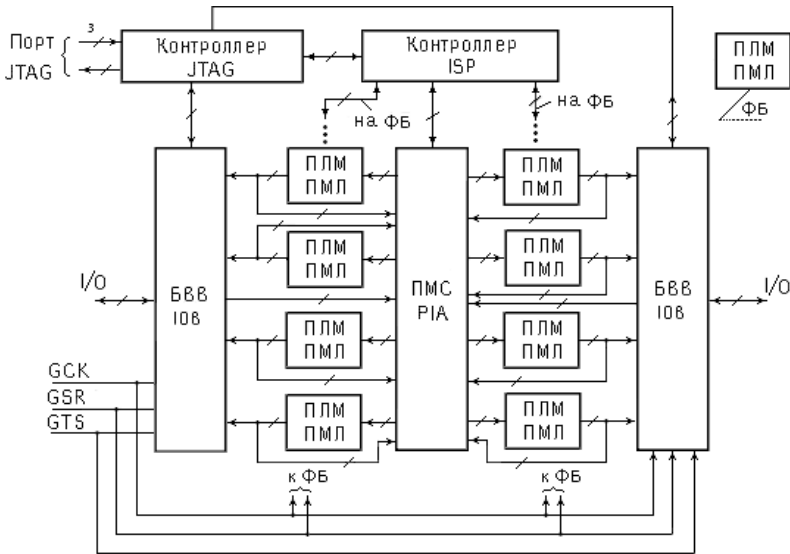


Рис. 7.5. Структурная схема CPLD

Каждый элемент И (конъюнктор) имеет 2 n входов, которые соединяют его со всеми n-линиями входных сигналов и их инверсиями. На входах конъюнкторов формируются термы, дизъюнкция которых поступает на входы элементов ИЛИ, образуя на их выходах логические функции произвольного вида. В линии связи включены специальные переключки (программируемые ключи), которые могут быть разрушены с помощью подачи определенных импульсов тока или напряжения заданной амплитуды и длительности. Таким образом, программируя эти ключи, можно изменить соединения элементов в схемах ФБ, и тем самым настраивать ее на реализацию конкретной системы функций с заданным числом термов и числом входных переменных.

В программируемых логических ИС (CPLD), в отличие от типичных для FPGA систем сегментированных линии связей различной длины, соединяемых между собой посредством программируемых ключей, используется непрерывная или одномерно непрерывная система связи. При этом все связи идентичны, что

позволяет упростить проектирование и изготовление схем высокого быстродействия, а так же дает возможность предсказания задержек сигналов в связях. Программируемая матрица соединений, называемая также коммутационной матрицей, позволяет соединить выход каждого ФБ. Входы ФБ связаны с горизонтальными линиями, которые пересекают все вертикальные линии коммутационной матрицы. Между этими горизонтальными и вертикальными линиями имеются программируемые точки связи, с помощью которых вход каждого ФБ может быть подключен к выходу любого другого ФБ. Таким образом, программируемая матрица соединений обеспечивает полную коммутируемость функциональных блоков. Внутри самих ФБ может быть использована локальная система коммутации, аналогичная глобальной. Представителями CPLD являются микросхемы MAX700 (фирма Altera), имеющие триггерную память конфигурации и EEPROM.

СБИС ПЛ смешанной архитектуры (FLEX) является усовершенствованным вариантом CPLD с улучшенной архитектурой, появление в составе которого триггерной памяти конфигурации обусловлено освоением глубоко субмикронной технологии и многослойных металлизаций. Информацию о микросхемах семейства FLEX читатель может найти в [17].

В заключение отметим, что большая часть заказных и полузаказных БИС/СБИС разрабатывается на основе КМДП- и nМДП-технологии. Следующими по объему производства идут быстродействующие биполярные БИС и технология на основе арсенида галлия. Однако негибкость технологического процесса при изготовлении биполярных БИС создает определенные трудности. С точки зрения простоты технологического процесса изготовления nМДП и КМДП СБИС лучше, чем биполярные БИС. Применение МДП-транзисторов в СБИС по сравнению с биполярными транзисторами обеспечивает уменьшение площади кристалла (другими словами, повышение степени интеграции), обусловленное малыми физическими размерами элементов схемы (МДП-транзисторов), а также обеспечивает высокий процент выхода годных изделий, что приводит к снижению стоимости на единицу площади кристалла.

ЧАСТЬ ВТОРАЯ

СХЕМОТЕХНИКА АНАЛОГОВЫХ ЭЛЕКТРОННЫХ УСТРОЙСТВ

В настоящее время разработано большое число аналоговых ИС как общего, так и специального назначения. При разработке аналоговых электронных устройств наибольшее применение находят следующие интегральные схемы: операционные усилители, преобразователи и компараторы (схемы сравнения) аналоговых сигналов и ИС для взаимного преобразования аналоговой и цифровой информации.

8. ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ И ТИПОВЫЕ СХЕМЫ НА ИХ ОСНОВЕ

8.1. Основные параметры и характеристики операционного усилителя

Основными схемотехническими элементами практически всех аналоговых электронных устройств, а также аналого-цифровых и цифро-аналоговых преобразователей являются операционные усилители (ОУ), которые обладают высокими точностными характеристиками и большим коэффициентом усиления при разомкнутой обратной связи.

Условное графическое обозначение ОУ и его эквивалентная схема показаны на рис. 8.1, из которого видно, что ОУ имеет два входа и один выход. Вход 1 называется неинвертирующим, т. к. изменение в положительном направлении напряжения, приложенного ко входу 1, приводит к положительному изменению напряжения на выходе ОУ. Вход 2 называется инвертирующим, т. к. положительное приращение напряжения на этом входе вызывает изменение выходного напряжения в отрицательном направлении. Если разность входных напряжений $U_{вх1}$ и $U_{вх2}$ мала, то выходное напряжение ОУ определяется как

$$U_{вых} = K_{У0} (U_{вх1} - U_{вх2}) = K_{У0} U_{диф}, \quad (8.1)$$

где K_{U0} – собственный коэффициент усиления ОУ по напряжению $U_{\text{диф}}$; $U_{\text{диф}}$ – дифференциальное входное напряжение, определяемое как разность напряжений между неинвертирующим и инвертирующим входами.

Из выражения (8.1) следует, что ОУ не дает реакции на выходе на синфазное изменение входных напряжений, т. к. в этом случае дифференциальное входное напряжение равно нулю. В то же время значение K_{U0} обычно очень велико, поэтому ОУ обеспечивает достаточно высокий коэффициент усиления для дифференциального входного напряжения.

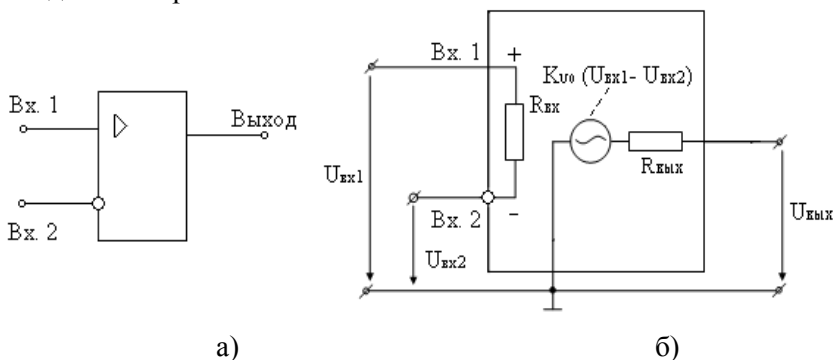


Рис. 8.1. Условное графическое обозначение операционного усилителя (а) и его эквивалентная схема (б)

Обычно операционные усилители строятся на основе двух- или трехкаскадных усилителей постоянного тока. Трехкаскадный ОУ, структурная схема которого показана на рис. 8.2, состоит из входного, согласующего и выходного каскадов усиления. В качестве входного каскада ОУ обычно используют дифференциальный усилитель (ДУ). Применение ДУ обусловлено тем, что он позволяет получить достаточно большое усиление и максимально высокое входное сопротивление между неинвертирующим и инвертирующим входами. Кроме того, из-за высокой идентичности параметров транзисторов входного каскада существенно снижается несимметрия ДУ, следовательно, максимально уменьшается величина дрейфа напряжения смещения и подавляются действующие на входе усилителя синфазные

составляющие напряжения, вызванные изменением температуры и других эксплуатационных воздействий.

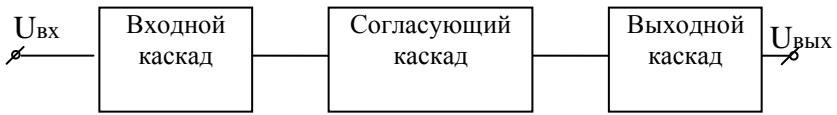


Рис. 8.2. Структурная схема трехкаскадного операционного усилителя

Во втором (согласующем) каскаде также применяется дифференциальный усилительный каскад, который имеет непосредственную связь с входным каскадом ОУ, увеличивает его стабильность и обеспечивает усиление по току и напряжению, а также согласование фаз сигналов.

Выходной каскад выполняется по двухтактной схеме обычно на комплементарных транзисторах и обеспечивает необходимое усиление сигнала по мощности, а также изменение выходного напряжения в требуемом диапазоне при заданном минимальном сопротивлении нагрузки или максимальном токе в цепи нагрузки. Для получения выходного напряжения обоих знаков питание ОУ осуществляется двухполярным источником напряжения (+ $E_{П}$, - $E_{П}$) со средним выводом. Средний вывод этого источника обычно является общей шиной для входных и выходных сигналов и в большинстве случаев не подключается к ОУ.

Современные ОУ, имеющие в основном двухкаскадную структуру, изготавливаются с помощью интегральной технологии в виде микросхем и находят широкое применение для построения самых разнообразных аналоговых и импульсных электронных устройств с точно синтезированной передаточной функцией. Возможности применения ОУ в тех или иных электронных устройствах зависят от его электрических параметров, основные из которых рассматриваются ниже.

Коэффициент усиления по напряжению K_{U0} , определяемый как $K_{U0} = U_{\text{ВЫХ}} / U_{\text{ДИФ}}$, характеризует способность ОУ усиливать подаваемое на его входы дифференциальное напряжение $U_{\text{ДИФ}}$. Для идеального ОУ $K_{U0} = \infty$, а для реального ОУ значение K_{U0} на нулевой частоте составляет $\sim 10^5$ – 10^6 или 100–120 дБ. ОУ из-за некоторой несимметрии характеристик транзисторов дифференциального каскада, не-

полностью подавляет синфазное напряжение $U_{\text{вх сф}}$, приложенное к его обоим входам и тем самым вносит погрешность в выходное напряжение, несмотря на то, что в этом случае $U_{\text{дифф}} = 0$. Данное свойство ОУ характеризуется коэффициентом ослабления синфазного сигнала $K_{\text{ос сф}}$, который позволяет сравнить различные типы ОУ, а также оценить вносимую ОУ погрешность. Коэффициент $K_{\text{ос сф}}$ определяется как

$$K_{\text{ос сф}} = 20 \lg (K_{\text{У0}} / K_{\text{сф}}),$$

где $K_{\text{сф}} = U_{\text{вых}} / U_{\text{вх сф}}$ – коэффициент усиления синфазного входного напряжения. Значение $K_{\text{ос сф}}$ для идеального ОУ должно быть бесконечно большим, а для реального ОУ составляет 50–70 дБ.

Напряжение смещение $U_{\text{см}}$ – это напряжение балансировки (смещения), которое необходимо приложить между входами ОУ для того, чтобы напряжение на его выходе было равно нулю. Напряжение смещение обусловлено, в основном неидентичностью падений напряжений база-эмиттер транзисторов входного дифференциального каскада, из-за которой появляется постоянное напряжение на выходе ОУ в отсутствие сигнала на входе.

Входной ток $I_{\text{вх}}$. Для обеспечения рабочего режима работы транзисторов входного дифференциального каскада ОУ необходимы базовые токи смещения (или в случае полевых транзисторов токи утечки затворов), которые могут создавать падения напряжения на элементах внешней цепи ОУ и вызывать дополнительное смещение нулевого уровня напряжения $U_{\text{вых}}$. Для оценки влияния этих токов и используется входной ток $I_{\text{вх}}$, который определяется как $I_{\text{вх}} = (I_{\text{вх1}} + I_{\text{вх2}}) / 2$, где $I_{\text{вх1}}$ и $I_{\text{вх2}}$ – входные базовые токи смещения, протекающие во входных (инвертирующем и неинвертирующем) выводах ОУ. Типовое значение входных базовых токов смещения составляет от 50 нА до 5 мкА, а токи утечки полевых транзисторов входного каскада ОУ имеют значение менее 1 нА.

Разность входных токов $\Delta I_{\text{вх}}$. Базовые токи смещения входных транзисторов ОУ отличаются друг от друга из-за неидентичности их характеристик и вносят существенную погрешность даже при равенстве сопротивлений источника сигнала. Параметр – разность входных токов $\Delta I_{\text{вх}}$ характеризует степень отличия этих токов, т. е. показывает, на сколько один выходной ток отличается от другого. Разность токов $\Delta I_{\text{вх}}$, определяемая как

$\Delta I_{\text{вх}} = I_{\text{вх1}} - I_{\text{вх2}}$, имеет значение, равное $\sim 1 \text{ нА} - 10 \text{ мкА}$.

Входное сопротивление $R_{\text{вх}}$. Различают дифференциальное входное сопротивление $R_{\text{вх диф}}$ и синфазное входное сопротивление $R_{\text{вх сф}}$ (сопротивление между входом и общей шиной). Дифференциальное входное сопротивление зависит от типа транзисторов входного каскада ОУ и имеет значение, равное от единиц килоом до десятков мегаом. Входное сопротивление $R_{\text{вх сф}}$ синфазному сигналу имеет значение более 100 Мом, поэтому его влиянием можно пренебречь.

Выходное сопротивление ОУ $R_{\text{вых}}$ определяется сопротивлением его выходного каскада и его значение составляет десятки ом – единицы килоом. Сопротивление $R_{\text{вых}}$ оказывает существенное влияние на амплитуду выходного напряжения, особенно при работе ОУ на малое сопротивление нагрузки. Все ОУ рассчитаны на выходной ток $I_{\text{вых}}$, определяющий минимальное сопротивление нагрузки при номинальном выходном напряжении. Значение $I_{\text{вых}}$ находится в пределах (1–20) мА. Скорость нарастания выходного напряжения $V_{\text{Увых}}$ характеризует динамические (частотные) свойства ОУ при его работе с большими сигналами ступенчатой формы и имеет значение $\sim (0,1-200) \text{ В/мкс}$.

Время установления выходного напряжения $t_{\text{уст}}$ служит для оценки динамических характеристик ОУ и определяется как интервал времени, в течение которого выходное напряжение ОУ изменяется от уровня 0,1 своего номинального значения до уровня 0,9 от этого номинального значения выходного напряжения.

Частота единичного усиления f_1 – это частота, на которой значение коэффициента усиления $K_{\text{во}}$ уменьшается до 1. Частота f_1 лежит в пределах от 0,2 МГц (для низкочастотных ОУ) до десятков МГц и выше для высокочастотных ОУ).

Диапазон выходного напряжения. Диапазон изменения выходного напряжения зависит от значений напряжений источника питания, структуры выходного каскада и нагрузки, подключаемой к выходу операционного усилителя.

Практически все рассмотренные выше параметры зависят от условий эксплуатации, прежде всего от температуры. Чувствительность ОУ к изменению внешних воздействий характеризуется такими параметрами, как температурные дрейфы напряжения смещения, входного тока и разности входных токов, дрейф напряжения

смещения при изменении напряжений питания и т. д. Температурный дрейф представляет собой изменение напряжения или тока при изменении температуры окружающей среды на 1°C . Ряд параметров устанавливает ограничения на максимальные и минимальные значения напряжений питания, на предельно допустимые значения входных напряжений $U_{\text{вх диф}}$ и $U_{\text{вх сф}}$, выходного тока $I_{\text{вых}}$ и потребляемой мощности, а также на диапазон рабочих температур.

В зависимости от значений основных параметров и области применения различают следующие типы операционных усилителей:

- операционные усилители с малым входным током (входной дифференциальный каскад ОУ построен на полевых транзисторах);

- быстродействующие широкополосные операционные усилители (характеризуются высокой скоростью нарастания выходного напряжения, малым временем установления, высокой частотой единичного усиления);

- прецизионные (высокоточные) операционные усилители, используемые для усиления малых электрических сигналов (характеризуются малым значением напряжения смещения и его температурным дрейфом, большими значениями коэффициентов K_{uo} и $K_{\text{uo сф}}$ и входного сопротивления $R_{\text{вх}}$ и низким уровнем шумов);

- многоканальные операционные усилители;

- мощные и высоковольтные операционные усилители (выходной ток ≥ 100 мА, а выходное напряжение ≥ 15 В);

- микромощные операционные усилители с автономным питанием (ток потребления менее 1 мА).

Передаточные и частотные характеристики ОУ

В данном параграфе, не претендуя на полноту изложения, кратко рассмотрим передаточную, амплитудно-частотную и фазочастотную характеристики операционных усилителей, используемых в аналоговых электронных устройствах.

Передаточная характеристика, представляющая собой зависимость вида $U_{\text{вых}} = f(U_{\text{диф}})$ для неинвертирующего входа операционного усилителя, показана на рис. 8.3. Передаточная характеристика, как видно из рисунка, расположена в двух квадрантах, что объясняется применением в качестве питания ОУ двухполярного источника напряжения $(+E_{\text{п}}, -E_{\text{п}})$ со средним выводом. Отсюда также видно, что передаточная характеристика не проходит через начало координат. У различных микросхем операционных усилителей одного и того же типа

эта характеристика может проходить как слева, так и справа от начала координат. Заранее предсказать точное положение передаточной характеристики невозможно. Значение дифференциального напряжения, при котором напряжение на выходе ОУ равно нулю ($U_{\text{вых}} = 0$), как отмечено ранее, называется напряжением смещения $U_{\text{см}}$ (или напряжением смещения нуля). Для того, чтобы передаточная характеристика проходила через начало координат, т. е., для того, чтобы $U_{\text{вых}}$ было равно нулю или $U_{\text{диф}} = 0$, применяют различные способы компенсации напряжения смещения (балансировка, коррекция нуля, настройка нуля). В некоторых ОУ для компенсации напряжения смещения предусмотрены специальные выводы балансировки.

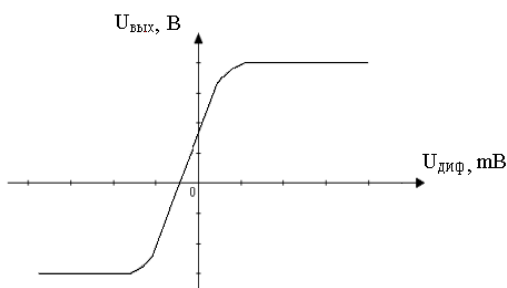


Рис. 8.3. Передаточная характеристика ОУ

В других ОУ такие выводы отсутствуют, в этом случае на входы операционного усилителя, кроме усиливаемого сигнала, необходимо подавать напряжение балансировки, компенсирующее напряжение смещения.

На передаточной характеристике выделяют области усиления и насыщения, соответствующие двум режимам работы ОУ: режиму усиления (линейному или активному режиму) и режиму насыщения. Режиму усиления соответствует участок (область усиления) передаточной характеристики, где наблюдается наибольшая скорость изменения выходного напряжения, которое линейно зависит от дифференциального напряжения, т. е. $U_{\text{вых}} = K_{\text{uo}} U_{\text{диф}}$.

Участки передаточной характеристики, которые находятся вне области усиления, называются областями насыщения. Для этих областей, соответствующих режиму насыщения, характерно постоянство значений выходного напряжения или изменений

дифференциального напряжения. Обычно считается, что в режиме насыщения выполняется условие

$$U_{\text{вых}} = + E_{\text{п}} - 3 \text{ В (или } U_{\text{диф}} > 0) \text{ или } U_{\text{вых}} = - E_{\text{п}} + 3 \text{ В (или } U_{\text{диф}} < 0),$$

где $+ E_{\text{п}}$ и $- E_{\text{п}}$ – напряжения питания. В приближенных расчетах иногда считают, что в режиме насыщения $U_{\text{вых}} = + E_{\text{п}}$ или $U_{\text{вых}} = - E_{\text{п}}$. Нетрудно заметить, что чем больше коэффициент усиления K_{uo} при заданных напряжениях $+ E_{\text{п}}$ и $- E_{\text{п}}$, тем меньше тот диапазон значений дифференциального напряжения $U_{\text{диф}}$, который соответствует режиму усиления. Если заранее известно, что операционный усилитель работает в режиме усиления, то при практических расчетах обычно дифференциальное напряжение принимают равным нулю.

Реальные электронные устройства, построенные на основе операционного усилителя, практически всегда имеют коэффициент усиления значительно меньше K_{uo} , т. к. в них используется отрицательная обратная связь.

Коэффициент усиления по напряжению ОУ K_{uo} уменьшается с увеличением частоты f . В последнем случае также возникает сдвиг по фазе φ между напряжениями $U_{\text{вых}}$ и $U_{\text{диф}}$. При этом предполагается, что напряжения $U_{\text{вых}}$ и $U_{\text{диф}}$ изменяются по синусоидальному закону. В общем случае коэффициент усиления является комплексной величиной, что отражает наличие фазовых искажений усиливающего дифференциального сигнала. Таким образом, для учета частотной зависимости K_{uo} удобно использовать комплексный коэффициент усиления по напряжению K_{uo} : $K_{\text{uo}} = U_{\text{вых}} / U_{\text{диф}}$, где $U_{\text{вых}}$ и $U_{\text{диф}}$ – комплексные значения переменных напряжений $U_{\text{вых}}$ и $U_{\text{диф}}$, соответственно. На практике при анализе многокаскадных усилителей широко используют логарифмические единицы оценки коэффициента усиления, который выражается в децибеллах и определяется как

$$|K_{\text{uo}}| \text{ дБ} = 20 \lg |K_{\text{uo}}| .$$

На рис. 8.4 показаны амплитудно-частотная (а) и фазочастотная (б) характеристики для ОУ типа К140 УД8. По оси ординат отложены значения $|K_{\text{uo}}|$ дБ, а по оси абсцисс отложены значения частоты в логарифмическом масштабе.

Как видно из рис. 8.4 модуль коэффициента усиления $|K_{uo}|$ и сдвиг по фазе начинают уменьшаться уже при частотах порядка 10 Гц. Однако, несмотря на это, многие типы ОУ могут вполне успешно работать на значительно более высоких частотах (в десятки и сотни килогерц). Это объясняется тем, что в практических схемах обычно применяется отрицательная обратная связь, за счет которой существенно улучшаются частотные свойства аналоговых электронных устройств, построенных на основе операционных усилителей.

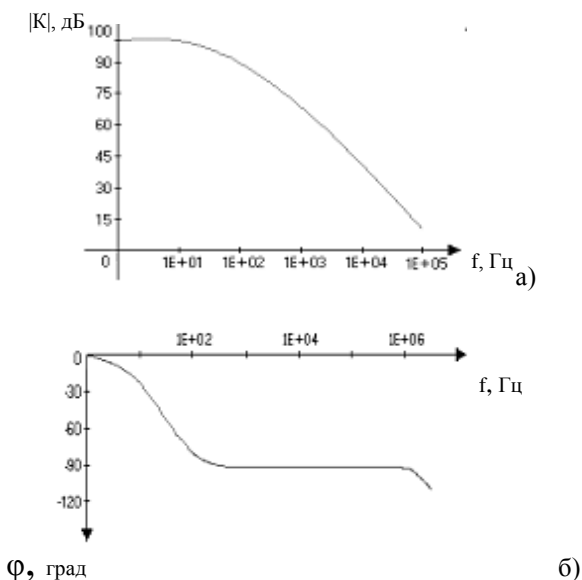


Рис. 8.4. Амплитудно-частотная (а) и фазочастотная характеристики (б) ОУ типа К140УД8

У некоторых операционных усилителей частотные характеристики таковы, что возможно самовозбуждение (при этом усилитель на основе ОУ превращается в генератор). Для необходимого изменения частотных характеристик используют корректирующие RC-цепочки. Выводы операционного усилителя, предназначенные для подключения корректирующих цепей, обозначают через FC (frequency correction). Операционный усилитель К140УД8 не требует использования внешних корректирующих цепей.

Рассмотрим наиболее распространенные схемы включения

операционных усилителей. При этом для упрощения анализа схем, предположим, что имеем дело с идеальным операционным усилителем, который удовлетворяет следующим требованиям к электрическим параметрам:

- входное сопротивление равно бесконечности ($R_{\text{вх}} = \infty, I_{\text{вх}} = 0$);
- выходное сопротивление равно нулю ($R_{\text{вых}} = 0$);
- коэффициент усиления по напряжению (коэффициент усиления дифференциального сигнала) равен бесконечности;
- дифференциальное напряжение в режиме усиления равно нулю;
- синфазное входное напряжение не дает реакции на выход;
- напряжение смещения (сдвига) равно нулю.

8.2. Типовые схемы на основе ОУ

Инвертирующий усилитель

Схема инвертирующего усилителя, построенная на основе операционного усилителя, показана на рис. 8.5. Резисторы входной цепи (R_1) и цепи отрицательной обратной связи ($R_{\text{ос}}$) образуют делитель напряжения, через который на инвертирующий вход ОУ подается входное напряжение $U_{\text{вх}}$, а неинвертирующий вход соединяется с шиной земли. При включении ОУ в качестве инвертирующего усилителя его выходное напряжение сдвинуто по фазе на 180° относительно входного напряжения. Предположим, что операционный усилитель – идеальный ($U_{\text{диф}} = 0, I_{\text{вх}} = 0$), тогда согласно первому закону Кирхгофа для узла 2, потенциал которого равен потенциалу точки «1» (земли), можно записать $I_1 = I_{\text{ос}}$

или
$$\frac{U_{\text{вх}}}{R_1} = -\frac{U_{\text{вых}}}{R_{\text{ос}}}.$$

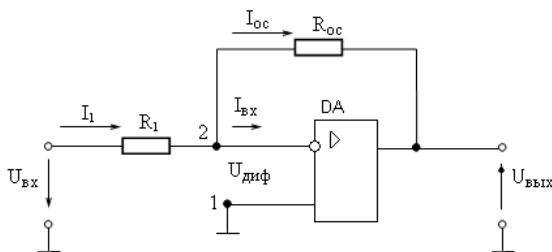


Рис. 8.5. Схема инвертирующего усилителя

Отсюда коэффициент передачи по напряжению инвертирующего усилителя K_{UOC} определяется как

$$K_{UOC} = U_{ВЫХ} / U_{ВХ} = -R_{OC} / R_1$$

и не зависит от самого ОУ, а характеризуется параметрами входной цепи и цепи ООС. Для снижения отрицательного влияния тока смещения (входного тока) по инвертирующему входу ОУ на выходное напряжение между неинвертирующим входом и шиной земля включается резистор с сопротивлением $R_{КОР}$, которое выбирается в соответствии с выражением

$$R_{КОР} = R_1 R_{OC} / (R_1 + R_{OC}).$$

Благодаря отрицательной обратной связи (ООС), входное сопротивление инвертирующего усилителя на низких частотах существенно меньше собственного входного сопротивления ОУ и практически равно сопротивлению R_1 . Так как ООС выполнена по напряжению, выходное сопротивление инвертирующего усилителя на низких частотах очень мало и определяется при активном характере сопротивлений выражением

$$R_{ВЫХ OC} = R_{ВЫХ} / \left(1 + K_{UO} \frac{R_1}{R_1 + R_{OC}} \right), \quad (8.2)$$

где K_{UO} – коэффициент усиления по напряжению ОУ.

С помощью инвертирующего усилителя можно выполнить операцию суммирования нескольких входных напряжений. Схема, реализующая такую операцию и называемая инвертирующим сумматором, показана на рис. 8.6.

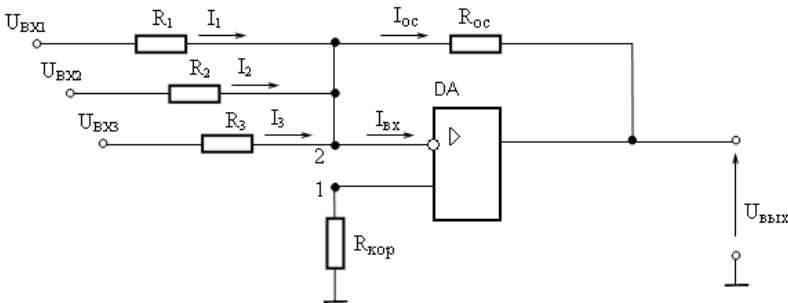


Рис. 8.6. Схема инвертирующего сумматора

Если номиналы резисторов R_1 , R_2 и R_3 равны между собой, т. е. $R_1 = R_2 = R_3 = R$, то выходное напряжение инвертирующего сумматора определяется как

$$U_{\text{ВЫХ}} = - \frac{R_{\text{ОС}}}{R} (U_{\text{ВХ1}} + U_{\text{ВХ2}} + U_{\text{ВХ3}}).$$

Для минимизации смещения по постоянному току между неинвертирующим входом ОУ и общей шиной включается резистор с сопротивлением

$$R_{\text{кор}} = R_1 \parallel R_2 \parallel R_3 \parallel R_{\text{ОС}}.$$

Неинвертирующий усилитель

Неинвертирующая схема включения ОУ (рис. 8.7) применяется в тех случаях, когда необходимо согласовать источник, обладающий высоким сопротивлением, со схемой обработки сигнала, имеющий низкое входное сопротивление. При включении ОУ в качестве неинвертирующего усилителя и его выходное напряжение по фазе совпадает с входным напряжением, которое подается непосредственно на неинвертирующий вход операционного усилителя. На инвертирующий вход ОУ через делитель напряжения, образованный резисторами R_1 и $R_{\text{ОС}}$, подается сигнал ООС. Введение в цепь ООС резистивного делителя напряжения обеспечивает коэффициент передачи делителя меньше 1, что необходимо

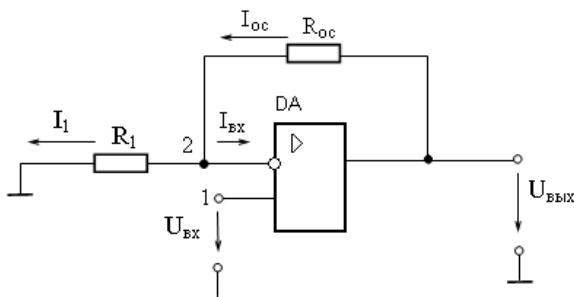


Рис. 8.7. Схема неинвертирующего усилителя

для получения коэффициента передачи по напряжению неинвертирующего усилителя, превышающего единицу. Предполагая также, как и в случае инвертирующего усилителя, что ОУ идеальный ($I_{\text{вх}} = 0$), для узла 2 запишем первый закон Кирхгофа:

$$I_1 = I_{\text{ос}} \text{ или } \frac{U_2}{R_1} = \frac{U_{\text{ввых}}}{R_1 + R_{\text{ос}}}. \quad (8.3)$$

Учитывая, что $U_{\text{диф}} = 0$ и, следовательно, $U_2 = U_{\text{вх}}$ перепишем (8.3) в следующем виде:

$$\frac{U_{\text{вх}}}{R_1} = \frac{U_{\text{ввых}}}{R_1 + R_{\text{ос}}}.$$

Отсюда коэффициент усиления по напряжению неинвертирующего усилителя определяется как

$$K_{\text{Уос}} = \frac{U_{\text{ввых}}}{U_{\text{вх}}} = 1 + \frac{R_{\text{ос}}}{R_1}. \quad (8.4)$$

В частном случае, когда сопротивление цепи ООС равно нулю, коэффициент передачи по напряжению усилителя равен единице. Тогда выходное напряжение усилителя равно входному и неинвертирующий усилитель представляет собой повторитель напряжения.

Коэффициент передачи делителя в цепи ООС определяется согласно выражению

$$\beta_{\text{ос}} = \frac{R_1}{(R_1 + R_{\text{ос}})}.$$

Тогда общее выражение для коэффициента передачи усилителя, охваченного последовательной ООС по напряжению, для случая вещественных коэффициентов $K_{\text{Уо}}$, $\beta_{\text{ос}}$ и $K_{\text{Уос}}$ имеет следующий вид:

$$K_{\text{Уос}} = K_{\text{Уо}} / (1 + K_{\text{Уо}}\beta_{\text{ос}}).$$

С учетом того, что ОУ идеальный ($K_{\text{Уо}} \rightarrow \infty$), получим

$$K_{U_{oc}} = 1 / \beta_{oc} = 1 + R_{oc} / R_1.$$

Это выражение совпадает с выражением (8.4) для коэффициента K_{U_0} , полученного на основании закона Кирхгофа и допущения об идеальности ОУ.

Так как в схеме неинвертирующего усилителя (рис. 8.7) введена цепь последовательной ООС, для входного сопротивления усилителя по постоянному току (при $K_{U_0} \rightarrow \infty$ и $R_{вх\ oc} \rightarrow \infty$) справедливо выражение

$$R_{вх\ oc} = R_{вх} \left(1 + K_{U_0} \frac{R_1}{R_1 + R_{oc}} \right).$$

Выражение для выходного сопротивления неинвертирующего усилителя

$$R_{вых\ oc} = R_{вых} \left(1 + K_{U_0} \frac{R_1}{R_1 + R_{oc}} \right),$$

полученное при $K_{U_0} \rightarrow \infty$ и $R_{вх\ oc} \rightarrow \infty$, совпадает с приведенным выше выражением (8.2) для $R_{вых\ oc}$ усилителя с параллельной ООС.

Следует отметить, что в отличие от инвертирующего усилителя в неинвертирующем усилителе на входах ОУ имеется синфазный сигнал, что является его недостатком.

Используя комбинацию рассмотренных выше схем инвертирующего и неинвертирующего усилителей, можно выполнить операцию сложения-вычитания. Для этого на инвертирующий и неинвертирующий входы ОУ схемы усилителя (сложения-вычитания) необходимо подавать одновременно несколько напряжений.

Интегральные ОУ имеют достаточно высокий коэффициент усиления (10^5 – 10^6) и поэтому во многих случаях погрешностью преобразования входного сигнала, возникающей за счет идеализации этого параметра ($K_{U_0} \rightarrow \infty$), можно пренебречь. Однако погрешностями выходного напряжения, возникающими из-за наличия на входе рассматриваемого усилителя напряжения смещения $U_{см}$, входных токов $I_{вх1}$ и $I_{вх2}$ и из-за неидентичности этих токов

(разности входных токов $\Delta I_{\text{ВХ}}$), пренебрегать нельзя. Вопросы оценки погрешности выходного напряжения подробно рассмотрены в работе [11].

Интегратор

Интегратор представляет собой инвертирующий усилитель, на выходе которого формируется сигнал, пропорциональный интегралу по времени от его входного сигнала.

Интегратор, простейшая схема которого показана на рис. 8.8, отличается от инвертирующего усилителя тем, что в цепь его обратной связи вместо резистора $R_{\text{ОС}}$ включается конденсатор C . Благодаря виртуальной земле на инвертирующем входе (потенциал точки «2» равен потенциалу общей точки «1», т. к. $U_{\text{диф}} = 0$) ток через резистор R равен отношению $U_{\text{ВХ}}/R$. Этот ток течет также через конденсатор C (т. к. $I_{\text{ВХ}} = 0$), создавая на нем напряжение U_C , равное выходному напряжению $U_{\text{ВЫХ}}$ интегратора. Так как значение U_C на конденсаторе C пропорционально току I и равно $U_C = \frac{1}{C} \int I dt$, то выходное напряжение определяется как

$$U_{\text{ВЫХ}} = - \frac{1}{C} \int \frac{U_{\text{ВХ}}}{R} dt = - \frac{1}{RC} \int U_{\text{ВХ}} dt. \quad (8.5)$$

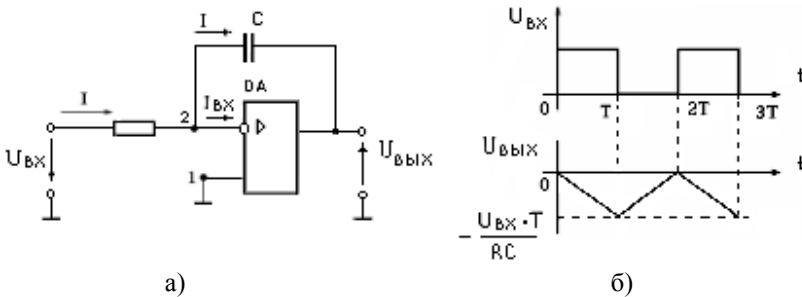


Рис. 8.8. Схема интегратора (а) и временные диаграммы интеграции прямоугольного периодического сигнала (б)

Следует отметить, что выражение (8.5) справедливо для идеального ОУ. Выражение (8.5) неудобно для применения, если приходится интегрировать комплексные сигналы. В этом случае более приемлемым является выражение, которое можно получить из уравнения на основе запасаемого заряда на конденсаторе:

$$Q = C U_c.$$

Так как заряд равен произведению тока I и времени T можно написать $IT = C U_c$. Подставляя вместо тока I отношение $U_{вх} / R$ и вместо U_c напряжение $U_{вых}$, можно для схемы интегратора, приведенной на рис. 8.8, определить выходное напряжение, которое имеет вид

$$U_{вых} = -U_{вх} T / (R_1 C), \quad (8.6)$$

где отрицательный знак обусловлен инверсией сигнала. Выражение (8.6) можно применять для кусочной аппроксимации входного напряжения.

В качестве примера на рис. 8.8, б приведены временные диаграммы интеграции прямоугольного периодического сигнала. В исходном состоянии ($t = 0$, $U_{вх} = 0$) выходное напряжение равно нулю. В течение времени $0 < t < T$, когда напряжение на входе равно $U_{вх}$, выходное напряжение по абсолютной величине $|U_{вых}|$ в соответствии с выражением (8.5) увеличивается и $t = T$ становится равным $-U_{вх} \cdot T / (RC)$. В течение времени $T < t < 2T$, когда напряжение на входе равно нулю, выходное напряжение $|U_{вых}|$ уменьшается до нуля. Далее этот процесс интеграции прямоугольных импульсов периодически повторяется.

В реальных схемах интегратора во входной цепи усилителя, кроме полезного сигнала, действуют дрейфовые составляющие, обусловленные неидеальностью ОУ ($U_{см} \neq 0$, $I_{вх} \neq 0$, $\Delta I_{вх} \neq 0$). Если они не скомпенсированы, то в соответствии с выражением (8.5) выходное напряжение реального интегратора будет возрастать по абсолютной величине вплоть до максимально допустимого для ОУ значения. Это вносит значительную погрешность в работу интегратора, особенно

при малых значениях входных сигналов.

Выходное напряжение, обусловленное действием указанных составляющих, в соответствии с (8.5) определяется выражением

$$U_{\text{ВЫХ ОШ}} = \frac{1}{RC} \int_0^t U_{\text{СМ}} dt + \frac{1}{C} \int_0^t (I_{\text{ВХ}} + \Delta I_{\text{ВХ}}) dt.$$

В общем случае отдельные составляющие выходного напряжения в приведенном выражении могут иметь произвольный знак и поэтому частично компенсировать друг друга. Однако на практике представляет интерес максимально возможное значение напряжения ошибки $U_{\text{ВЫХ ОШ}}$, и для его определения все составляющие в выражении (8.6) суммируются.

Следует отметить, что к ошибке интегрирования необходимо отнести и собственно напряжение смещения $U_{\text{СМ}}$, которое, складываясь с напряжением на конденсаторе, формирует выходное напряжение ОУ. Учитывая сказанное и задавая максимальную ошибку интегрирования $U_{\text{ВЫХ}} = U_{\text{ОШ МАХ}}$, можно найти допустимое время интегрирования

$$t_{\text{ИНТ ДОП}} = \frac{U_{\text{ОШ МАХ}} - U_{\text{СМ}}}{(1/C)(U_{\text{СМ}}/R + I_{\text{ВХ}} + \Delta I_{\text{ВХ}})}.$$

Следует отметить, что чем меньше время интегрирования, тем больше точность процесса интеграции сигнала. Для повышения точности работы интегратора применяют ОУ с малыми значениями $U_{\text{СМ}}$, $I_{\text{ВХ}}$ и $\Delta I_{\text{ВХ}}$. Другие способы уменьшения ошибки интегрирования связаны с использованием внешних цепей компенсации $U_{\text{СМ}}$, $I_{\text{ВХ}}$ и $\Delta I_{\text{ВХ}}$ и принудительного обнуления интегратора [11].

Использование внешних цепей компенсации позволяет либо при заданном времени интегрирования значительно повысить точность работы интегратора, либо при заданной ошибке увеличить допустимое время интегрирования.

При построении различных аналоговых электронных устройств часто бывает необходимо получить выходной сигнал, пропорциональный интегралу от суммы нескольких напряжений.

Для получения напряжения, пропорционального инвертированному интегралу от суммы входных напряжений на инвертирующий

вход ОУ схемы интегратора (рис. 8.8) подают одновременно несколько напряжений. На практике применяются также схемы, в которых выходное напряжение пропорционально интегралу от разности входных напряжений [11].

Дифференциатор

Дифференциатор представляет собой аналоговое устройство, выполненное на ОУ, которое реализует функцию, обратную интегрированию. Другими словами, он выполняет операцию дифференцирования над входным сигналом и его выходной сигнал пропорционален производной от его входного сигнала.

Простейшая схема дифференциатора, выполненная на ОУ, приведена на рис. 8.9, а.

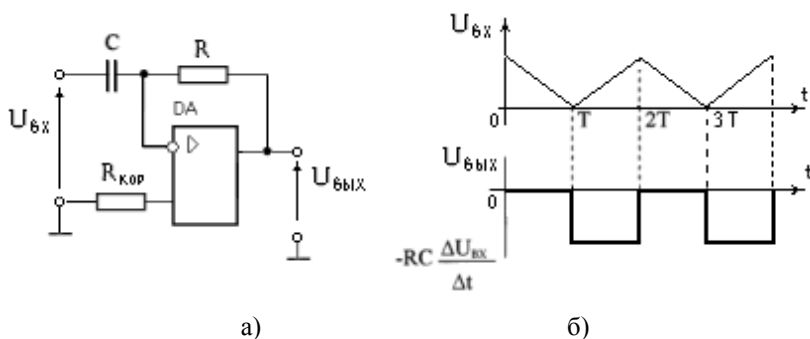


Рис. 8.9. Схема дифференциатора (а) и дифференцирование сигнала треугольной формы (б)

Данная схема является инвертирующим усилителем, во входную цепь которого вместо резистора R_1 включен конденсатор C . Если считать, что ОУ идеальный, тогда потенциал точки «2» равен потенциалу общей точки «1» (виртуальная земля) и ток через конденсатор определяется как $C \cdot dU_{вх} / dt$. Этот ток также течет через резистор R , напряжение на котором равно выходному напряжению интегратора. Отсюда $U_{вых} = -RC \cdot dU_{вх} / dt$.

Если входное напряжение изменяется линейно в определенном диапазоне, то выходное напряжение можно выразить соотношением

$$U_{\text{вых}} = -RC (\Delta U_{\text{вх}} / \Delta t).$$

Если на вход схемы дифференциатора (рис. 8.9, а) подать сигнал треугольной формы, то на ее выходе получается прямоугольное колебание (рис. 8.9, б), т. е. дифференциатор выполняет функцию, обратную функции интегратора.

Следует отметить, что схема дифференциатора, приведенная на рис. 8.9, а, вследствие специфики своей частотной характеристики [11], кроме полезной составляющей входного сигнала усиливает также высокочастотные составляющие внешних помех и собственных шумов. Все это приводит к значительному снижению точности работы схемы дифференциатора (рис. 8.9, а).

Для того, чтобы ограничить коэффициент усиления на высоких частотах, обычно последовательно с конденсатором C_1 включают резистор R_1 , как показано на рис. 8.10. При этом максимальное усиление ограничивается величиной R_2/R_1 , а минимальное значение сопротивления R_1 определяется исходя из условия

$$R_1 \leq 1 / (2\pi f_{\text{в}} C_1), \quad (8.7)$$

где $f_{\text{в}}$ – верхняя граничная частота рабочего диапазона.

Обычно значение R_1 выбирают в 10 раз меньше вычисленного по формуле (8.7). Для ограничения усиления на высоких частотах и, следовательно, уменьшения чувствительности дифференциатора высокочастотным помехам в схему дифференциатора (рис. 8.10) вводят также дополнительный резистор R_2 , который включают параллельно конденсатору C_2 . Величину сопротивления этого резистора обычно выбирают исходя из условия $R_1 C_1 = R_2 C_2$. Поэтому на частотах $f < 1 / (2\pi R_1 C_1)$ схема дифференцирует входной сигнал. При дальнейшем увеличении частоты начинается интегрирование входного сигнала. Это снижает чувствительность схемы к действию внешних высокочастотных помех.

На основе схемы суммирующего усилителя по аналогии с интегратором, можно построить и суммирующий дифференциатор. На рис. 8.11 приведена схема трехвходового суммирующего дифференциатора.

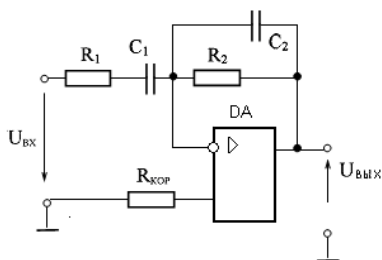


Рис. 8.10. Схема дифференциатора с элементами высокочастотной коррекции

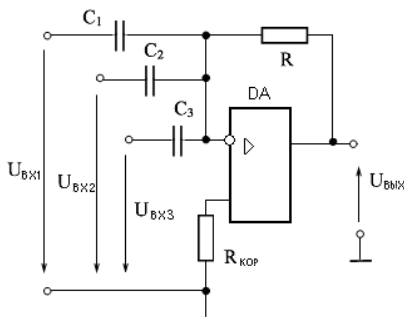


Рис. 8.11. Схема суммирующего дифференциатора

Полагая, как и раньше, ОУ идеальным, для его инвертирующего входа в соответствии с первым законом Кирхгофа получим уравнение для суммы токов

$$C_1 \frac{du_{\text{вх1}}}{dt} + C_2 \frac{du_{\text{вх2}}}{dt} + C_3 \frac{du_{\text{вх3}}}{dt} = - \frac{U_{\text{вых}}}{R}.$$

Отсюда, полагая что $C_1 = C_2 = C_3 = C$, находим

$$U_{\text{вых}} = -RC \frac{d(U_{\text{вх1}} + U_{\text{вх2}} + U_{\text{вх3}})}{dt}.$$

Таким образом, при одинаковых емкостях входных конденсаторов на выходе схемы суммирующего дифференциатора (рис. 8.11) получим напряжение, пропорциональное инвертированной производной от суммы входных напряжений.

9. ПРЕОБРАЗОВАТЕЛИ АНАЛОГОВЫХ СИГНАЛОВ НА ОПЕРАЦИОННЫХ УСИЛИТЕЛЯХ

Как уже было отмечено, операционные усилители в настоящее время широко используются в самых различных аналоговых электронных устройствах. Это объясняется тем, что, введя в цепи прямой и обратной передачи сигналов различные линейные и нелинейные элементы, можно направленно синтезировать устройства с требуемым алгоритмом преобразования входного сигнала. Рассмотрим некоторые схемы наиболее распространенных устройств преобразования сигналов, которые могут быть построены на основе ОУ. При этом будем полагать, что ОУ идеальный.

9.1. Логарифмический и экспоненциальный преобразователи

Логарифмическим преобразователем называется инвертирующий усилитель, выполненный на ОУ, в цепи обратной связи которого используется нелинейный элемент (диод или транзистор, включенный по схеме с общей базой). При этом выходное напряжение такого преобразователя оказывается пропорциональным логарифму от его входного напряжения.

В экспоненциальном преобразователе диод или транзистор используется во входной цепи инвертирующего усилителя на ОУ, поэтому такой усилитель, называемый также антилогарифмическим, выполняет обратное преобразование напряжения.

Логарифмический и экспоненциальный преобразователи находят широкое применение, например, при реализации математических операций умножения и деления. При этом операция умножения двух чисел заменяется операцией сложения их логарифмов, для выполнения которой используют схему инвертирующего и неинвертирующего сумматоров.

Варианты схемной реализации логарифмических преобразователей показаны на рис. 9.1. Предположим, что ОУ идеальный (I_{BX} , $U_{диф}$), тогда, благодаря виртуальной земле на инвертирующем входе, ток через резистор $R_1(I_{R_1})$ равен отношению U_{BX} / R . Так как в ОУ ток не поступает ($I_{BX} = 0$), ток I_{R_1} , согласно первому закону Кирхгофа, равен току диода I_d , который имеет экспоненциальную зависимость от напряжения на диоде

$$I_{\text{д}} = I_{\text{T}} \left[e^{-\left(U_{\text{д}} / \varphi_{\text{T}} \right)} - 1 \right] \approx I_{\text{T}} \cdot e^{-\left(U_{\text{д}} / \varphi_{\text{T}} \right)}, \quad (9.1)$$

где $U_{\text{д}}$ – напряжение на диоде; I_{T} – тепловой ток диода; φ – температурный потенциал.

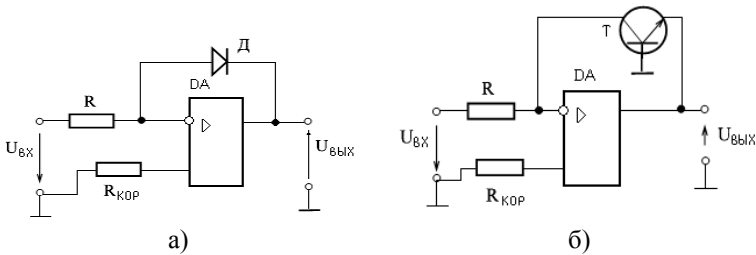


Рис. 9.1. Схемы логарифмического усилителя с диодом (а) и биполярным транзистором (б) в цепи обратной связи

Таким образом, для схемы на рис. 9.1, а можно записать

$$U_{\text{вх}} / R_1 \approx I_{\text{T}} \cdot e^{-\left(U_{\text{д}} / \varphi_{\text{T}} \right)}. \quad (9.2)$$

Поскольку выходное напряжение равно напряжению на диоде, перепишем выражение (9.2) относительно $U_{\text{вых}}$ и получим

$$U_{\text{вых}} = \varphi_{\text{Tз}} \left(\ln \frac{U_{\text{вх}}}{R_1} - \ln I_{\text{Tз}} \right), \quad (9.3)$$

где $I_{\text{Tз}}$ – тепловой ток эмиттерного перехода транзистора; $\varphi_{\text{Tз}}$ – температурный потенциал того же перехода. Выражения (9.2) и (9.3) справедливы только при малых входных сигналах ($U_{\text{вх}} \leq 0,6 \text{ В}$). При больших токах диода или транзистора полученные выражения дают существенную погрешность, что является следствием действия их собственных активных сопротивлений. Для получения больших значений выходного напряжения оно должно быть усилено. Рассмотрим экспоненциальные (антилогарифмические) преобразователи с диодом и транзистором, схемы которых приведены на рис. 9.2. Выполнив такие же действия, что и для схемы на рис. 9.1, а,

по аналогии можно записать выражения для выходного напряжения экспоненциального преобразователя с диодом

$$U_{\text{ВЫХ}} = -R_{\text{ОС}} I_{\text{T}} e^{U_{\text{ВХ}}/\varphi_{\text{T}}} . \quad (9.4)$$

Для схемы экспоненциального преобразователя с транзистором выходное напряжение имеет следующий вид:

$$U_{\text{ВЫХ}} = -R_{\text{ОС}} I_{\text{TЭ}} e^{U_{\text{ВХ}}/\varphi_{\text{TЭ}}} .$$

Следует отметить, что логарифмический и экспоненциальный преобразователи формируют на своих выходах напряжения только одной полярности. Так, в схемах преобразователей с диодами (рис. 9.1, а и рис. 9.2, а) при положительном входном напряжении на выходах этих схем формируются напряжения отрицательной полярности. Для получения выходного напряжения положительной полярности на выходах схем преобразователей с диодами необходимо: 1) включить диод в обратном направлении; 2) изменить полярность $U_{\text{ВХ}}$.

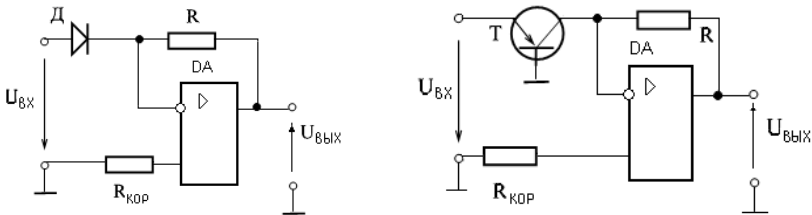


Рис. 9.2. Схемы экспоненциального (антилогарифмического) усилителя с диодом (а) и биполярным транзистором (б)

Для изменения полярностей входных и выходных напряжений в схемах преобразователей с транзисторами (рис. 9.1, б и рис. 9.2, б) необходимо использовать транзисторы другого (р-п-р)-типа проводимости. Реальные схемы логарифмических и экспоненциальных преобразователей имеют более сложную структуру, чем схемы на рис. 9.1 и рис. 9.2. В них для минимизации погрешности, обусловленной температурной зависимостью параметров диода и транзистора, используются дополнительные термокомпенсационные цепи.

9.2. Нелинейные преобразователи

Нелинейные преобразователи также выполняются на основе инвертирующих усилителей, построенных на ОУ. При этом во входной цепи или в цепи обратной связи усилителей для получения нелинейной зависимости выходного напряжения ОУ от входного, вместе с линейными резисторами используются и нелинейные элементы: диоды и стабилитроны. Использование в инвертирующем усилителе комбинации линейных и нелинейных элементов позволяет получить кусочно-линейную аппроксимацию заданной нелинейной зависимости выходного и входного напряжений усилителя.

Рассмотрим схему нелинейного преобразователя на основе инвертирующего усилителя (рис. 9.3, а), в входной цепи которого вместе с линейными резисторами R_1 , R_2 и R_3 используются нелинейные элементы (стабилитроны) D_1 и D_2 . Для анализа работы схемы предположим, что $U_{D1} < U_{D2}$ и стабилитроны идеальные, где U_{D1} и U_{D2} – напряжения пробоя стабилитронов D_1 и D_2 . Другими словами, ток закрытого (не пробитого) стабилитрона, а также его дифференциальное сопротивление r_d в рабочей области характеристики равны нулю, т. е. $r_d = \Delta U_{ст} / \Delta I_{ст} = 0$, $\Delta U_{ст} = U_{ст} - U_{ст0} = 0$, где $I_{ст}$ – ток стабилизации; $U_{ст}$ – номинальное напряжение стабилизации при заданном токе; $U_{ст0}$ – то же при $I_{ст} = 0$; $\Delta U_{ст}$ – отклонение напряжения $U_{ст}$ от номинального значения при изменении тока $I_{ст}$ вблизи рабочей точки.

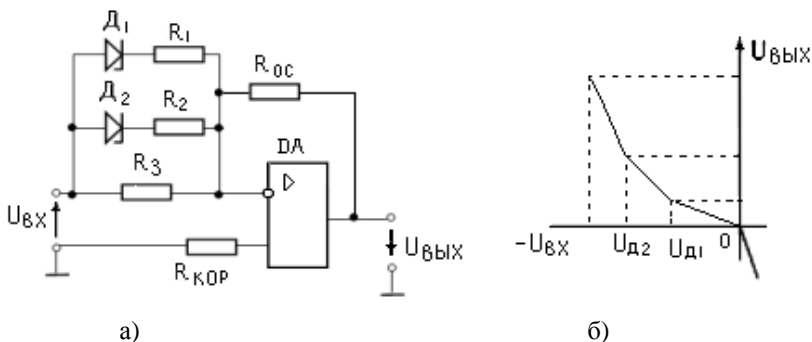


Рис. 9.3. Схема нелинейного преобразователя с монотонно возрастающим коэффициентом усиления (а) и ее передаточная характеристика (б)

Пусть на вход преобразователя подается напряжение отрицательной полярности и его значение находится в пределах от 0 до $U_{Д1}$ т. е. в диапазоне $0 < |U_{ВХ}| < U_{Д1}$. Тогда стабилитроны D_1 и D_2 закрыты (представляют собой разомкнутые ключи), и мы получаем схему, аналогичную схеме обычного инвертирующего усилителя (рис. 9.5). Поэтому выходное напряжение всего усилителя в предположении, что ОУ идеальный, будет равно $U_{ВЫХ} = -U_{ВХ} \frac{R_{ОС}}{R_3}$.

Отсюда коэффициент передачи усилителя

$$K_{U_{ОС1}} = -R_{ОС} / R_3. \quad (9.5)$$

Теперь увеличим входное напряжение по абсолютной величине, и пусть оно находится в диапазоне $U_{Д1} < |U_{ВХ}| < U_{Д2}$, тогда диод $U_{Д1}$ открыт (пробит), а диод $U_{Д2}$ – закрыт. Открытый диод D_1 представляет собой замкнутый ключ, а закрытый диод D_2 – разомкнутый ключ. С учетом этого получим схему, эквивалентную схеме инвертирующего сумматора на два входа, на которые подается одно и то же входное напряжение $U_{ВХ}$. Поэтому коэффициент передачи усилителя определяется как

$$K_{U_{ОС2}} = -R_{ОС} \left(\frac{1}{R_1} + \frac{1}{R_3} \right). \quad (9.6)$$

Дискретное значение коэффициента передачи усилителя остается неизменным до тех пор, пока входное напряжение $U_{ВХ}$ по абсолютной величине не достигнет напряжения пробоя диода D_2 , т. е. $U_{Д2}$. При дальнейшем увеличении входного напряжения по абсолютной величине, когда оно равно и больше ($|U_{ВХ}| \geq U_{Д2}$), оба стабилитрона пробиваются и представляют собой замкнутые ключи. В результате получаем схему инвертирующего усилителя с тремя входами, для которого коэффициент передачи определяется как

$$K_{U_{ОС3}} = -R_{ОС} \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \right) \quad (9.7)$$

Сравнивая дискретные значения коэффициента передачи усилителя, определяемые выражениями (9.5–9.7), можно отметить, что при увеличении входного напряжения по абсолютной величине увеличивается коэффициент передачи, т. е. $K_{U_{oc3}} > K_{U_{oc2}} > K_{U_{oc1}}$. Другими словами, с помощью схемы на рис. 9.3, а можно реализовать передаточную характеристику с возрастающим коэффициентом передачи (рис. 9.3, б). Для повышения точности аппроксимации нелинейной зависимости необходимо увеличить число используемых стабилитронов с различными напряжениями пробоя.

Если на вход преобразователя подается напряжение положительной полярности, то, пренебрегая малыми сопротивлениями открытого стабилитрона, можно отметить, что коэффициент передачи усилителя практически во всем диапазоне изменения входного напряжения будет оставаться постоянным и иметь максимально возможное значение. Для получения схемы нелинейного преобразователя с монотонно убывающим коэффициентом передачи необходимо нелинейные элементы (стабилитроны) совместно с резисторами включить в цепь обратной связи, т. е. параллельно резистору R_{oc} .

Используя сочетание схем (прямого и обратного) включения стабилитронов в цепи обратной связи инвертирующего усилителя, можно получить схему нелинейного преобразователя с симметричной передаточной характеристикой (рис. 9.4, а). Если выходное напряжение по модулю меньше $U_{д1}$ и $U_{д2}$, стабилитроны D_1 и D_2 закрыты и схема преобразователя эквивалентна схеме инвертирующего усилителя (рис. 8.5), тогда коэффициент передачи преобразователя определяется отношением сопротивлений R_{oc} и R_1 , т. е. $K_{U_{oc1}} = -R_{oc} / R_1$.

Коэффициент передачи преобразователя уменьшается, если пробит хотя бы один из стабилитронов. Это происходит, когда $|U_{вых}|$ больше $U_{д1}$ или $U_{д2}$ (рис. 9.4, б).

Практическое применение схем нелинейных преобразователей (рис. 9.3–9.4), рассмотренных выше, ограничивается некоторыми обстоятельствами, связанными с дискретностью реально существующих стабилитронов и неидеальностью их вольт-амперных характеристик. Большинство из известных стабилитронов имеет минимальный ток стабилизации 1...3 мА. Этот ток соизмерим с максимально допус-

тимым выходным током серийных ОУ. Эти обстоятельства усложняют формирование требуемых коэффициентов передачи при малых значениях $U_{\text{вх}}$ и тем самым накладывают ограничения на форму передаточной характеристики преобразователя. Для устранения этих ограничений в цепи обратной связи ОУ вместо стабилитронов применяют нелинейные цепи, состоящие из резисторов и диодов [11].

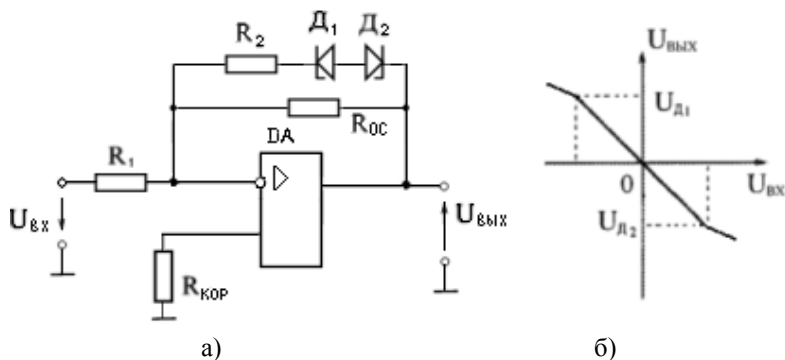


Рис. 9.4. Схема нелинейного преобразователя с симметричной передаточной характеристикой (а) и ее передаточная характеристика (б)

9.3. Источники тока и напряжения

Источники тока

Благодаря своим почти идеальным характеристикам, при наличии отрицательной обратной связи операционные усилители широко применяются для построения источников тока и напряжения. Источник тока, построенный на основе идеального ОУ, отдает в нагрузку ток, который непосредственно определяется входным напряжением и не зависит от полного сопротивления нагрузки.

Существуют различные схемы таких источников, которые по способу подключения нагрузки можно разделить на две группы:

- источники тока с заземленной нагрузкой;
- источники тока с нагрузкой («плавающей»), выводы которой не соединяются с общей шиной.

Рассмотрим одну из известных схем источника тока (рис. 9.5, а), в которой нагрузка соединена с общей шиной «земля». Источник

тока, построенный на основе неинвертирующего усилителя, обеспечивает ток только одной полярности относительно земли. Транзистор Т, используемый на выходе неинвертирующего усилителя, позволяет повысить максимально допустимое значение выходного тока источника.

Положим, что операционный усилитель идеальный ($U_{\text{диф}} = 0$), тогда потенциал эмиттера транзистора $U_э$ равен входному напряжению $U_{\text{вх}}$ ($U_э = U_{\text{вх}}$). При этом ток через резистор $R_{\text{п}}$, выполняющий функцию датчика выходного тока источника, определяется как

$$I_{\text{п}} = (|E_{\text{п}}| - U_{\text{вх}}) / R_{\text{п}}.$$

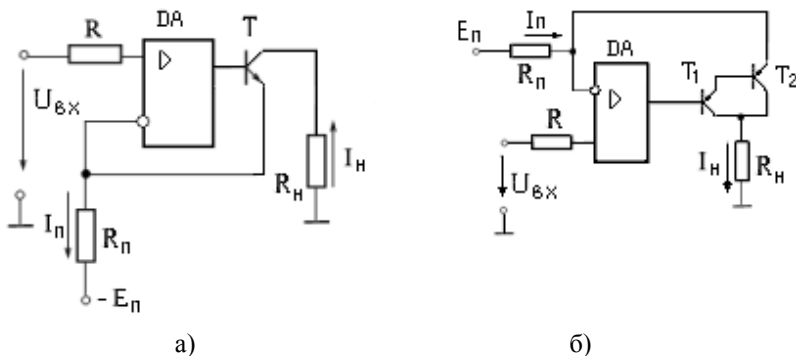


Рис. 9.5. Схемы источников тока отрицательной (а) и положительной (б) полярностей и заземленной нагрузкой

Этот ток транзистора поступает в цепь нагрузки $R_{\text{н}}$. Поэтому ток нагрузки $I_{\text{н}} = I_{\text{п}}$ не зависит от величины нагрузки $R_{\text{н}}$, т. к. разность напряжений $E_{\text{п}}$ и $U_{\text{вх}}$ постоянна при неизменном значении входного напряжения.

Если входное напряжение изменяется по некоторому закону, то по этому же закону будет изменяться и ток нагрузки схемы. Поэтому такие схемы иногда называют источником тока, управляемым напряжением (ИТУН), или преобразователем напряжение – ток.

Для изменения направления тока через нагрузку достаточно на выходе неинвертирующего усилителя использовать транзистор

другого (p-n-p)-типа проводимости и резистор R_{π} подключить к источнику с положительным напряжением.

Следует отметить, что ток нагрузки I_{π} в схеме на рис. 9.5 всегда меньше, чем ток резистора I_{π} , т. к. часть эмиттерного тока транзистора ответвляется в его базовую цепь. Эта часть тока обычно пренебрежимо мала и, следовательно, мала погрешность, связанная с ней, т. к. современные транзисторы имеют очень высокий коэффициент передачи по току α , равный 0,99 и более. Можно существенно увеличить ток нагрузки и вместе с ним уменьшить отмеченную погрешность, если заменить один транзистор Т схемой Дарлингтона (составным транзистором), как показано на рис. 9.5, б.

Полное выходное сопротивление схемы источника тока достаточно высоко и составляет обычно десятки мегом. Еще больше сопротивления можно получить при использовании полевых транзисторов. Выходной ток нагрузки, как отмечено выше, зависит от разности напряжений E_{π} и $U_{\text{вх}}$, в результате чего любое изменение напряжения источника питания ($-E_{\pi}$ или E_{π}) сказывается на выходном токе нагрузки. Этот недостаток можно преодолеть стабилизацией входного напряжения по E_{π} . Например, для стабилизации напряжения на резисторе R_{π} при изменении напряжения источника питания последовательно с ним включают стабилитрон, благодаря которому обеспечивается постоянство тока I_{π} и, следовательно, тока нагрузки I_{π} .

Рассмотренные выше источники обеспечивают ток в нагрузке, который возвращается либо через заземление, либо через источник постоянного напряжения. Если для нагрузки недопустимо заземление, то для построения соответствующего источника постоянного тока можно использовать схему инвертирующего или неинвертирующего усилителя. Схема такого источника тока с «плавающей» нагрузкой, выполненная на основе инвертирующего усилителя, приведена на рис. 9.6. Если считать идеальным ОУ, тогда ток нагрузки I_{π} равен отношению $U_{\text{вх}}/R$, и, следовательно, при неизменном $U_{\text{вх}}$ ток I_{π} остается постоянным и не зависит от сопротивления нагрузки.

Выходное напряжение представляется произведением $-I_{\pi} R_{\pi}$ и должно оставаться в пределах, обусловленных диапазоном изменения выходного напряжения ОУ.

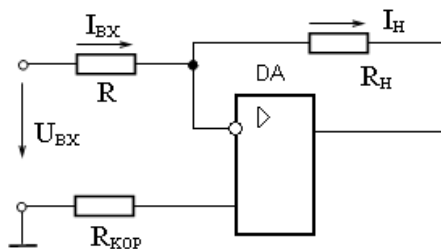


Рис. 9.6. Схема источника тока с «плавающей» нагрузкой на основе инвертирующего усилителя

По существу данное устройство можно рассматривать как усилитель с последовательной отрицательной обратной связью (ООС) по току нагрузки. Действие ООС по току нагрузки приводит к повышению выходного сопротивления, что и позволяет обеспечить в нем стабилизацию выходного тока.

Источники напряжения

В источниках напряжения, выполненных на основе ОУ, используются диоды, стабилитроны и стабилитроны, работающие в области прямого смещения или в режиме обратного пробоя. Эти полупроводниковые приборы выполняют функцию внешних источников эталонного напряжения, стабильность которого и определяет стабильность выходного напряжения устройства.

Операционные усилители в схемах источников напряжения косвенно участвуют в формировании выходного постоянного напряжения. Они используются главным образом для согласования реального источника эталонного напряжения с параметрами нагрузки. При этом целью такого согласования является обеспечение максимально возможной стабильности напряжения. Прежде всего, согласование касается выходного сопротивления и уровня выходного напряжения.

Рассмотрим схему источника напряжения, выполненного на основе инвертирующего усилителя (рис. 9.7). В схеме функцию источника постоянного (эталонного) напряжения выполняет стабилитрон Д, напряжение пробоя которого усиливается инвертирующим усилителем на ОУ и передается на выход с коэффициентом

том усиления $K_{U_{oc}}$. Таким образом, изменяя коэффициент передачи цепи ООС, можно изменять выходное напряжение устройства. В заключении следует отметить, что если ОУ идеальный ($K_{U0} \rightarrow \infty, R_{вых} \rightarrow 0$), то изменение напряжения на нагрузке, вызванное изменением ее тока, стремится к нулю. Следовательно, применение ОУ (особенно при значительных диапазонах изменения тока нагрузки) позволяет существенно повысить стабильность работы источников напряжения.

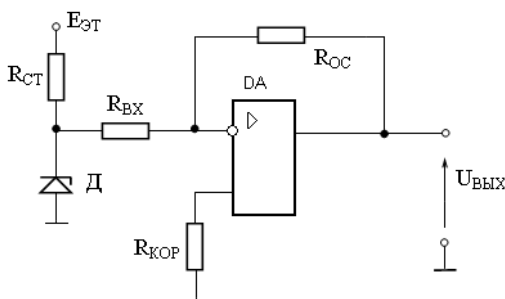


Рис. 9.7. Схема источника постоянного напряжения

9.4. Активные RC-фильтры

Одной из часто возникающих на практике задач является создание фильтров, пропускающих сигналы в определенном диапазоне (в полосе пропускания) частот и задерживающих их вне этого диапазона. Фильтры находят широкое применение в различных аналоговых и цифровых электронных устройствах обработки и преобразования сигналов. Соответственно различают аналоговые и цифровые фильтры. В данном разделе рассматриваются только аналоговые фильтры, которые строятся на основе пассивных (конденсаторов, резисторов) и активных элементов (операционных усилителей).

Основными характеристиками фильтров являются: амплитудно-частотная и фазочастотная характеристики. Амплитудно-частотная характеристика (АЧХ) представляет собой зависимость коэффициента передачи фильтра $K(\omega)$, определяемого отношением амплитудных значений сигналов на выходе и входе фильтра, от частоты.

На практике более широко используют логарифмическую АЧХ в децибелах, которая представляет собой зависимость вида

$$K(\omega) = 20 \lg |H(j\omega)| = 20 \lg \sqrt{P^2(\omega) + Q^2(\omega)},$$

где $H(j\omega) = P(\omega) + jQ(\omega)$ – передаточная функция; $P(\omega)$ и $Q(\omega)$ – соответственно действительная и мнимая части передаточной функции, т. е. $P(\omega) = \operatorname{Re} [H(j\omega)]$, $Q(\omega) = \operatorname{Im} [H(j\omega)]$; ω – круговая частота; $j = \sqrt{-1}$.

Фазочастотной характеристикой (ФЧХ) называется зависимость вида

$$\varphi(\omega) = \arg |H(j\omega)| = \operatorname{arctg} [Q(\omega) / P(\omega)].$$

Значение $\varphi(\omega)$ на некоторой частоте определяет сдвиг по фазе выходного сигнала (напряжения) по отношению к входному.

По виду АЧХ различают:

- фильтры нижних частот (ФНЧ), пропускающие на выход только сигналы, частоты которых меньше некоторой частоты среза ω_c (сигналы высоких частот задерживаются);

- фильтры верхних частот (ФВЧ), пропускающие на выход сигналы, частоты которых больше некоторой частоты среза ω_c (следует отметить, что частота среза для фильтров ФНЧ и ФВЧ имеет разные значения);

- полосовые фильтры, пропускающие сигналы, частоты которых расположены в некотором диапазоне частот $\omega_1 \dots \omega_2$;

- режекторные (заграждающие) фильтры, пропускающие на выход все сигналы, частоты которых расположены вне некоторого диапазона частот $\omega_1 \dots \omega_2$, сигналы этого диапазона частот задерживаются.

Идеализированные АЧХ этих фильтров приведены на рис. 9.8. Основными параметрами фильтров являются его полоса пропускания $\Delta\omega$. Например, для полосового фильтра $\Delta\omega$ определяется, как и в усилителях, разностью частот среза ω_2 и ω_1 ($\Delta\omega = \omega_2 - \omega_1$), на которых коэффициент передачи $K(\omega)$ уменьшается в 1,41 раза (на 3 дБ). Кроме $\Delta\omega$, полосовой фильтр может характеризоваться средней частотой $\omega_0 = (\omega_1 + \omega_2) / 2$.

Фильтры на пассивных элементах, называемые соответственно пассивными фильтрами, используются в силовых цепях, например, в качестве сглаживающих фильтров на выходе выпрямителей вторичного источника питания. Для них важной является проблема уменьшения габаритных размеров. Фильтры, в которых для формирования амплитудно-частотной характеристики заданного вида используются кроме пассивных также и активные (ОУ) элементы, называются активными RC-фильтрами.

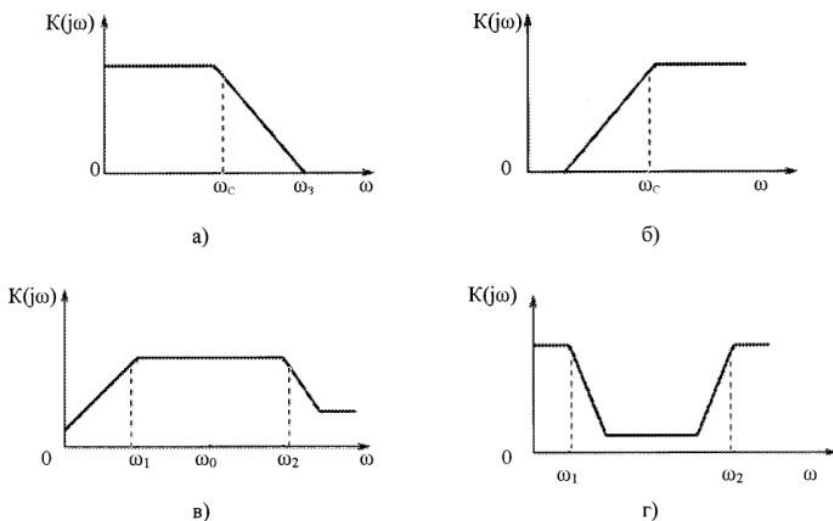


Рис. 9.8. Идеализированные АЧХ ФНЧ (а), ФВЧ (б), полосового (в) и режекторного (г) фильтров

Такие фильтры широко применяются в информативной электронике. В активных RC-фильтрах не используются катушки индуктивности, что позволяет их изготавливать с применением технологии интегральных микросхем.

Активные RC-фильтры по сравнению с пассивными оказываются дешевле, имеют малые габаритные размеры и способность усиливать сигнал, лежащий в полосе их пропускания, а также отличаются легкостью настройки и простотой каскадного включения при построении фильтров высоких порядков. Вместе с тем активные фильтры имеют ряд недостатков, которые ограничивают область их применения. К недостаткам активных фильтров относятся: необходи-

мость использования источника питания для ОУ и ограниченность частотного диапазона, определяемая собственными частотными свойствами используемых ОУ.

Частотные свойства фильтров сильно зависят от того, какими полиномами описываются их передаточные функции, или, другими словами, от того, как расположены нули и полюсы на плоскости комплексной частоты. Указанные особенности математического описания определяют ход амплитудно-частотных характеристик в полосе пропускания и переходной полосе, которая у реальных фильтров расположена между частотами среза ω_C и задерживания ω_3 (рис. 9.8, а).

В ряде случаев частоту задерживания ω_3 определяют как частоту, на которой коэффициент передачи $K(\omega)$ меньше его максимального значения в 100 раз (на 40 дБ) [11].

Рассмотрим вопросы схемотехнической реализации некоторых активных RC-фильтров, построенных на основе ОУ, охваченных обратными связями.

Фильтры низких частот

Функцию простейшего фильтра низких частот выполняет схема интегратора (рис. 8.8), рассмотренная ранее в разделе 8.3. Коэффициент передачи такого фильтра определяется выражением $K(p) = 1 / RCp$, а ЛАЧХ имеет вид аналогичный частотной характеристике, показанной на рис. 9.8, а. Наклон ЛАЧХ фильтра-интегратора на частотах выше ω_C равен -20 дБ/дек, а частота среза ω_c определяется как $\omega_c = 1 / RC (K_{uo} + 1)$, где K_{uo} – коэффициент усиления ОУ. Отсюда, изменяя параметры R и C , можно изменить частоту ω_c и, следовательно, полосу пропускания фильтра. При этом в полосе пропускания коэффициент передачи будет равным K_{uo} .

Рассмотрим схему активного RC-фильтра низких частот первого порядка (рис. 9.9, а), которая так же, как и идеальный интегратор, имеет однопетлевую обратную связь (ОС). Считая, что у ОУ бесконечно большое входное сопротивление и равное нулю выходное сопротивление, определим коэффициент передачи $K(p)$, который представляет собой отношение выходного напряжения $U_{\text{вых}}(p)$ фильтра

к его входному напряжению $U_{\text{вх}}(p)$, т. е.

$$K(p) = U_{\text{вых}}(p) / U_{\text{вх}}(p). \quad (9.8)$$

Далее для простоты записи напряжения $U(p)$ и ток $I(p)$ в операторной форме заменим на U и I , соответственно.

Известно, что для ОУ (по определению) $U_{\text{вых}} = K_{\text{уо}}(U_{\text{н}} - U_{\text{и}})$, где $U_{\text{н}}$ и $U_{\text{и}}$ – напряжения на неинвертирующем и инвертирующем входах ОУ, соответственно. Так как ОУ идеальный (его входной ток $I_{\text{вх}}$ равен 0), то через резисторы R_2 и R_1 протекает один и тот же ток I . Отсюда уравнение, составленное для внешней цепи, имеет следующий вид: $R_2 I + R_1 I = U_{\text{вых}}$. При этом напряжение $U_{\text{н}} = R_1 I$, и оно также может быть определено как $U_{\text{и}} = \beta U_{\text{вых}}$, где $\beta = R_1 / (R_1 + R_2)$ – коэффициент передачи цепи ОС.

Для входной (интегрирующей) RC-цепи имеем

$$U_{\text{вх}} = R I_1 + \left(1 + \frac{1}{pC}\right) I_1.$$

Далее с учетом того, что напряжение на неинвертирующем входе ОУ равно $U_{\text{н}} = I_1 / pC$, получаем $U_{\text{и}} = U_{\text{вх}} / \left(1 + \frac{1}{RCp}\right)$.

После подстановки $U_{\text{н}}$ и $U_{\text{и}}$ – в выражение (9.8) находим, что

$$U_{\text{вых}}(p) = K_{\text{уо}} [U_{\text{вх}}(p) / (1 + RCp) - \beta U_{\text{вых}}(p)].$$

Отсюда получим передаточную функцию АЧХ, которая имеет следующий вид:

$$K(p) = \frac{K_{\text{уо}} / (1 + \beta K_{\text{уо}})}{1 + RCp} = \frac{K_0}{1 + p\tau}, \quad (9.9)$$

где K_0 – коэффициент передачи фильтра на средней частоте ω_0 ; $\tau = RC$ – постоянная времени интегрирующей цепи. Если в выражении (9.9) заменить p на $j\omega$ и считать, что частота среза $\omega_c = 1 / RC$, то для модуля передаточной функции АЧХ получим

$$K(\omega_*) = K_0 / \sqrt{1 + \left(\frac{\omega}{\omega_c}\right)^2} = K_0 / \sqrt{1 + \omega_*^2},$$

где $\omega_* = \omega / \omega_c$ – относительная частота.

Обратная величина в логарифмическом масштабе определяет коэффициент затухания фильтра

$$a = -20 \lg K(\omega_*) = 10 \lg \frac{1}{K^2(\omega_*)} = 10 \lg \frac{1}{K_0^2 (1 + \omega_*^2)},$$

т. е., это фильтр Баттерворта первого порядка.

Рассмотренные ФНЧ-фильтры первого порядка имеют однопетлевую ОС и не обладают свойствами колебательного звена 2-го порядка [11]. Кроме того, частота среза ω_c у таких фильтров не постоянна и изменяется при подключении к его входу источников с различными выходными сопротивлениями, что является их недостатком. Этим недостаткам лишена схема активного RC-фильтра низких частот второго порядка с двухпетлевой ОС, схема которого приведена на рис. 9.9, б.

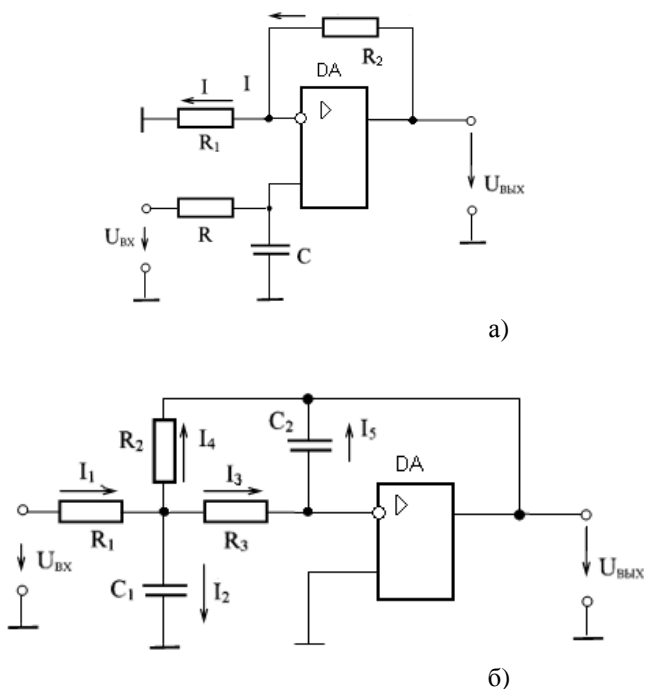


Рис. 9.9 Схема активного ФНЧ первого (а) и второго (б) порядков

В схеме активного ФНЧ, приведенного на рис. 9.9, считая, что ОУ идеальный, можно упростить процедуру получения выражения для передаточной функции АЧХ такого фильтра. С учетом сказанного, в соответствии с первым законом Кирхгофа для узла «а» запишем

$$I_1 = (U_{\text{вх}} - U_a) / R_1 = I_2 + I_3 + I_4,$$

причем

$$I_2 = p C_1 U_a, \quad I_3 = (U_a - U_{\text{и}}) / R_3 = U_a / R_3, \quad (9.10)$$

$$I_4 = (U_a - U_{\text{вых}}) / R_2, \quad I_5 = (U_{\text{и}} - U_{\text{вых}}) p C_2 = -p C_2 U_{\text{вых}}.$$

Выражения для токов I_3 и I_5 упрощены с учетом идеальности ОУ ($U_{\text{и}} = U_{\text{н}} = 0$, $R_{\text{вхОУ}} \rightarrow \infty$). Далее после подстановки (9.10) в (9.9) и несложного преобразования, а также с учетом того, что $I_3 = I_5$, получим выражение для передаточной функции АЧХ рассматриваемого фильтра, которое имеет вид, аналогичный передаточной функции ФНЧ второго порядка:

$$K(p) = A_0 / (ap^2 + bp + c),$$

где A_0 , a , b , c – постоянные величины, которые в данном случае равны:

$$A_0 = -R_2; \quad a = R_1 R_2 R_3 C_1 C_2; \quad b = R_3 R_2 + R_1 R_2 + R_1 R_3; \quad c = R_1.$$

Полюсы передаточной функции расположены в точках

$$p_{1,2} = -\frac{b}{2d} \pm \sqrt{1/R_3 R_2 C_2 C_1 - \frac{1}{4}(b/d)^2}, \quad \text{где } d = R_1 R_2 R_3 C_2.$$

Данная формула позволяет синтезировать колебательные звенья второго порядка с установленным заранее расположением полюсов.

Фильтр высоких частот

Рассмотрим простейший активный RC-фильтр высоких частот, схема которого приведена на рис. 9.10. Считаем, что ОУ идеальный и частотой среза ω_c выбрана частота, при которой затухание α равно 3 дБ. Так как входной ток ОУ равен нулю ($I_{\text{вх}} = 0$), токи $I_1 = I_2$ и эти токи с учетом того, что $U_{\text{и}} = U_{\text{н}}$ определяется как

$$I_1 = U_{\text{ВХ}} / (R_1 + 1 / pC) \text{ и } I_2 = - U_{\text{ВЫХ}} / R_2.$$

Исключив, из этих равенств токи I_1 и I_2 , получим выражение для передаточной функции $K(p)$:

$$K(p) = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = - \frac{R_2}{R_1 + 1/pC} = - \frac{R_2 C p}{1 + R_1 C p} = - \frac{K_0 \tau p}{1 + \tau p}, \quad (9.11)$$

где $K_0 = R_2/R_1$; $\tau = R_1 C$.

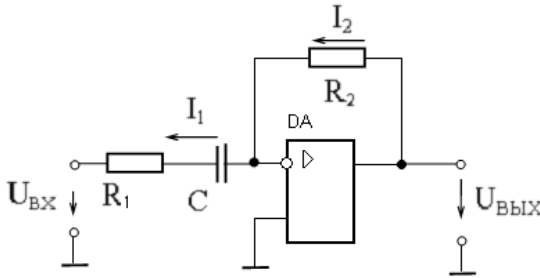


Рис. 9.10 Схема активного ФВЧ первого порядка

Заменяв в (9.11) p на $j\omega$, находим модуль передаточной функции АЧХ ФВЧ:

$$|K(j\omega)| = K_0 \omega \tau / \sqrt{1 + (\omega \tau)^2}.$$

Затухание $a = 3$ дБ при $K(\omega_c)/K_0 = 1/\sqrt{2}$, т. е. $\omega_c = 1/\tau$. Так как затухание

$$a = 10 \lg \frac{1}{|K(j\omega)|^2} = 10 \lg \frac{1}{K_0^2} \left[1 + 1/(\omega/\tau)^2 \right],$$

то этот фильтр ВЧ имеет полосу пропускания от ω_c до бесконечности.

Используя каскадное соединение фильтров первого и второго порядков можно получить фильтры более высокого порядка. Для создания простых полосового или режекторного фильтров соединяют соответственно последовательно или параллельно фильтры низких и

высоких частот. В качестве примера на рис. 9.11 приведена схема полосового активного RC-фильтра, передаточная функция АЧХ которой имеет следующий вид:

$$K(p) = -\frac{Z_{oc}}{Z_{вх}} = -\frac{R}{(1 + RCp)R(1 + 1/RCp)} = -p\tau / (1 + p\tau)^2,$$

где $\tau = RC$

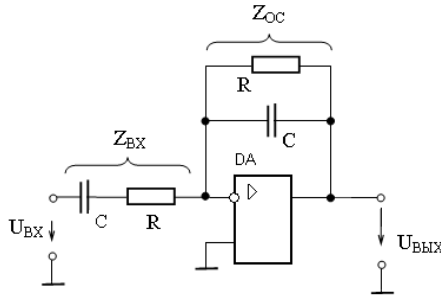


Рис. 9.11. Схема полосового активного RC-фильтра

Рассмотренные выше фильтры могут составлять основу фильтров Баттерворта, Чебышева, Бесселя или фильтров другого типа (например, эллиптического) в зависимости от значений сопротивлений резисторов R_1 и R_2 и емкости конденсаторов C_1 и C_2 [11].

10. УСТРОЙСТВА СРАВНЕНИЯ АНАЛОГОВЫХ СИГНАЛОВ

10.1. Аналоговые компараторы

Одной из основных аналоговых функций является функция сравнения, для реализации которой обычно используются широко распространенные аналоговые интегральные схемы, называемые компараторами. При этом с помощью компараторов сравниваются между собой два аналоговых сигнала, под которыми чаще всего подразумеваются напряжения. При этом один из сравниваемых сигналов может быть переменным (изменяться во времени по какому-либо закону), как и второй, или постоянным и выполнять функцию источника эталонного напряжения.

В зависимости от значений входных сигналов (один из сравниваемых сигналов больше, равен или меньше другого), на выходе компаратора формируются либо напряжения противоположной полярности (как правило, с равными по модулю значениями), либо напряжение одной полярности. В первом случае для сравнения двух аналоговых сигналов используются компараторы, выполненные на основе ОУ общего применения. Во втором случае компараторы реализуют с использованием специализированных аналоговых интегральных схем. При этом выходные напряжения таких компараторов должны быть согласованы по уровню и полярности с сигналами, используемыми в цифровой технике, т. е. с уровнями логической «1» и логического «0». Таким образом, компараторы являются основными функциональными блоками (или узлами) современной аналоговой и цифровой техники, а также класса аналого-цифровых схем взаимного преобразования аналоговых и цифровых сигналов.

Однопороговые схемы сравнения (детекторы уровня)

Аппаратурное использование компараторных схем связано с необходимостью работать при больших амплитудах (уровнях) входных сигналов, насыщающих транзисторы ОУ.

Рассмотрим одну из схем компаратора (рис. 10.1, а), в которой входной сигнал сравнивается с эталонным уровнем напряжения, равным нулю. Таковую схему компаратора, которая имеет симметричную передаточную

характеристику (рис. 10.1, б), также называют детектором нуля. На рис. 10.1, в приведены временные диаграммы, поясняющие работу компаратора на ОУ в случае, когда на его вход подается переменное напряжение $U_{\text{ВХ}} = U_m \sin \omega t$, где U_m – амплитудное значение входного сигнала. Из временной диаграммы на рис. 10.1, в видно, что пока синусоидально изменяющееся входное напряжение по модулю меньше некоторого порогового значения входного напряжения $|U_{\text{ВХ MAX}}|$, определяемого отношением $|U_{\text{ВЫХ MAX}}| / K_{\text{УО}}$, выходное напряжение увеличивается по абсолютной величине пропорционально входному напряжению $U_{\text{ВХ}}$, согласно выражению

$$u_{\text{ВЫХ}} = K_{\text{УО}} U_m \sin \omega t,$$

где $K_{\text{УО}}$ – коэффициент усиления ОУ. Когда входное напряжение достигнет своего порогового значения, выходное напряжение компаратора ограничивается величиной $|U_{\text{ВЫХ MAX}}|$ и при дальнейшем увеличении $|u_{\text{ВХ}}|$ остается постоянным. Таким образом, на выходе компаратора формируется двухполярное напряжение, которое по форме с увеличением скорости изменения входного сигнала приближается к прямоугольному.

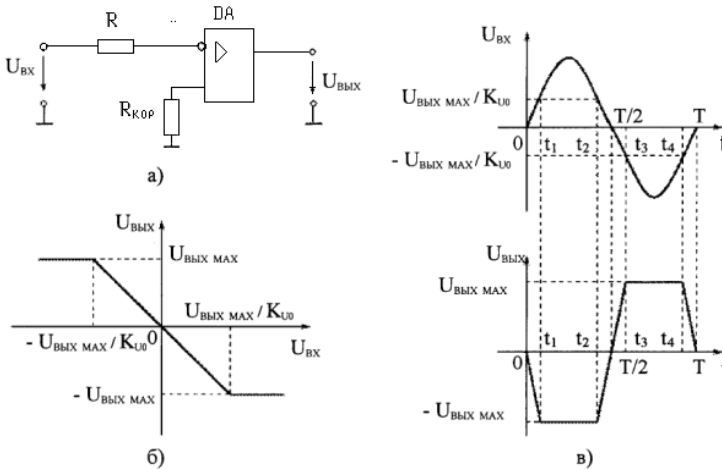


Рис. 10.1. Схема детектора нуля (а), ее передаточная характеристика (б) и временные диаграммы изменения входного и выходного напряжений (в)

Рассмотрим схемы компаратора, в которых входное напряжение сравнивается с некоторым наперед заданным эталонным уровнем напряжения, отличным от нуля. Эти схемы называются также одно-пороговыми схемами сравнения, а иногда детекторами уровня с положительным и отрицательным порогом срабатывания (рис. 10.2, а и 10.3, а). Как видно из передаточных характеристик (рис. 10.2, б и 10.3, б) этих схем, их срабатывание происходит, когда входное напряжение сравнивается с заданным эталонным напряжением, т. е., когда разность напряжений между инвертирующим и неинвертирующим входами ОУ приравняется нулю. Для схемы компаратора на рис. 10.2, а ее переключение из исходного состояния с выходным напряжением, равным $U_{\text{ВЫХ МАХ}}$ в новое, происходит, когда входное напряжение достигнет уровня эталонного напряжения $E_{\text{ЭТ}}$ ($U_{\text{ВХ}} = E_{\text{ЭТ}}$). Поэтому напряжение $E_{\text{ЭТ}}$ называют порогом срабатывания схемы компаратора.

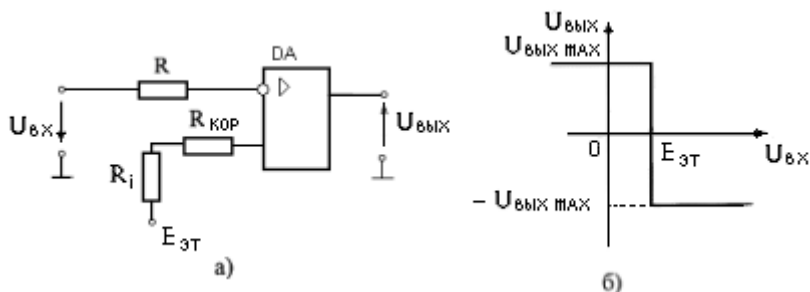


Рис. 10.2. Схема детектора уровня с положительным порогом срабатывания (а) и ее передаточная характеристика (б)

Аналогично работает схема компаратора с отрицательным порогом срабатывания (рис. 10.3, а), только с тем отличием, что в исходном состоянии напряжение на ее выходе равно $-U_{\text{ВЫХ МАХ}}$ и ее переключение в другое состояние с выходным напряжением $U_{\text{ВЫХ}} = U_{\text{ВЫХ МАХ}}$ происходит в момент равенства входного $U_{\text{ВХ}}$ и эталонного $-E_{\text{ЭТ}}$ напряжений ($U_{\text{ВХ}} = -E_{\text{ЭТ}}$). Если в схеме компаратора на рис. 10.2, а на неинвертирующий вход ОУ вместо эталонного напряжения $E_{\text{ЭТ}}$ подать переменное напряжение, то получим схему сравнения двух переменных напряжений. Такая схема компаратора

работает аналогично однопороговым схемам сравнения, рассмотренным выше, и ее срабатывание происходит в моменты совпадения входных сигналов как по абсолютному значению, так и по знаку.

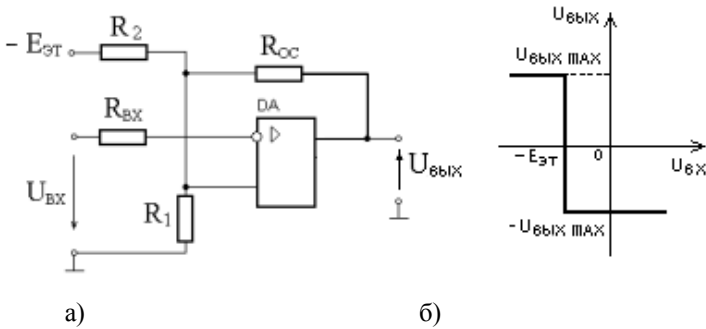


Рис. 10.3. Схема детектора нуля с отрицательным порогом срабатывания (а) и ее передаточная характеристика (б)

10.2. Регенеративная схема сравнения

Использование в схеме сравнения ОУ, охваченного цепью положительной обратной связи (ПОС) с коэффициентом передачи, удовлетворяющим условию $\beta_{ос} > 1/K_{У0}$, позволяет построить схемы так называемых регенеративных устройств, у которых передаточные характеристики неоднозначны, т. е. имеют области неоднозначного соответствия между входным и выходным напряжениями (имеют гистерезис).

Рассмотрим принцип работы схемы регенеративного устройства, называемой также гистерезисной схемой сравнения (рис. 10.4). Пусть в исходном состоянии, когда на входе схемы отсутствует напряжение ($U_{вх} = 0$), выходное напряжение имеет значение, равное $+U_{вых\ макс}$. Тогда напряжение на неинвертирующем входе ОУ U_H будет определяться выражением

$$U_H = U_{вых\ макс} R_1 / (R_1 + R_2). \quad (10.1)$$

Схема в этом состоянии может находиться до тех пор, пока напряжение на ее входе не станет равным $U_{вх\ H}$. При этом значении

входного напряжения, которое называется напряжением срабатывания U_{CP} , происходит переключение схемы и на ее выходе формируется напряжение, равное $-U_{ВЫХ\ MAX}$.

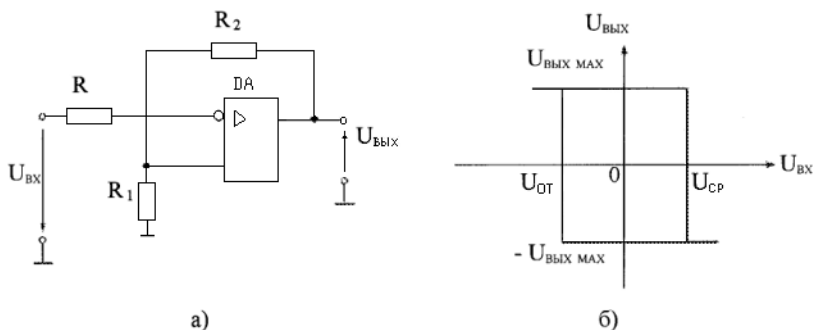


Рис. 10.4. Гистерезисная схема сравнения (а) и ее передаточная характеристика (б)

Очевидно, напряжение срабатывания U_{CP} определяется, как и U_H , по формуле (10.1). В этом состоянии схемы на неинвертирующем входе ОУ устанавливается напряжение, определяемое выражением

$$U_H = -U_{ВЫХ\ MAX} \frac{R_1}{(R_1 + R_2)}.$$

Это состояние схемы так же, как и исходное, является устойчивым, пока выполняется условие

$$U_{ВХ} > -U_{ВЫХ} \frac{R_1}{(R_1 + R_2)}. \quad (10.2)$$

Когда неравенство в выражении переходит в равенство, схема возвращается в первоначальное устойчивое состояние и ее выходное напряжение вновь будет равно $+U_{ВЫХ\ MAX}$. Значение входного напряжения, при котором это происходит, называется напряжением отпуска $U_{ОТ}$, которое определяется как

$$U_{ОТ} = -U_{ВЫХ\ MAX} \frac{R_1}{(R_1 + R_2)}. \quad (10.3)$$

При дальнейшем изменении входного напряжения $U_{\text{вх}}$, когда оно станет отрицательнее напряжения отпускания $U_{\text{от}}$, а также меньше напряжения срабатывания $U_{\text{сп}}$, схема устойчиво сохраняет состояние, соответствующее $+U_{\text{вых max}}$.

Как видно из выражения (10.3), напряжения срабатывания и отпускания у регенеративной схемы сравнения противоположны по знаку, но они могут быть равны по величине, если имеет место равенство $+U_{\text{вых max}} = |-U_{\text{вых max}}|$. Этому случаю соответствует передаточная характеристика (рис. 10.4, б), которая симметрична относительно начала координат.

Для получения различных напряжений срабатывания и отпускания в цепи ПОС ОУ применяются регенеративные схемы сравнения со смещенными передаточными характеристиками [11]. В таких схемах к неинвертирующему входу ОУ параллельно резистору R_1 подключают диод Д, который закрыт при отрицательных выходных напряжениях и не влияет на момент отпускания схемы и, следовательно, напряжение отпускания определяется, как и в случае схемы на рис. 10.4, выражением (10.3).

Если на выходе регенеративной схемы сравнения имеется положительное напряжение $U_{\text{вых max}}$, тогда диод Д открыт и напряжение срабатывания не зависит от значения $U_{\text{вых max}}$, а определяется падением напряжения на открытом диоде. Поэтому передаточная характеристика такой схемы сравнения не симметрична относительно начала координат.

Для получения несимметричной передаточной характеристики в регенеративных схемах сравнения используются также дополнительные источники смещения. Например, в схеме на рис. 10.5, а использован источник положительного смещения $E_{\text{см}}$ с нулевым выходным сопротивлением, который подключен последовательно с резистором R_1 к неинвертирующему входу ОУ. Благодаря этому передаточная характеристика (рис. 10.5, б) смещена вправо от начала координат на величину напряжения смещения $E_{\text{см}}$. Если в гистерезисной схеме сравнения, которая называется также триггером

Шмитта, напряжение смещения подать на инвертирующий вход ОУ, тогда передаточная характеристика у такой схемы будет смещена влево от начала координат на величину этого напряжения смещения.

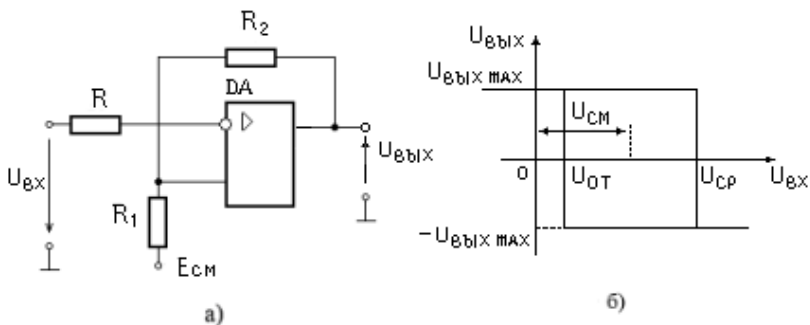


Рис. 10.5. Гистерезисная схема сравнения со смещенной характеристикой (а) и ее передаточная характеристика (б)

Рассмотренные выше схемы сравнения, выполненные на ОУ общего назначения, применяются при разработке высокоточных компараторов, работающих с медленно изменяющимися входными сигналами. Эти схемы также могут сформировать на своих выходах сигналы необходимых, например, цифровых уровней. Однако они требуют для этого введения большого числа дополнительных элементов, а также не могут обеспечить нужного (высокого) быстродействия. Для решения этих проблем используются высокоточные и высокоскоростные интегральные компараторы, выходные напряжения которых согласованы с сигналами, используемыми в цифровой технике для отображения сигналов логической «1» и логического «0».

11. ЦИФРО-АНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

В современных вычислительных системах, использующих цифровые методы обработки информации, широко применяются устройства взаимного преобразования аналоговых и цифровых сигналов. Функции таких устройств выполняют аналого-цифровые и цифро-аналоговые преобразователи.

Обычно под аналоговыми сигналами понимают ток или напряжение, а под цифровыми – двоичные сигналы, представленные либо в прямом, либо в двоично-десятичном коде.

11.1. Цифро-аналоговые преобразователи

Цифро-аналоговые преобразователи (ЦАП) предназначены для преобразования цифровых сигналов в аналоговые. Основными параметрами ЦАП являются число разрядов, разрешающая способность, погрешность преобразования, время установления, нелинейность и напряжение смещения нуля.

Число разрядов двоичного кода (N), отображающего аналоговый сигнал, которое может подаваться на вход ЦАП, представляет собой величину, обратную максимальному числу шагов квантования выходного аналогового сигнала. Разрешающая способность указывает на число разрядов входного двоичного кода цифрового сигнала и тем самым определяет число ступенек выходного аналогового сигнала. Другими словами, разрешающая способность определяет величину, обратную максимальному числу шагов квантования выходного аналогового сигнала. При этом шаг квантования равен в среднем отношению опорного напряжения $U_{оп}$ к этому числу. Таким образом, N -разрядный ЦАП имеет разрешающую способность, равную $U_{оп} / 2^N$.

Погрешность преобразования в конечной точке шкалы (δF_s) представляет собой отклонение реальных максимальных значений выходного для ЦАП аналогового сигнала от значений, соответствующих конечной точке идеальной характеристики преобразования. Под напряжением смещения нуля $U_{см}$ для ЦАП понимают напряжение, присутствующее на его выходе при подаче на вход нуле-

вого двоичного кода. Мерой измерения величины U_{CM} обычно используется единица младшего разряда (ЕМР).

Нелинейность (δL) – погрешность, вызванная отклонением реальной характеристики преобразования от идеальной прямой линии во всем диапазоне преобразования, т. е. это разность реального напряжения, соответствующего выбранному значению кода и напряжения, которое должно соответствовать этому коду в случае идеальной характеристики преобразования устройства (рис. 11.1).

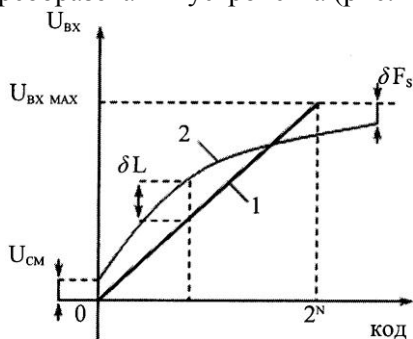


Рис. 11.1. Идеальная прямая линия, соединяющая конечные точки преобразования (1) и вариант реальной характеристики преобразования (2)

Идеальная прямая линия может быть определена, либо как прямая линия, соединяющая конечные точки преобразования 0 и $U_{ВХ MAX}$ (рис. 11.1), либо как линия «наилучшая», обеспечивающая минимизацию погрешности δL , например, среднеквадратическое отклонение всех точек которой от реальной характеристики минимально (рис. 11.2). Величину погрешности δL измеряют в ЕМР.

Кроме рассмотренных выше статических параметров ЦАП имеются еще параметры, которые характеризуют его динамические свойства. К ним относятся время установления выходного сигнала и максимальная частота преобразования.

Время установления ($t_{уст}$) – интервал времени, отсчитываемый с момента подачи двоичного кода на вход ЦАП до момента установления выходного аналогового сигнала ЦАП в пределах, соответствующих заданной погрешности (половине единицы ЕМР).

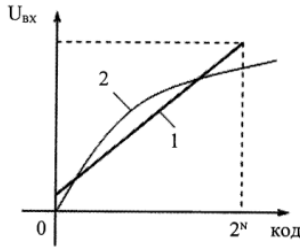


Рис. 11.2. «Наилучшая» прямая линия (1) и вариант реальной характеристики преобразования (2)

Максимальная частота преобразования ($f_{\text{с макс}}$) – наибольшая частота дискретизации, которая связана с временем установления условия $f_{\text{с макс}} \leq \frac{1}{2 \cdot t_{\text{уст}}}$.

Для преобразования цифрового сигнала в соответствующий ему аналоговый сигнал (ток или напряжение) на выходе устройства применяются различные схемы, наиболее распространенными из которых являются схемы ЦАП с суммированием весовых токов (или напряжений) и использованием резистивной матрицы.

Схема ЦАП с суммированием весовых токов характеризуется наличием ряда источников тока, которые могут быть подключены к выходной шине с помощью ключевых схем, управляемых разрядами преобразуемого входного двоичного кода. Каждый источник тока соответствует одному разряду входного двоичного кода. При этом возможны несколько способов получения относительных весов источника тока, соответствующих разным разрядам. Один из них заключается в использовании двоичновзвешенных резисторов, сопротивления которых пропорциональны весовым коэффициентам входного двоичного кода.

Двоичновзвешенные резисторы позволяют получить двоичновзвешенные токи, которые коммутируются либо на выход, либо на шину питания через входную шину управления. Каждый резистор во входной цепи соответствует определенному разряду двоичного кода цифрового сигнала. По существу такой ЦАП представляет собой инвертирующий усилитель на ОУ, во входной цепи которого используются двоичновзвешенные резисторы с

управляемыми электронными ключами, подключенные к источнику эталонного напряжения.

Модуль выходного напряжения пропорционален входному двоичному коду числа, который определяет состояние ключей. Схема такого ЦАП проста, но имеет некоторые недостатки: значительные изменения напряжения на ключах и использование резисторов с сильно отличающимися сопротивлениями, требуемую точность которых трудно обеспечить.

Рассмотрим схему ЦАП, в которой используется источник эталонного напряжения $E_{эТ}$ и резистивная матрица $R-2R$ (рис. 11.3). В этой схеме ЦАП применяются резисторы с сопротивлениями только двух номиналов: R и $2R$, что выгодно отличает ее от схемы ЦАП с суммированием весовых токов, где применяются двоично-взвешенные резисторы с различными номиналами сопротивлений [11]. Другой особенностью матрицы $R-2R$ является то, что ее выходное сопротивление относительно любого узла (a, b, c, d) равно R . Это объясняется тем, что к каждому из узлов этой матрицы подключены две параллельные цепи, сопротивление каждой из которых равно $2R$.

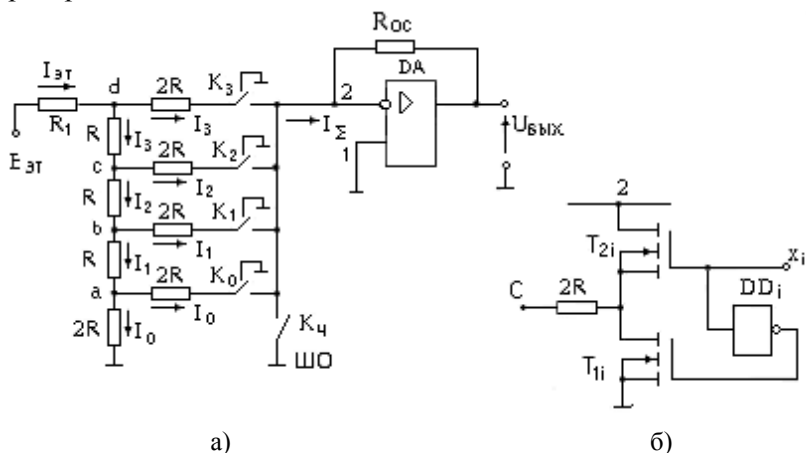


Рис. 11.3. Схема ЦАП с матрицей $R-2R$ (а) и управляемый электронный ключ i -го разряда (б)

Если в гистерезисной схеме сравнения, которая называется также триггером Шмитта, напряжение смещения подать на

инвертирующий вход ОУ, тогда передаточная характеристика у такой схемы будет смещена влево от начала координат на величину этого напряжения смещения.

Данная схема, кроме матрицы $R-2 R$, также содержит управляемые электронные ключи $K_3...K_0$, выполненные на пМОП-транзисторах, инверторы $DD3...DD0$ и ОУ с цепью отрицательной обратной связи. Состояние ключей $K_3...K_0$ зависит от цифрового сигнала, подаваемого на вход ЦАП двоично-десятичного кода.

Рассмотрим работу схемы ЦАП, показанной на рис. 11.3. В исходном состоянии, когда на вход ЦАП подан нулевой двоичный код (0000), ключ K_4 замкнут (при остальных значениях входного двоичного кода ключ K_4 разомкнут) и правые выводы резисторов $2 R$ через открытые транзисторы T_{1i} ($i = 0, 1, 2, 3$) ключей $K_3...K_0$ подключаются к общей шине. Тогда напряжение относительно общей шины в каждом из последующих узлов «а», «b», «с» и «d» будет в два раза больше, чем в предыдущем узле. Например, напряжение в узле «b» (U_b) будет в 2 раза больше напряжения в узле «а» (U_a), а напряжение в узле «с» в 2 раза больше, чем U_b и т. д. Отсюда напряжения в указанных узлах, в предположении, что внутреннее сопротивление R_1 источника $E_{эТ}$ равно нулю, можно определить следующим образом:

$$U_d = E_{эТ}; U_c = E_{эТ} / 2; U_b = E_{эТ} / 4; U_a = E_{эТ} / 8.$$

Аналогично можно определить токи, втекающие в узлы матрицы, которые при выходе из каждого i -го узла делятся пополам. Например, ток, втекающий в узел «d» и определяемый как $I_{эТ} = E_{эТ} / R$, делится на две равные по величине части, т. е. $I_3 = I_{эТ} / 2 = E_{эТ} / 2 \cdot R$. В свою очередь ток I_3 также при выходе из узла «с» делится на две части, каждая из которых имеет значение, равное половине тока I_3 , т. е. $I_2 = I_3 / 2 = E_{эТ} / 2 \cdot 2 \cdot R$.

По аналогии определяются токи:

$$I_1 = I_2 / 2 = E_{эТ} / 4 \cdot 2 \cdot R \text{ и } I_0 = I_1 / 2 = E_{эТ} / 8 \cdot 2 \cdot R.$$

Как видно из схемы на рис. 11.3, токи в ветвях с резисторами $2R$ не изменятся, когда ключи $K_3 \dots K_0$ будут подключены к узлу «2», т. к. напряжение между инвертирующим $U_{\text{и}}$ и неинвертирующим $U_{\text{н}}$ входами ОУ практически равно нулю. Таким образом, ток I_{Σ} , втекающий в узел «2», равный, согласно первому закону Кирхгофа, сумме токов I_0, I_1, I_2, I_3 , определяется как

$$I_{\Sigma} = \left(\frac{1}{2^1} + \frac{1}{2^2} + \frac{1}{2^3} + \frac{1}{2^4} \right) \cdot \frac{E_{\text{ЭГ}}}{R}. \quad (11.1)$$

Отсюда выходное напряжение ЦАП

$$U_{\text{вых}} = - \left(\frac{1}{2^1} x_3 + \frac{1}{2^2} x_2 + \frac{1}{2^3} x_1 + \frac{1}{2^4} x_0 \right) \cdot \frac{E_{\text{ЭГ}} \cdot R_{\text{ос}}}{R}$$

или

$$U_{\text{вых}} = - (8x_3 + 4x_2 + 2x_1 + x_0) \cdot \frac{E_{\text{ЭГ}} \cdot R_{\text{ос}}}{16R}, \quad (11.2)$$

где x_0, x_1, x_2, x_3 – сигналы разрядов входного двоичного кода, которые могут принимать значения 0 или 1.

Из выражения (11.2) видно, что выходное напряжение прямо пропорционально весовым коэффициентам входного двоичного кода цифрового сигнала. Если сигнал i -го разряда входного двоичного кода x_i равен 1, то ключ K_i замыкается (T_{2i} открывается, а T_{1i} закрывается) и резистор $2R$ соответствующей ветви подключается к инвертирующему входу ОУ. В противном случае, когда двоичный сигнал $x_i = 0$, ключ K_i размыкается (T_{2i} закрывается). В результате i -я составляющая тока в выражении (11.1) будет отсутствовать и, следовательно, соответствующим образом изменится значение выходного напряжения. Точность и стабильность параметров схемы ЦАП (рис. 11.3) в основном зависят от точности изготовления и стабильности сопротивлений резисторов. Обычно сопротивление резистора цепи обратной связи $R_{\text{ос}}$ выбирается из условия $R_{\text{ос}} / R = 1$.

Рассмотрим ЦАП для преобразования двоично-десятичных чисел, схема которого приведена на рис. 11.4. В этой схеме каждому разряду

десятичного числа соответствует своя матрица $R-2R$, обозначенная прямоугольниками. Через $Z_3...Z_0$ обозначены десятичные числа, значения которых определяются состоянием ключей каждой матрицы $R-2R$.

Рассмотрим фрагмент схемы (рис. 11.5), соответствующий младшему разряду четырехразрядного десятичного числа. Исходя из этой схемы можно записать

$$U_0 = U_1 \left(\frac{R \cdot 9R}{R + 9R} \right) / \left(8,1R + \frac{R \cdot 9R}{R + 9R} \right) = 0,1 \cdot U_1 \cdot$$

С учетом этого получим

$$U_{\text{вых}} = - \left(10^3 Z_3 + 10^2 Z_2 + 10 Z_1 + Z_0 \right) U_0 R_{\text{oc}} / 16 R ,$$

т. е. выходное напряжение пропорционально весовым коэффициентам разрядов десятичных чисел, представленных в двоично-десятичном коде.

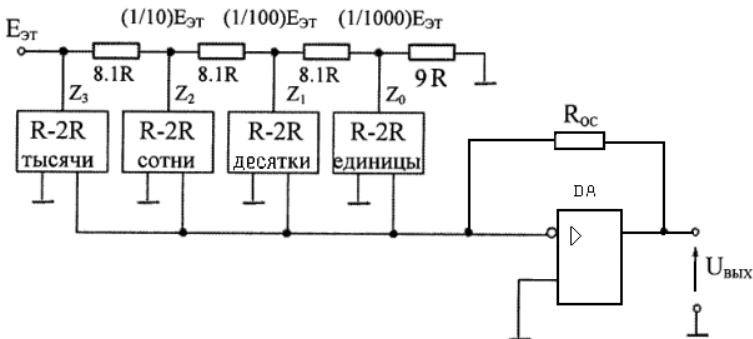


Рис. 11.4. Структурная схема ЦАП для преобразования двоично-десятичных чисел

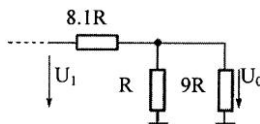


Рис. 11.5. Фрагмент схемы ЦАП

11.2. Аналого-цифровые преобразователи

Аналого-цифровые устройства предназначены для преобразования аналоговых сигналов в цифровые. Процесс аналого-цифрового преобразования предполагает последовательное выполнение следующих операций:

- дискретизация аналогового сигнала по времени, т. е. выбор его мгновенных значений в некоторые наперед заданные дискретные моменты времени;
- квантование по уровню дискретных значений аналогового сигнала;
- кодирование квантованных значений дискретного сигнала некоторыми числовыми кодами.

Процесс квантования по уровню дискретного сигнала всегда связан с внесением некоторой погрешности ϵ_i , значение которой определяется как

$$\epsilon_i \leq h/2, \text{ где } h - \text{ шаг квантования.}$$

На рис. 11.6 дана иллюстрация процессов квантования дискретных значений аналогового сигнала и кодирование квантованных значений дискретного сигнала. Дискретизация аналогового сигнала $S(t)$ осуществляется в отсчетных точках t_1, t_2 и т. д. с постоянным шагом $\Delta t = t_{i+1} - t_i, i = 1, 2, 3 \dots$. На рис. 11.6 показано, что каждому дискретному значению аналогового сигнала соответствует свой уровень квантования и, следовательно, определенная комбинация двоичного цифрового кода.

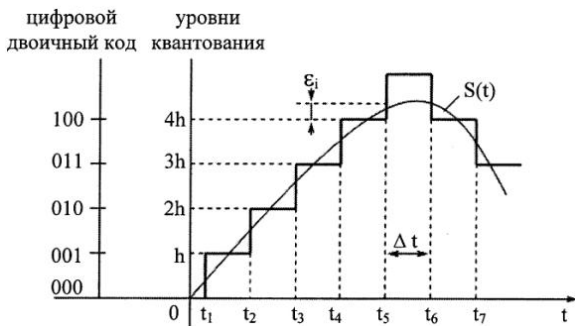


Рис. 11.6. Иллюстрация процесса квантования дискретных значений аналогового сигнала

Основные параметры АЦП такие же, как и для ЦАП, однако существуют и некоторые различия. Число разрядов – число разрядов двоичного кода, отображающего аналоговый сигнал, которое может формировать АЦП на своем выходе. Разрешающая способность и в этом случае характеризует число разрядов цифрового выхода АЦП и тем самым определяет число различных ступенек входного сигнала. Обычно разрешающую способность АЦП определяют величиной, обратной максимальному числу кодовых комбинаций на выходе АЦП. Например, 10-разрядный АЦП имеет разрешающую способность $(2^{10} = 1024)^{-1}$, т. е. при «полной шкале входного сигнала», соответствующей 10 В, абсолютное значение шага квантования не превышает 10 мВ. Время преобразования $t_{пр}$ – интервал времени, отсчитываемый с момента заданного изменения сигнала на входе АЦП до момента, при котором на его выходе появляется соответствующий двоичный код. Аналогичный параметр для ЦАП называется временем установления $t_{уст}$.

Преобразование аналогового сигнала в соответствующий ему двоичный код цифрового сигнала на выходе АЦП может осуществляться различными методами, основными из которых являются: метод параллельного преобразования аналогового сигнала, метод последовательного приближения (преобразования) и метод «интегрирования». Устройства, в которых для выполнения операций преобразования используются эти методы, имеют соответствующие названия. Рассмотрим АЦП с параллельным преобразованием входного аналогового сигнала. Схема такого преобразователя приведена на рис. 11.7. Данный АЦП содержит 7 компараторов, на инвертирующие входы которых подаются опорные напряжения, значения которых соответствуют определенным уровням квантования и, следовательно, определенным комбинациям двоичного кода. На объединенные неинвертирующие входы компараторов подается преобразуемое входное напряжение (аналоговый сигнал), значение которого в заданное дискретное (отсчетное) время сравнивается одновременно с n (в данном случае $n = 7$) опорными напряжениями. В результате такого сравнения с погрешностью не больше половины уровня квантования ($\varepsilon_i \leq h / 2$) определяются опорные напряжения, которые по величине меньше текущего мгновенного значения входного аналогового сигнала. Числу таких опорных напряжений соответ-

ствует число единиц в n -разрядном унитарном коде, снимаемом одновременно со всех выходов компаратора.

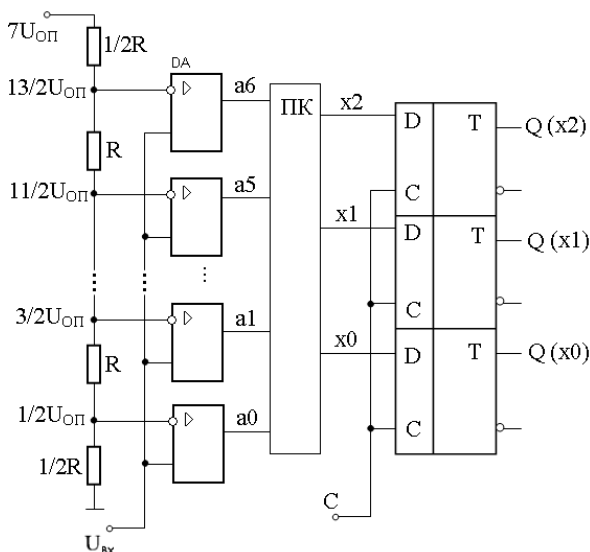


Рис. 11.7. Структурная схема АЦП параллельного преобразования

Полученный n -разрядный код подается на входы преобразователя кода (ПК) и появляется на его выходе в виде двоичного кода с числом разрядов, определяемым как $N = \log_2 n$. Далее этот двоичный код по разрешению синхронизирующего сигнала C фиксируется в трехразрядном параллельном регистре, выполненном на D -триггерах. Выходы регистра одновременно являются и выходами АЦП.

Рассмотрим несколько подробнее принцип работы АЦП с параллельным преобразованием (рис. 11.7). Пусть в исходном состоянии входное напряжение равно нулю ($U_{вх} = 0$). Тогда для всех ОУ разность напряжений между неинвертирующим U_n и инвертирующим U_i входами меньше нуля: $(U_n - U_i) < 0$. При этом напряжения на

выходах всех ОУ равны $-E$, а на выходах ПК и, следовательно, на выходах регистра (с разрешения синхросигнала С) устанавливаются нули, т. е. $x_0 = x_1 = x_2 = 0$, где $E = U_{\text{вх max}}$ – максимальное значение выходного напряжения ОУ. Если входное напряжение $U_{\text{вх}}$ больше половины опорного напряжения $U_{\text{оп}}$ ($U_{\text{вх}} > 0,5U_{\text{оп}}$), но меньше $\frac{3}{2}U_{\text{оп}}$, тогда только для 1-го ОУ разность напряжений $U_{\text{н}} - U_{\text{и}} > 0$.

Поэтому только на его выходе появляется напряжение $+E$, а напряжения на выходах остальных ОУ по прежнему равны $-E$, что приводит к появлению на выходах ПК и регистра следующих сигналов: $x_0 = 1$, $x_1 = x_2 = 0$.

Если $U_{\text{вх}} > \frac{3}{2}U_{\text{оп}}$, но меньше $\frac{5}{2}U_{\text{оп}}$, то на выходах 1- и 2-го

ОУ появляется напряжение $+E$, что приводит к формированию на выходах ПК и регистра двоичного кода 010. При дальнейшем увеличении входного сигнала $U_{\text{вх}}$ число опорных напряжений, которые оказываются меньше $U_{\text{вх}}$, увеличивается и, следовательно, увеличивается число ОУ, на выходах которых появляется напряжение, равное $+E$, и в результате этого на выходах АЦП формируются новые комбинации сигналов двоичного кода.

Таким образом, двоичный код на выходе АЦП формируется одновременно по всем разрядам, что обеспечивает его высокое быстродействие. Время преобразования в таком АЦП определяется главным образом задержками в элементах ПК. Однако схема оказывается достаточно сложной. Особенно это проявляется, когда требуется обеспечить высокую точность преобразования. Например, для построения 8-разрядного АЦП необходимо использовать $2^8 - 1 = 255$ компараторов. Таким образом, аппаратные затраты в АЦП с параллельным преобразованием оказываются значительными.

Аппаратные затраты можно существенно снизить, если для преобразования аналогового сигнала использовать АЦП последовательного счета, структурная схема которого приведена на рис. 11.8. В таком АЦП, который также называют АЦП со следящей связью, используют генератор тактовых импульсов (ГТИ), ЦАП, схему

сравнения (компаратор), логический элемент (ЛЭ) «И» и обычный (или реверсивный) счетчик, сигналы с поразрядных выходов которого обеспечивают изменение напряжения на выходе ЦАП (содержимому счетчика соответствует определенное значение аналогового сигнала на выходе ЦАП).

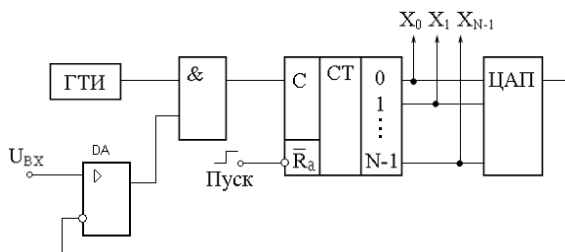


Рис. 11.8. Структурная схема циклического АЦП последовательного счета

Рассмотрим принцип работы АЦП. В исходном состоянии счетчик по асинхронному входу \bar{R}_a сигналом «Пуск» сбрасывается в нуль. Нулевому состоянию счетчика соответствует нулевое напряжение на выходе ЦАП. Если на входе АЦП установлено некоторое дискретное значение входного аналогового сигнала U_{BX} , которое больше выходного напряжения ЦАП (т. е. $U_{BX} > 0$), то единичный сигнал на выходе компаратора разрешает поступление импульсов ГТИ через ЛЭ «И» на счетный вход счетчика.

Далее после снятия с входа \bar{R}_a активного уровня сигнала «Пуск» счетчик начинает выполнять операцию инкремента. Его показание (выходной код) увеличивается и, следовательно, увеличивается напряжение на выходе ЦАП. Этот процесс преобразования аналогового сигнала в цифровой продолжается до тех пор, пока выходное напряжение ЦАП не сравняется с заданным значением U_{BX} . В результате на выходе ЛЭ «И» будет сформирован сигнал логического «0», и подача импульсов ГТИ на вход счетчика и изменение его состояния прекратятся. При этом значение выходного кода счетчика будет прямо пропорционально установленному на входе АЦП дискретному значению напряжения U_{BX} . Повторение

нового цикла преобразования для последующих дискретных значений входного напряжения $U_{\text{вх}}$ каждый раз требует установки счетчика в нуль. Поэтому рассмотренный режим работы АЦП называется циклическим.

Если в схеме на рис. 11.8 вместо суммирующего двоичного счетчика использовать реверсивный, то можно реализовать нециклический режим работы АЦП, который характеризуется более высоким быстродействием. В этом случае на выходе реверсивного счетчика постоянно будет присутствовать код, пропорциональный текущему значению входного напряжения. В схему нециклического АЦП дополнительно вводят инвертор, еще один ЛЭ «И» и реверсивный счетчик вместо обычного суммирующего. Нециклический АЦП, в отличие от циклического, постоянно следит за изменением входного напряжения.

Общим недостатком обеих схем АЦП с последовательным преобразованием является то, что они имеют сравнительно низкое быстродействие, обусловленное большим интервалом времени, в течение которого выходной код счетчика должен достичь значения, эквивалентного входному напряжению.

АЦП с двойным интегрированием

АЦП с двойным интегрированием, который также реализует метод последовательного преобразования, отличается от рассмотренных выше циклического и нециклического АЦП последовательного счета более высокой помехозащищенностью и точностью. Это объясняется тем, что любой сигнал U_c (в частности $U_{\text{вх}}$), кроме полезной, собственно информационной, составляющей ($U_{\text{инф}}$) содержит составляющие помехи ($U_{\text{пом}}$), которые обычно носят периодический характер с периодом, равным $T_{\text{п}}$. Математически такой сигнал может быть представлен в следующем виде:

$$U_c = U_{\text{вх}} = U_{\text{инф}} + \sum U_{\text{пом}} \sin 2\pi t / T_{\text{п}}.$$

При непосредственном преобразовании выборка входного напря-

жения $U_{\text{вх}}$ происходит в дискретные моменты времени и поэтому выходной код пропорционален мгновенным значениям $U_{\text{вх}}$, а не $U_{\text{инф}}$.

Если в процессе преобразования сигнал $U_{\text{вх}}$ проинтегрировать, при этом время интегрирования выбрать кратным периодом составляющих помех $T_{\text{п}}$, то результат будет пропорционален собственно информационной составляющей сигнала

$$\int_0^{nT_{\text{п}}} U_{\text{вх}}(t) dt = U_{\text{инф}} nT_{\text{п}}, \quad (11.3)$$

где n – коэффициент кратности, $n = 1, 2, \dots$. Такой подход используется в схемах АЦП с двойным интегрированием. Принцип их построения состоит в следующем. Сначала в течение некоторого фиксированного отрезка времени t выполняется интегрирование входного сигнала $U_{\text{вх}}$ аналоговым интегратором, построенном на основе ОУ. При этом напряжение $U_{\text{и}}$ на выходе интегратора изменяется от нуля до максимальной по модулю величины. Пусть на отрезке времени t_1 напряжение $U_{\text{инф}}$ постоянно, а в момент времени $t = 0$ выходное напряжение интегратора равно нулю. Тогда по истечении отрезка времени t_1 выходное напряжение интегратора определяется выражением (11.4)

$$U_{\text{и}}(t) = -\frac{1}{RC} \int_0^{t_1} U_{\text{вх}} dt = -U_{\text{вх}} t_1 / RC. \quad (11.4)$$

Далее в течение следующего отрезка времени t_2 интегрируется опорное напряжение, которое подключается ко входу интегратора и имеет полярность, противоположную полярности напряжения $U_{\text{инф}}$. В течение отрезка времени t_2 напряжение на выходе интегратора уменьшается от своего максимального по модулю значения до нуля.

Если опорное напряжение $U_{\text{оп}}$ постоянно, выражение для выходного напряжения интегратора имеет вид, аналогичный выражению (11.4). Отсюда для отрезка времени t_2 получим (11.5)

$$t_2 = U_{\text{инф}} t_1 / U_{\text{оп}} . \quad (11.5)$$

Из выражения (11.5) следует, что отрезок времени t_2 не зависит от собственных параметров интегратора, а определяется только временем интегрирования входного сигнала и опорным напряжением.

Если в течение отрезка времени t_2 посчитать счетчиком число импульсов некоторой тактовой частоты f_T , то полученный код будет пропорционален входному напряжению. При этом, согласно выражению (11.4), все составляющие помехи будут скомпенсированы и выходной ток M будет пропорционален информационной составляющей входного напряжения $U_{\text{инф}}$:

$$M = U_{\text{инф}} t f_T / U_{\text{оп}} . \quad (11.6)$$

Отрезок времени $t_1 > t_2$, если $|U_{\text{оп}}| > |U_{\text{инф}}|$, тогда t_1 можно определить посчитав число импульсов той же частоты f_T , тем же счетчиком $t_1 = 2^N / f_T$, где N – число разрядов выходного кода, отображающего входной аналоговый сигнал. После подстановки значения t_1 в выражение (11.6) получим (11.7)

$$M = 2^N U_{\text{инф}} / U_{\text{оп}} . \quad (11.7)$$

Из выражения (11.7) следует, что при таком способе реализации код на выходе АЦП зависит только от $U_{\text{инф}}$ и $U_{\text{оп}}$ и, следовательно, длительные нестабильности как интегратора (RC), так и задающего генератора (f_T) не влияют на точность преобразования. Этим и объясняется высокая точность и помехозащищенность АЦП с двойным интегрированием.

Структурная схема АЦП с двойным интегрированием приведена на рис. 11.9. Она содержит систему управления (СУ), генератор тактовых импульсов (ГТИ), счетчик (СЧ), опорное напряжение $U_{\text{оп}}$ и ключи K_1 , K_2 и K_3 . Ключ K_3 предназначен для установки интегратора в исходное нулевое состояние. В течение времени

интегрирования (t_1) входного сигнала ключ K_1 замкнут, а ключ K_2 разомкнут.

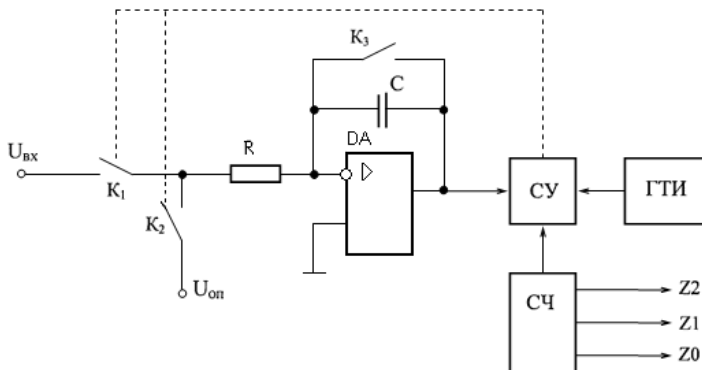


Рис. 11.9. Структурная схема АЦП с двойным интегрированием

В течение отрезка времени t_2 , когда выполняется интегрирование опорного напряжения, состояние ключей изменяется на обратное. При этом импульсы генератора ГТИ начинают поступать через схему управления на счетчик. Поступление этих импульсов заканчивается, когда выходное напряжение интегратора оказывается равным нулю. Недостатком рассмотренного АЦП с двойным интегрированием является малое быстродействие.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Автоматизация проектирования топологий БИС на базовых матричных кристаллах /*А.И. Петренко, А.Я. Тетельбаум и др.* // Зарубежная радиотехника. – 1985. – № 8. С. 26–40.
2. Аналоговые и цифровые интегральные схемы /Под ред. *С.В. Якубовского.* – М.: Сов. радио, 1979. – 336 с.
3. *Алексенко А.Г., Шагурин И.И.* Микросхемотехника. – М.: Радио и связь, 1990. – 496 с.
4. Базовые матричные кристаллы и матричные БИС /*В. Г. Домрачев, П.П. Мальцев, И.В. Новаченко, С.Н. Пономарёв.* – М.: Энергоатомиздат, 1992. – 224 с.
5. *Букреев И.Н., Мансуров Б.М., Горячёв В.И.* Микроэлектронные схемы цифровых устройств. – 3-е изд. – М.: Радио и связь, 1990. – 415 с.
6. *Ватанабэ М., Асада К., Кани К., Оцуки Т.* Проектирование СБИС /Пер. с япон. – М.: Мир, 1988. – 298 с.
7. *Гибсон Г., Лю Ю-Ч.* Аппаратные и программные средства микро-ЭВМ /Пер. с англ. – М.: Финансы и статистика, 1983. – 255 с.
8. *Гук М.Ю.* Аппаратные средства IBM PC: Энциклопедия. – СПб.: Питер, 1998. – 815 с.
9. *Киносита К., Асада К., Карацу О.* Логическое проектирование СБИС /Пер. с япон. – М.: Мир, 1988. – 309 с.
10. *Норенков И.П., Маничев В.Б.* Основы теории проектирования САПР. – М.: Высшая школа, 1990. – 335 с.
11. *Опадчий Ю.Ф., Глудин О.П., Гуров А.И.* Аналоговая и цифровая электроника. – М.: Горячая линия. – Телеком, 1999. – 768 с.
12. Применение интегральных микросхем в электронной вычислительной технике: Справочник /Под ред. *Б.Н. Файзуллаева, Б.В. Тарабрина.* – М.: Радио и связь, 1987. – 384 с.
13. *Пухальский Г.И., Новосельцева Т.Я.* Цифровые устройства: Учеб. пособие для вузов. – СПб.: Политехника, 1996. – 885 с.
14. *Соловьёв В.В., Васильев А.Г.* Программируемые логические интегральные схемы и их применение. – Мн.: Белорусская наука, 1998. – 270 с.
15. Схемотехника ЭВМ / Под ред. *Г.Н. Соловьёва.* – М.: Высшая школа, 1985. – 392 с.
16. *Угрюмов Е.П.* Цифровая схемотехника. – СПб.: – БХВ – Санкт-Петербург, 2000. – 528 с.
17. *Хоровиц П., Хилл У.* Искусство схемотехники: В 3-х томах: Т. 2 /Пер. с англ. – 4-е изд. – М.: Мир, 1993. – 371 с.
18. *Бирюков С.А.* Применение цифровых микросхем серий ТТЛ и КМОП. – 2-е изд. – М.: ДМК, 2000. – 240 с.
19. *Павлов В.Н., Ногин В.Н.* Схемотехника аналоговых электронных устройств. – М.: Радио и связь, 1997. – 320 с.

СОДЕРЖАНИЕ

| | |
|--|-----|
| ПРЕДИСЛОВИЕ | 3 |
| ВВЕДЕНИЕ | 5 |
| Часть первая | |
| ЦИФРОВАЯ СХЕМОТЕХНИКА | 7 |
| 1. КЛАССИФИКАЦИЯ ИНТЕГРАЛЬНЫХ СХЕМ И ИХ ОСНОВНЫЕ ПАРАМЕТРЫ | 7 |
| 1.1. Аналоговые интегральные схемы | 7 |
| 1.2. Цифровые интегральные схемы и их основные параметры | 8 |
| 2. БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ | 14 |
| 2.1. Элементы транзисторно-транзисторной логики | 14 |
| 2.2. Элементы эмиттерно-связанной логики | 23 |
| 2.3. Схемы интегральной инжекционной логики | 32 |
| 2.4. Элементы на МДП-транзисторах | 36 |
| 3. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА | 42 |
| 3.1. Шифраторы и дешифраторы | 42 |
| 3.2. Мультиплексоры и демультиплексоры | 48 |
| 3.3. Цифровые компараторы | 53 |
| 3.4. Преобразователи кодов и схемы контроля | 56 |
| 3.5. Сумматоры | 65 |
| 3.6. Арифметико-логические устройства | 76 |
| 4. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬ- НОСТНОГО ТИПА | 81 |
| 4.1. Триггеры | 81 |
| 4.2. Регистры | 91 |
| 4.3. Счетчики | 101 |
| 4.4. Распределители сигналов | 115 |
| 5. ПОЛУПРОВОДНИКОВЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА | 122 |
| 5.1. Основные параметры и классификация ЗУ | 122 |
| 5.2. Организация модулей полупроводниковых ЗУ с произвольным доступом | 126 |
| 5.3. Статическая память | 135 |
| 5.4. Динамическая память | 144 |
| 5.5. КЭШ-память | 163 |
| 5.6. Постоянные, программируемые и репрограммируемые | |

| | |
|--|-----|
| запоминающие устройства | 170 |
| 5.7. Флэш-память | 181 |
| 6. ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ МАТРИЦЫ И БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ | 185 |
| 6.1. Программируемые логические матрицы | 185 |
| 6.2. Базовые матричные кристаллы | 195 |
| 7. СВЕРХБОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ | 203 |
| 7.1. Общие сведения о СБИС и классификация ИС | 203 |
| 7.2. Классификация СБИС программируемой логики | 205 |
| 7.3. Программируемые пользователем вентильные матрицы (FPGA) | 211 |
| 7.4. Сложные программируемые логические ИС (CPLD) | 214 |

Часть вторая

| | |
|--|-----|
| СХЕМОТЕХНИКА АНАЛОГОВЫХ ЭЛЕКТРОННЫХ УСТРОЙСТВ | 217 |
| 8. ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ И ТИПОВЫЕ СХЕМЫ НА ИХ ОСНОВЕ | 217 |
| 8.1. Основные параметры и характеристики операционного усилителя | 217 |
| 8.2. Типовые схемы на основе ОУ | 226 |
| 9. ПРЕОБРАЗОВАТЕЛИ АНАЛОГОВЫХ СИГНАЛОВ НА ОПЕРАЦИОННЫХ УСИЛИТЕЛЯХ | 238 |
| 9.1. Логарифмический и экспоненциальный преобразователи | 238 |
| 9.2. Нелинейные преобразователи | 241 |
| 9.3. Источники тока и напряжения | 244 |
| 9.4. Активные RC-фильтры | 248 |
| 10. УСТРОЙСТВА СРАВНЕНИЯ АНАЛОГОВЫХ СИГНАЛОВ | 258 |
| 10.1. Аналоговые компараторы | 258 |
| 10.2. Регенеративная схема сравнения | 261 |
| 11. ЦИФРО-АНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ | 264 |
| 11.1. Цифро-аналоговые преобразователи | 265 |
| 11.2. Аналого-цифровые преобразователи | 272 |
| БИБЛИОГРАФИЧЕСКИЙ СПИСОК | 282 |
| СОДЕРЖАНИЕ | 281 |

Джолдас Заурбекович Джурунтаев

СХЕМОТЕХНИКА

Учебник

Подписано в печать 22.05.07.

Формат 60x84 1/16. Бумага офсетная

Плотность 80 гр./см. Белизна 95 %. Печать RISO.

Усл. печ. листов 17,1. Объем 278 стр.

Тираж 200 экз.

Отпечатано в типографии «Эверо»

Республика Казахстан, г. Алматы, 050058, ул. Байтурсынова, 22.

Тел. 8(327) 233-82-69, 233-83-89, 233-83-61, тел./факс 8 (327) 233-83-43.

E-mail: evero@nursat.kz