

ҚАЗАҚСТАН РЕСПУБЛИКАСЫНЫҢ БІЛІМ ЖӘНЕ
ҒЫЛЫМ МИНИСТРЛІГІ

ҚАЗАҚ МЕМЛЕКЕТТІК ҚЫЗДАР ПЕДАГОГИКАЛЫҚ
УНИВЕРСИТЕТІ

Исаев С.Ә., Мүсірәлиев Ж.А., Қожамқұлова Ж.Ж.

Сұлбатехника

Оқу құралы

Алматы, 2013

Кіріспе

Қазіргі кезде электрондық аспаптар мен автоматты электрондық құрылғыларды пайдаланбайтын өнеркәсіптің, ғылым мен техниканың бірде бір саласы жоқ деп айтуға болады. Техниканың алға шарықтап кеткені соншалық, ақпараттық технология және автоматты қондырғыларда электрондық түйіндердің, элементтердің үлесі үздіксіз өсіп отыр.

Бұл оқу құралында электроника мен микроэлектроникада пайдаланылатын аспаптар мен схемалардың негізгі тобын, автоматты басқарудың және ақпаратты бейнелеудің электрондық жүйелеріндегі сызықты, импульсты және цифрлық құрылғылардың ерекшеліктері мен іс-қимылын, түзеткіштер, генераторлар мен активтік сүзгілердің жұмыс істеу принциптері қарастырылады.

Оқу құралының басты мақсаты – студентке немесе оқырманға қандай да болмасын функционалдық электрондық құрылғылардың жұмыс істеу негізін түсініп, оларды дұрыс қолдана білуге және жаңа құрылғыны жасауға тапсырма бере алуға үйрету.

Оқулықтың материалының берілуі қазіргі заманғы әлеуметтік базаға негізделген; жеке яғни дискретті транзисторлардан тұратын схемалармен қатар интегралдық микросхемалардан тұратын әр түрлі микроэлектрондық құрылғылар, атап айтқанда логикалық элементтердегі триггерлер, шифраторлар, дешифраторлар, мультиплексорлар, компараторлар, қосындылағыштар және т.б. олардың сипаттамалары мен қолданылулары келтірілген.

«Сұлбатехника» пәні студенттерге ақпараттар технологиясы аймағында туындайтын практикалық инженерлік есептерді шешу құралы ретінде қолданылатын, бульдік алгебра, ақырлы автоматтар, схемалардың топтастырылуы, негізгі параметрлері және шартты белгіленуі жайында қарастырылған, қайсысының негізінде ЭЕМ цифрлық құрылғылардың логикалық элементтері және функционалдық түйіндері, базалық логикалық элементтерінің жұмыстары сияқты ақпараттар аймағындағы маңызды ақпараттармен таныстыруға арналған.

Осыған сәйкес бұл оқу құралының мақсаты – есептеу техникасының дамуының қазіргі уақытқа сай ілгері болуы көбінде шағын электроника мен схематехникасының шапшаң дамуымен және де интегралды схемалардың (ИС) кең қолдануымен, ақпараттану аймағында нақты қойылым мен мәселені шешуге қажетті болатын студенттердің білім мен білулерін құрайтын теориялық фундаментін қалау.

Оқу құралын пайдаланған әрбір білім алушы ИС көмегімен ЭЕМ-нің техникалық сипаттамалары үздіксіз жаңартылып және функционалдық мүмкіндіктері кеңейтілген, қайсысының құрамына әртүрлі дәрежедегі қиындықтағы интегралды шағынсхемалар кіреді – қарапайым логикалық элементтер мен функционалдық түйіндерден бастап күрделі сандық құрылғылар мен СБИС программаланатын логикаға дейін, миллионнан аса элементтерден тұратынын танып біліп, сондай-ақ қарапайым схематехникалық, логикалық сигналдар шешімдерін құра білуді, программаланатын логикалық интегралданған схемаларды жобалауды, алынған шешімдерді дұрыс интерпретациялай білуді меңгереді.

I тарау. Математикалық логиканың негізгі ұғымдары.

1.1 Логика алгебрасының негізгі ұғымдары мен заңдылықтары. Мәндес формулалар. Ақиқаттық кестелер.

- ↪ Логика алгебрасы;
- ↪ Логика алгебрасының функциялары;
- ↪ Нормальді формалар;
- ↪ Мәндес формулалар;
- ↪ Айтылымдық формалар;

Логика алгебрасы - бұл айтылымдардың логикалық мәндері (ақиқат немесе жалған) мен оларға қолданылатын амалдарды қарастыратын математиканың бір саласы.

Логика алгебрасы алғаш рет ХІХ ғасырдың ортасында ғалым Джордж Бульдің еңбектерінде көрініс тапқан. Ол еңбектерінде логика есептерін шығарудың жолын қалыптастырған.

Логика ойлаудың заңдылықтары мен формаларын зерттейтін ғылым (тұжырым жасау тәсілдерін зерттейді).

Математикалық логика жалпы логикалық математиканың қажеттілігіне лайықталған бөлігі.

Ұзақ уақыт математикалық логика тек математикалық дәлелдеулерді зерттейтін теориялық ғылым саласы болды. Програмамен басқарылатын есептеу машиналарының пайда болуына қарай математикалық логика қолданбалы сипатқа ие болды.

Информациялық-логиканың есептерін шығаруда математикалық логиканың логика алгебрасы деп аталатын саласы жиі пайдаланылады. Бұл сала ЭЕМ-нің теориясына және басқа дискретті автоматтарға қолданылады.

Логика алгебрасы айтылымдарды есептейді. Айтылым дегеніміз ақиқат немесе жалған деп айтуға болатын кез келген сөйлем. Басқа сөйлемдер математикалық логикада қарастырылмайды.

Айтылымдар көбінесе ағылшынның бас әріптерімен белгіленеді, мысалы, А, В, С, Айтылымның ақиқаттық мәні деп оның ақиқаттығы немесе жалғандығы айтылады.

Логика алгебрасында ақиқаттық мән 1 санымен, ал жалған мән 0 санымен белгіленеді. $A=1$ және $C=0$ жазылуы A айтылымының ақиқат екендігін, ал C айтылымының жалған екендігін білдіреді. Әрбір нақты айтылымның ақиқаттылығы 0 немесе 1-ге тең болатын тұрақты мәнге ие болады.

Нақты айтылымдардан басқа айнымалы айтылымдарда болады.

Бұл алгебралық айнымалыларға (x, y, z) сәйкес символдар (белгілер). Олар 1 (ақиқат) немесе 0 (жалған) мәндерін қабылдауы мүмкін.

Басқа параметрлерге тәуелді айтылымдар функцияны білдіреді. Мұндай функциялар да 1 немесе 0 мәнін қабылдай алады.

Әркезде ақиқат болатын айтылым тек 1 мәнін қабылдайтын тұрақты функцияны анықтайды. Ылғи жалған болатын айтылымға 0 мәнін тұрақты қабылдайтын функция сәйкес болады. Мысалы, “15-тақ сан” әркез ақиқат, ал “адам өлмейді” айтылымы жалған.

“Бүгін айдың алтыншы күні” айтылымы бір жылдың 12 күнінде ақиқат.

Екі айтылымның ақиқаттық мәндері бірдей болса, олар өзара эквивалентті деп аталады. Екі айтылымның эквиваленттілігі теңдік белгісімен сипатталады ($=$).

Сонымен $A=B$ жазуы A және B айтылымнан барлық уақытта бірден болатындығы, яғни екеуі де ақиқат немесе екеуі жалған болатындығын білдіреді.

Тек екі мән (0 немесе 1) қабылдайтын айнымалы екілік айнымалы деп аталады.

Логикалық айтылым - мағынасына қарай ақиқат немесе жалған деп бір мәнді тұжырым айтуға болатын сөйлем. Әрине, кез-келген сөйлем логикалық айтылым бола алмайды. Мысалы «бірінші курс студенті» және «информатика қызық пән» сөйлемдері айтылым бола алмайды. Өйткені бірінші сөйлем ешнәрсені тұжырымдамайды, ал екінші сөйлемде «қызық пән» деген мағынасы айқындалмаған ұғым пайдаланылған. Ақиқат немесе жалған тұжырым айтуға келмейтін сұраулы және одағай сөйлемдерде логикалық айтылым бола алмайды. « A қаласында

миллионнан артық тұрғын тұрады», «оның көздері көкшіл» сөйлемдері ақпараттың толымсыздығынан логикалық айтылым болмайды. Өйткені қандай қала, кімнің (ненің) көздері екендігінен қосымша мәлімет жетіспейді. Мұндай сөйлемдер айтылымдық формалар деп аталады.

Айтылымдық формалар - құрамындағы логикалық айнымалысы болатын және айнымалыға нақты логикалық мән берілгенде логикалық айтылымға айналатын баяндаушы сөйлемдер.

Логика алгебрасы тек ақиқат немесе жалған мән қабылдай алатын айтылымдарды қарастырады. Көбінесе айтылымның ақиқаттығын анықтау қиын болады. Мысалы, «Үнді мұхитының бетінің ауданы 75 млн.кв.м.» сөйлемнің бір жағдайда ақиқат десек, басқа жағдайда жалған болуы мүмкін. Жалған болатындығы - көрсетілген мән нақты емес және тұрақты болмайды. Ақиқат дейтін себебіміз - тәжірибеде қарастырылатын жуық мән болуы мүмкін. Сөйлем құрамында кездесетін «емес», «және», «немесе», «егер, онда»... және басқа шылаулар берілген айтылымдардан жаңа күрделі айтылымдар құрастыруға мүмкіндік береді. Мұндай сөздер, шылаулар логикалық байланыстар деп аталады.

Бірнеше айтылымдардан құралған айтылым құрмалас айтылым деп аталады. Құрмалас емес айтылымдар жай айтылымдар деп аталады.

Мысалы «Асан-дәрігер», «Асан-шахматист» айтылымдарынан «және» байланысының көмегімен «Асан-дәрігер, әрі шахматты жақсы ойнайтын кісі» деген ұғымды білдіретін, «Асан-дәрігер және шахматист» айтылымын алуға болады.

ЭЕМ-де екілік – кодталған ақпарат өңделеді. Яғни ЭЕМ тек екілік ақпаратпен жұмыс істейді.

Сонымен ЭЕМ-нің басқару, өңдеу құрылғыларының жұмысы екілік айнымалыларға тәуелді бір мәнді (0 немесе 1) функциялармен сипатталады.

$$F(x_1, x_2, x_3, \dots, x_n)$$

Екілік функцияларды логика алгебрасының функциялары деп те атайды.

Мысалы, x айнымалысына тәуелді әртүрлі функцияларды төмендегі кестеден көреміз:

x	$f_1(x)$	$f_2(x)$	$f_3(x)$	$f_4(x)$
0	0	0	1	1
1	0	1	0	1

Екі функция тепе-тең тұрақты

$$f_1(x)=0, f_n(x)=1$$

Осылайша, екі екілік айнымалының x, y функциялары 16 болатынын байқаймыз.

x	y	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}	f_{13}	f_{14}	f_{15}	f_{16}
0	0	0	0	0	0	1	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	0	0	1	0	1	0	1	0	1	0	1	0	1

Екі функция $f_1(x,y)=0, f_{16}(x,y)=1$ тепе-тең тұрақты.

Логика алгебрасының мәндес формулалары

Логика алгебрасының негізгі заңдарын өрнектейтін мәндес формулалар:

1. $A = (A) = A$

2. $A \wedge B = B \wedge A$

3. $A \wedge 0 = 0$

4. $A \wedge 1 = A$

5. $A \wedge A = A$;

6. $A \wedge A = 0$

7. $A \wedge A = B \vee A$;

8. $A \vee 0 = A$

9. $A \vee / = 1$;

10. $A \vee A = A$;

11. $A \vee A = 1$

12. $\overline{A \wedge B} = \overline{A} \vee \overline{B}$

13. $\overline{A \vee B} = \overline{A} \wedge \overline{B}$

14. $A \sim 0 = \overline{A}$;

15. $A \sim 1 = A$;

16. $A \wedge (B \wedge C) = (A \wedge B) \wedge C$

17. $A \vee (B \vee C) = (A \vee B) \vee C$;

18. $A \wedge (B \vee C) = (A \wedge B) \vee (A \wedge C)$;

19. $A \vee (B \wedge C) = (A \vee B) \wedge (A \vee C)$;

20. $A \sim B = (A \vee \overline{B}) \wedge (\overline{A} \vee B)$;

21. $A \approx B = A \sim B$;

22. $A \rightarrow B = \overline{A} \vee B$;

23. $A / B = A \wedge B$.

Орындалу реті: $\wedge \vee \sim \approx \rightarrow /$

Бұл байланыстардың дұрыстығын олардың мүмкін мәндерінің кестесін құрып тексеруге болады. 20-шы теңдікті қарастырайық

$$A \sim B = (A \vee \bar{B}) \wedge (\bar{A} \vee B);$$

A	B	$A \sim B$	\bar{A}	\bar{B}	$A \vee \bar{B}$	$\bar{A} \vee B$	$(A \vee \bar{B}) \wedge (\bar{A} \vee B)$
0	0	1	1	1	1	1	1
0	1	0	1	0	0	1	0
1	0	0	0	1	1	0	0
1	1	1	0	0	1	1	1
Теңдіктің сол жағы					Теңдіктің оң жағы		

1-24 формулалардан кез келген логикалық байланыстарды негізгі үш байланыс арқылы (терістеу, дизъюнкция, конъюнкция) өрнектеуге болатынын байқаймыз. Ал ол үш байланыс шеффер байланысы арқылы өрнектеледі.

Мәндес формулалар. Нормальді формалар

Логикалық өрнекті түрлендіріп нормальді форма деп аталатын түрлердің біріне келтіргенде оның құрылымы көрнекі, айқын болады. Логикалық өрнектердің екі түрлі нормальді формасы бар.

Оның біріншісі - конъюнктивтік нормальді форма (КНФ) дизъюнкциялардың конъюнкциясы болып табылады және де оның әрбір дизъюнкциясының жеке мүшелері негізгі айтылымдар немесе олардың терістеуі болады.

Екіншісі – дизъюнктивтік нормальді форма (ДНФ) – конъюнкциялардың дизъюнкциясынан құрылатын және әрбір конъюнкцияның жеке мүшелері негізгі айтылым немесе олардың терістері болатын өрнек.

Логикалық өрнектерді нормальді формаға түрлендіру үшін қолданылатын нұсқаулар:

а) \wedge және \vee таңбаларын алгебрада $*$, $+$ амалдарын пайдаланғанға сәйкес қолдану керек (ауыстырымдылық, үлестірімділік, т.б.). (2, 7, 8, 13, 16, 17 формулалар).

б) Екі еселі (жұп еселі) терістеу орнына негізгі өрнекті қалдыруға болады.

в) Екі айтылымның конъюнкциясының терістерін олардың терістеулерінің дизъюнкциясымен, ал екі айтылымның дизъюнкциясының терістеуін олардың терістеулерінің конъюнкциясынан ауыстыруға болады (14, 15 формулалар).

г) $A \sim B$, $A \approx B$, $A \rightarrow B$, A/B өрнектерін 20- 23 формулаларын пайдаланып түрлендіреміз.

Бұл ережелерді пайдалану реті:

1) ережесін қолданып тең мәнділік импликация және үйлесімсіздік (шеффер операциясы) байланыстарын жоямыз.

2) ережені қолданып терістеу операциясы бар жақшаларды түрлендіріп, жеке айтылымдардың терістеуі болатындай етіп жазамыз.

3) Соңында а) және б) ережелерінің көмегімен өрнектер ажыратылып, екі еселі терістеу операциялары алынып тасталады.

Күрделі айтылымдардың ақиқаттық мәндерінің тұрақты ақиқат немесе тұрақты жалған болуы мынадай үш ереженің көмегімен анықталады:

1) $A \vee A$ әркез ақиқат. 2) Егер A ақиқат болса, ал B кез келген айтылым болса, онда $A \vee B$ ақиқат.

3) Егер A және B ақиқат болса, онда $A \wedge B$ ақиқат болады.

Бірнеше айтылымнан құрылған логикалық өрнектердің тепе-теңдігін дәлелдеу 20-шы формуланы дәлелдеген жолмен анықталады.

Мысал: $(A \rightarrow C) \sim (C \rightarrow \bar{B})$ логикалық өрнегін ДНФ және КНФ формаларына түрлендіру керек. Алынған формуланы ақиқаттық кестесі арқылы тексеруге болады.

Шығарылуы жоғарыдағы формулалар мен ережелерді айдаланып:

$(A \rightarrow C) \sim (C \rightarrow \bar{B}) = (\bar{A} \vee C) \sim (\bar{C} \vee \bar{B}) = [(\bar{A} \vee C) \vee (\bar{C} \vee \bar{B})] \wedge [(\bar{A} \vee C) \vee (\bar{C} \vee \bar{B})] = [(\bar{A} \vee C) \vee (\bar{C} \wedge \bar{B})] \wedge [(\bar{A} \wedge \bar{C}) \vee (\bar{C} \vee \bar{B})] = [(\bar{A} \vee C) \vee (C \wedge B)] \wedge [(A \wedge \bar{C}) \vee (\bar{C} \vee \bar{B})] = (\uparrow \bar{A} \vee C \uparrow) \vee C \wedge B) \wedge (A \wedge \bar{C} \vee \bar{C} \vee \bar{B}) = [\bar{A} \vee C \wedge (1 \vee B)] \vee [\bar{C} \wedge (A \vee B) \vee \bar{B}] = (\uparrow \bar{A} \vee C \uparrow) \wedge 1) \wedge (\bar{C} \wedge 1 \vee \bar{B}) = (\bar{A} \vee C) \wedge (\bar{C} \vee \bar{B}) = (\bar{A} \vee C) \wedge (\bar{B} \vee \bar{C})$ КНФ алдык. Енді КНФ-тен ДНФ-ке түрлендірейік.

$(\bar{A} \vee C) \wedge (\bar{B} \vee \bar{C}) = (\bar{A} \wedge \bar{B}) \vee (\bar{A} \wedge \bar{C}) \vee (\bar{C} \wedge \bar{B}) \vee (C \wedge \bar{C}) =$
 ДНФ формуладағы жақшаны алып тастауға болады.

Енді теңдікті тексереміз:

$$(A \rightarrow C) \sim (C \rightarrow B) = (\bar{A} \vee C) \wedge (\bar{B} \vee \bar{C}) = (\bar{A} \wedge \bar{B}) \vee (\bar{A} \wedge \bar{C}) \vee (\bar{B} \wedge C)$$

1.1 кесте: $(A \rightarrow C) \sim (C \rightarrow \bar{B})$

A	B	C	$A \rightarrow C$	\bar{B}	$C \rightarrow \bar{B}$	$(A \rightarrow C) \sim (C \rightarrow \bar{B})$
0	0	0	1	1	1	1
0	0	1	1	1	1	1
0	1	0	1	0	1	1
0	1	1	1	0	0	0
1	0	0	0	1	1	0
1	0	1	1	1	1	1
1	1	0	0	0	1	0
1	1	1	1	0	0	0

1.2 кесте: $(A \vee C) \wedge (\bar{B} \vee \bar{C})$

A	B	C	\bar{A}	\bar{B}	\bar{C}	$A \vee C$	$\bar{B} \vee \bar{C}$	$(A \vee C) \wedge (\bar{B} \vee \bar{C})$
0	0	0	1	1	1	1	1	1
0	0	1	1	1	0	1	1	1
0	1	0	1	0	1	1	1	1
0	1	1	1	0	0	1	0	0
1	0	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1	1
1	1	0	0	0	1	0	1	0
1	1	1	0	0	0	1	0	0

1.3 кесте: $(\bar{A} \wedge \bar{B}) \vee (\bar{A} \wedge \bar{C}) \vee (\bar{B} \wedge C)$

A	B	C	\bar{A}	\bar{B}	\bar{C}	$\bar{A} \wedge \bar{B}$	$\bar{A} \wedge \bar{C}$	$\bar{B} \wedge C$	$(\bar{A} \wedge \bar{B}) \vee (\bar{A} \wedge \bar{C}) \vee (\bar{B} \wedge C)$
0	0	0	1	1	1	1	1	0	1
0	0	1	1	1	0	1	0	1	1
0	1	0	1	0	1	0	1	0	1
0	1	1	1	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0
1	0	1	0	1	0	0	0	1	1
1	1	0	0	0	1	0	0	0	0
1	1	1	0	0	0	0	0	0	0

1, 2 және 3 кестедегі соңғы бағандарының мәндері бірдей болғандықтан теңдіктердің тепе-теңдіктері дәлелденді.



Берілген логикалық өрнектерді конъюнкция және дизъюнкция нормальді формулаларға түрлендіру керек.

Нұсқа	Логикалық өрнек	Нұсқа	Логикалық өрнек
1	$(\bar{A} \rightarrow C) \sim (\bar{C} / B)$	9	$(A \sim \bar{B}) / (C \rightarrow B)$
2	$(A \rightarrow C) \approx (B / C)$	10	$(\bar{A} \approx \bar{B}) / (\bar{C} \rightarrow B)$
3	$(\bar{C} \rightarrow \bar{A}) \sim (C \rightarrow B)$	11	$(\bar{A} \rightarrow B) \rightarrow (B \sim \bar{C})$
4	$(C \rightarrow A) \approx (\bar{B} \rightarrow C)$	12	$(A \rightarrow B) \rightarrow (\bar{B} \approx C)$
5	$(A / B) \rightarrow (B \rightarrow \bar{C})$	13	$(\bar{A} \rightarrow \bar{B}) \rightarrow (\bar{B} \approx C)$
6	$(B / \bar{A}) \rightarrow (\bar{B} \approx C)$	14	$(A \rightarrow B) \rightarrow (\bar{B} / \bar{C})$
7	$(\bar{A} / B) \rightarrow (B \sim C)$	15	$(A \rightarrow B) \sim (\bar{B} / \bar{C})$
8	$(\bar{A} / \bar{B}) \rightarrow (\bar{B} \approx \bar{C})$	16	

Бақылау сұрақтары:

- ◇ Логика алгебрасының негізгі заңдарын өрнектейтін мәндес формулалар туралы не білесің?
- ◇ Нормальді форма дегеніміз не?

◇ Конъюнктивтік нормальді форма дегеніміз қандай форма?

◇ Дизъюнктивтік нормальді форма дегеніміз не?

◇ Логикалық өрнектер нормальді формаға қалай түрлендіріледі?

◇ Математикалық логика нені зерттейді?

◇ Логика алгебрасының қызметі?

◇ Логика алгебрасының функцияларын ата?

◇ Айтылымдар дегеніміз не?

◇ Айтылымның түрлері?

◇ Екілік айнымалы дегеніміз не?

1.2 Математикалық логиканың негізгі элементтері

↪ Негізгі логикалық операциялар;

↪ Теріске шығару;

↪ Конъюнкция;

↪ Дизъюнкция;

↪ Тең мәнділік;

↪ Тепе-теңдікті терістеу;

↪ Екі айтылымның импликациясы;

↪ Екі айтылымның үйлесімсіздігі;

Күрделі айтылымдар және логикалық байланыстармен қатар оларға қолданылатын негізгі логикалық операцияларды анықтайық.

1. Теріске шығару. А айтылымын теріске шығару $\bar{A}(\neg A)$ символымен белгіленеді де “А емес” деп оқылады. Айтылымның ақиқаттық мәндерін теріске шығару ақиқаттық мәндері теріске шығару операциясымен айқындалады.

$$\overline{0} = 1$$

$$\overline{0} = 0$$

2. Конъюнкция. Екі айтылымның конъюнкциясы $A \wedge B$ деп белгіленеді.

“А және В” деп оқылады. $A \wedge B$ конъюнкциясының ақиқаттық мәндері А және В айтылымдарын логикалық көбейту арқылы есептелініп келесі кесте бойынша анықталады.

$$0 \wedge 0 = 0$$

$$0 \wedge 1 = 0$$

$$1 \wedge 0 = 0$$

$$1 \wedge 1 = 1$$

3. Екі айтылымның *дизъюнкциясы* $A \vee B$ таңбаларымен белгіленеді де “А немесе В” деп оқылады.

А және В айтылымдарының ақиқаттық мәндеріне логикалық қосу $A \vee B$ операциясын қолданғандағы екі айтылымның логикалық қосындысының (дизъюнкциясы) ақиқаттық мәндері келесі кестеден анықталады.

$$0 \vee 0 = 0$$

$$0 \vee 1 = 1$$

$$1 \vee 0 = 1$$

$$1 \vee 1 = 1$$

4. Тең мәнділік (тепе-теңділік).

А және В айтылымдарының тепе-теңділігі $A \sim B$ ($A \equiv B$) болып белгіленеді де “А В-ға тепе-тең” деп оқылады. $A \sim B$ күрделі айтылымының ақиқаттық мәндері А және В айтылымдарына тепе-теңдік операциясын қолдану арқылы табылады да төмендегі кестемен анықталады:

$$0 \wedge 0 = 1$$

$$0 \wedge 1 = 0$$

$$1 \wedge 0 = 0$$

$$1 \wedge 1 = 1$$

5. Тепе-теңдікті терістеу:

А В деп белгіленеді де, “А В-ға тепе-тең емес” деп оқылады. А В өрнегінің ақиқаттық мәндері А және В айтылымдарының ақиқаттық мәндеріне тепе-теңдікті терістеу операциясын қолдану жолымен табылады:

$$0 \ 0=0$$

$$1 \ 0=1$$

$$0 \ 1=1$$

$$1 \ 1=1$$

6. Екі айтылымның импликациясы

$A \rightarrow B (A \supset B)$ символдарымен белгіленеді және “егер А онда В” деп оқылады.

Ақиқаттық мәндері кестеден анықталады.

$$0 \rightarrow 0 = 1$$

$$0 \rightarrow 1 = 0$$

$$1 \rightarrow 0 = 0$$

$$1 \rightarrow 1 = 1$$

7. Екі айтылымның үйлесімсіздігі

Белгі А/В “А В-ға үйлесімсіз” деп оқылады. А/В күрделі айтылымының кестеде көрсетілген ақиқаттық мәндегі А және В айтылымдарына Шеффер логикалық операциясын қолдану арқылы анықталады:

$$0/0=1$$

$$1/0=1$$

$$0/1=1$$

$$1/1=0$$

Шеффер операциясының қызметін атқара алатын электрондық схема электрондық құрылғылардың функциональдық схемасын құрастыруға жарайтын әмбебап функциональдық схема болып есептелінеді.

Осы айтылған операциялардың көмегімен құрылған кез келген логикалық өрнек логика алгебрасының формуласы деп аталады.

$$A_1, A_2, \dots, A_n$$

Айтылымдарынан құрастырылған екі түрлі формуланың ақиқаттық мәндері осы айтылымдардың мәндерінің барлық комбинациясы үшін бірдей болса, онда екі формула мәндес формулалар деп аталады.

Бақылау сұрақтары:

- ◇ Қандай логикалық операцияларды білесің?
- ◇ Теріске шығару операциясын сипатта?
- ◇ Конъюнкция операциясын сипаттап бер?
- ◇ Дизъюнкция операциясын сипаттап бер?
- ◇ Тең мәнділік операциясын сипаттап бер?
- ◇ Тепе-теңдікті терістеу операциясын сипаттап бер?
- ◇ Екі айтылымның импликациясы операциясын сипаттап бер?
- ◇ 8.Екі айтылымның үйлесімсіздігі операциясын сипаттап бер?
- ◇ 9. Логика алгебрасының формуласы дегеніміз қандай формула?

1.3 Математикалық логиканың ЭЕМ теориясына қолданылуы. Логикалық және цифрлық құрылғылардың негіздік элементтері

- ↳ Математикалық логиканың ЭЕМ теориясына қолданылуы;
- ↳ Схема талдау есебі;
- ↳ Схеманы синтездеу есебі;

♣ Логикалық және цифрлық құрылғылардың негіздік элементтері;

Математикалық логиканың ЭЕМ теориясына қолданылуы

Математикалық логиканың айтылымдарының екілік санау жүйесіндегі екілік цифрларға сәйкестігі және ЭЕМ-нің екі позициялық элементтерімен схемаларының сәйкестігі компьютердің әртүрлі құрылғыларының жұмысын алгебралық логикалық символика көмегімен сипаттауға мүмкіндік береді. Математикалық логиканың аппараты ЭЕМ теориясының негізгі екі есебін шығаруға қолданылады.

Схема талдау есебі

Кез келген дайын схеманың жұмысын логикалық алгебра функциясымен сипаттауға болады. Бұдан кейін өрнекті түрлендіре отырып, схеманың тиімділігін тексеріп, элементтер санын азайтып, бастапқы схеманың қызметін толық атқаратын, яғни схеманың қызметін толық атқаратын, яғни схеманың функциясын қанағаттандыратын ықшамдалған схема алу қарастырылады.

Схеманы синтездеу есебінің мақсаты

Логикалық функцияны сипаттайтын логикалық өрнекке лайық, осы логикалық функцияның қызметін атқаратын элементар (қарапайым) схемаларды анықтау. Ол үшін логикалық өрнекті тиімді жүктеп, оның әрбір мүшесі қарапайым схемаға лайықты және алынған схемалар саны ең аз (минималды) болатындай түрге түрлендіру. Логикалық алгебра тәсілдері схемаларды талдау және құрастыру есептерінен басқа информацияны өңдеу процестеріне де қолданылады.

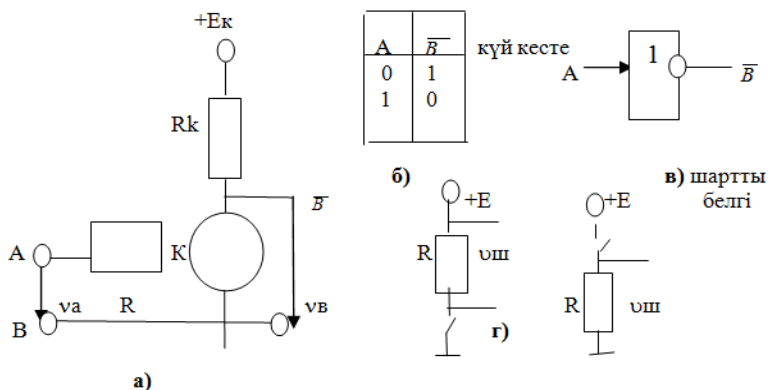
Бір немесе бірнеше қарапайым айтылымдардан күрделі айтылымдар құрастыруға болады. Қарапайым айтылымдардан күрделі айтылым құрастыруға логикалық байланыс таңбалары қолданылады.

Айтылымдар арасындағы логикалық байланыстар екілік айнымалыларға қолданылатын амалдар операциялар түрінде беріледі.

Логикалық және цифрлық құрылғылардың негіздік элементтері

Электронды есептеу машиналарының цифрлы өлшеуіш аспаптарының өндірістік автоматты қондырғылардың негізінде логикалық элементтер деп аталатын қарапайым тізбектер жатады. Бұл тізбектерде ескерілетін шама – олардың кірмесі мен шықпасындағы кернеулердің бары не жоғы немесе олардың потенциалдық деңгейлері. Кернеудің бары немесе жоғары деңгейі «1» деп, ал оның төменгі деңгейі «0» деп алынады осы себепті де жоғарыда аталған құрылғыларда екілік санау жүйесі қолданылады. Екілік санау жүйесін қолдану «Емес», «және», «немесе» деп аталатын қарапайым үш түрлі тізбекті барлық логикалық және цифрлық құрылғылардың негізіне алуға мүмкіндік береді.

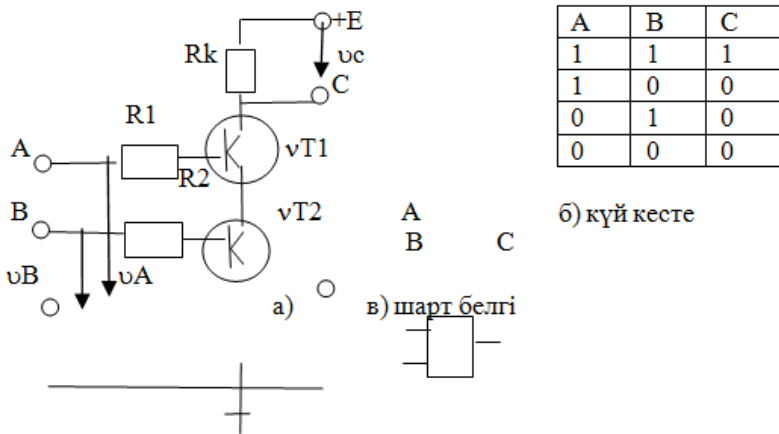
«Емес» логикалық элементі пайымдалған тұжырымды теріске шығару операциясын орындайды. Мұны логикалық алгебрада $A = \bar{B}$ деп жазады да, «A деген B емес» деп оқиды. Ендеше нөлді бірлік теріске шығарады ($\bar{0} = 1$) да, ал бірлікті нөл теріске шығарады ($\bar{1} = 0$). 1-суретте «Емес» логикалық элементін транзистордың көмегімен орындау схемасы келтірілген.



1.1 сурет. «Емес» логикалық элементінің схемасы (а) мен күй кесте (б) және шартты белгісі.

Егер, кірмеге кернеу берілсе ($A=1$), онда транзистор ашылады да қорек көзінің кернеуі түгел дерлік R , резисторына түседі. Сондықтан шықпада кернеу нөлге тең деп алуға болады. $B=0$ кірмелік сигнал жоқ кезде ($A=0$) транзистордың кедергісі R_1 резисторының кедергісінен әлдеқайда көп болатындықтан шықпаның кернеуі шамамен қорек көзінің кернеуіне те болады, яғни $B=1$, басқаша айтқанда «А бар болса В жоқ, А жоқ болса В бар».

«Және» элементі (1.2, а-сурет)



1.2 сурет. «Және» элементінің электрлік схемасы (а) мен күй кестесі (б) және шартты белгісі (в).

$C=A \times B$ логикалық көбейту амалын орындайды. Бұл «С айтылымы дұрыс, егер А және В айтылымдары дұрыс болса» деген ұғымды білдіреді. Басқаша айтқанда «С бар егер А да және В да бар болса». Шықпалық кернеу $vT1$ және $vT2$ транзисторлары ашық болғанда ғана пайда болады. Ал транзисторлардың екеуі де ашық болуы үшін А және В кірмелерінің екеуіне де сигнал беру керек. Күй кестесінен көрініп тұрғандай $C=1$, егер $A=1$ және $B=1$ болса. Басқа жағдайлардың барлығында да $C=0$.

«Немесе» элементі $C=A+B$ логикалық қосу амалын орындайды. Бұл C айтылымы дұрыс, егер A айтылымы дұрыс болса немесе B айтылымы дұрыс болса» деген ұғымды білдіреді. Басқаша айтқанда C , егер A бар болса немесе B бар болса», «немесе» элементін диодтардың көмегімен құрған тізбекте $C10, H0$ (1.2 а-сурет) шықпалық кернеу кірмелердің біреуіне немесе екеуіне де кернеу берген жағдайда пайда болады.

Тізбектің күй кестесінен көрініп тұрғандай $C=1$, егер $A=1$ де $B=1$ немесе $A=1$ де $B=0$ немесе $A=0$ де $B=1$, ал $C=0$, егер $A=0$ және $B=0$ болса.

Қарастырылған логикалық элементтерден басқа екі немесе одан да көп амалдарды орындайтын «немесе –емес» «және емес» деп аталатын элементтер де кеңінен қолданылады. «Немесе-емес» элементінің электрлік схемасы, күй кестесі және шартты белгісі келтірілген.

Кірмелерінде сигнал жоқ кезде транзистор жабық болатындықтан оның шықпасындағы кернеу шамамен корек көзінің кернеуіне жуық болады, яғни $A=0$ және $B=0$ болса ғана $C=1$.

Егер кірменің біреуіне немесе екеуіне де кернеу берілсе, онда транзистор ашылады да, шықпасында кернеу шамамен нөлге тең болады, яғни $C=0$, егер $A=1, B=1$ немесе $A=0, B=0$ немесе $A=0, B=1$ болса.

Бақылау сұрақтары:

- ◇ Схеманы талдау есебін айт?
- ◇ Схеманы синтездеу есебінің мақсаты қандай?
- ◇ Қандай логикалық элементтерді білесің?
- ◇ Цифрлық құрылғылардың негіздік элементтерін ата.
- ◇ Күрделі айтылымдар қалай құрастырылады?

1.4. Бульдік функцияларды аналитикалық көрсету. Бульдік функцияларды ықшамдау

Логикалық алгебра функциясын (ЛАФ) аналитикалық жолмен көрсету. Кез келген ЛАФ базис құратын кейбір элементар функциялардың суперпозициясы арқылы көрсетуге болады. Бұл жерде ЛАФ минимал логикалық өрнек түрінде болуы мүмкін. ЛАФ аналитикалық жолмен өрнектеуге мүмкіндік беретін ең көп таралған дизъюнкция, конъюнкция, логикалық терістеу сияқты элементар функциялардан тұратын базис болып табылады. Бұл базисті бульдік базис (\vee , $\&$, X) деп те атайды.

Логикалық функциялардың ішінен аргументтердің тек бір жиынтығында ғана бірге айналатын, ал барлық қалған ($2^n - 1$) жиынтықтарда нольге айналатын функцияларды жеке (бөліп) атауға болады. Мұндай функциялар бірдің конституенті деген атқа ие болады. Элементар функциялар ішінен бұған дизъюнкция функциясы, Пирс (Вебба) функциясы және терістеу функциялары жатады.

Бірдің констуенті анықтамасынан бірдің констуенті ретінде аргументтің логикалық функциясын беру үшін функцияны бірге айналдыратын бір ғана аргументтер жиынтығын берсе жеткілікті. Ол үшін конъюнкция белгісімен байланыстырылған тура немесе терістелген x_1, x_2, \dots, x_n айнымалыларынан конъюнктивтік терм (минтерм) құрастырылған. Терм бірге тек бір ғана жиынтықта айналуға тиіс, ал басқа жиынтықтарда ноль мәнін алуға тиіс. Ол үшін көрсетілген жиынтықта нольге тең болатын айнымалылар терістеу белгісімен алынады. Егер d_i жиынтықтағы x_i айнымалысының мәні болса, онда функцияның жалпы түрі

$$(x_1, x_2, \dots, x_n) = x_1^{\alpha_1} x_2^{\alpha_2} \dots x_n^{\alpha_n} = \sum_{i=1}^n x_i^{\alpha_i},$$

былай жазылады: f

$$x_i^{\alpha_i} = \begin{cases} \overline{x_i}, & \alpha_i = 0, \\ x_i, & \alpha_i = 1. \end{cases}$$

мұнда

Логикалық функциялары бірге айналатын бірнеше жиынтықтар бар болса, онда олардың әрқайсысы бірдің конституентін (минтерм) түзеді де олар дизъюнкция белгісімен біріктіріледі. Мұның нәтижесінде логикалық өрнек ЛАФ аналитикалық өрнек түрінде алынады:

$$f(x_1, x_2, \dots, x_n) = \bigvee_1 x_1^{\alpha_1} x_2^{\alpha_2} \dots x_n^{\alpha_n}$$

Бұл формулада \bigvee_1 - дизъюнкция функция тек бірлік мән қабылдайтын жиынтықтар бойынша алынатынын көрсетеді. ЛАФ бірдің конституенті (минтерм) түрінде өрнектеу қалыпты дизъюнктивтік форма (ҚДФ) деп аталады. Егер сонда термдердің әрбірі n айналымдардан құрылса, онда ЛАФ аналитикалық өрнектелуі жетілген ҚДФ деп аталады (ЖҚДФ).

Егер логика функциясын нольдің конституенті түрінде беру керек болса, онда дизъюнктивтік термді (макстермді) пайдаланады. Бұл жерде x_1, x_2, \dots, x_n айнымалыларын тура немесе теріс формада алып, дизъюнкция белгісімен байланыстырады. Терм бір жиынтықта нольге, ал барлық қалған жиынтықтарда бірге айналуы керек. Ол үшін көрсетілген жиынтықтарда бірге тең айнымалылар терістеу белгісімен алынады. Функция жалпы түрде былай жазылады: f

$$(x_1, x_2, \dots, x_n) = \overline{x_1^{\alpha_1}} \vee \overline{x_2^{\alpha_2}} \vee \dots \vee \overline{x_n^{\alpha_n}} = \bigvee_{i=1}^n \overline{x_i^{\alpha_i}}, \text{ бұл жерде}$$

$$\overline{x_i^{\alpha_i}} = \begin{cases} x_i^{\alpha_i}, & \alpha_i = 0 \\ \overline{x_i}, & \alpha_i = 1 \end{cases}$$

Бірнеше жиынтықта ноль мәнін алатын ЛАФ өрнектеу үшін бұл жиынтықтарды нольдің конституенттері (макстермдер) түрінде бере отырып, оларды конъюнкция белгісімен біріктіру қажет. Бұл жағдайда ЛАФ мына түрде жазылады:

$$f(x_1, x_2, \dots, x_n) = \&_0(\overline{x_1^{\alpha_1}} \vee \overline{x_2^{\alpha_2}} \vee \dots \vee \overline{x_n^{\alpha_n}}), \text{ формулада } \&_0 -$$

конъюнкция функция ноль мәнін алатын жиынтықтардан құрылатындығын көрсететін белгі. Логика алгебрасы

функциясын нольдің конституенттері конъюнкциясы түрінде өрнектеу қалыпты конъюнктивті форма (ККФ) деп аталады. Егер барлық макстермдерде n айнымалылардың бәрі бар болса, онда ККФ жетілген (ЖККФ) деп аталады. Кез келген ЛАФ ЖККФ немесе ЖҚДФ түрінде жазылады. Кесте түрінде берілген логикалық алгебра функциясының ЖҚДФ алу үшін:

1) функция 1 мәнін қабылдайтын аргументтер жиынтықтарының бәрін белгілейді;

2) әрбір белгіленген жиынтық үшін аргументтер конъюнкциясын жазып алады; егер белгіленген жиынтықта аргумент 1 болса, онда алынған конъюнкция терістелмейді, ал қарсы жағдайда аргумент терістеледі;

3) алынған конъюнкциялар дизъюнкция белгісімен қосылады.

Мысал. 1.4-кестеде ЛАФ үш аргументпен берілген. Осы ЛАФ ЖҚДФ алу үшін: 1) $f(x_1 x_2 x_3) = 1$ мәнін қабылдайтын аргументтер _____ жиынтығын _____ белгілейміз;

2) $\bar{x}_1 \bar{x}_2 \bar{x}_3, \bar{x}_1 \bar{x}_2 x_3, \bar{x}_1 x_2 \bar{x}_3, \bar{x}_1 x_2 x_3$ конъюнкцияларын жазып аламыз;

3) алынған конъюнкцияларды дизъюнкция белгісімен қосамыз;

$$f(x_1, x_2, x_3) = \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee \bar{x}_1 \bar{x}_2 x_3 \vee \bar{x}_1 x_2 \bar{x}_3 \vee \bar{x}_1 x_2 x_3.$$

Алынған аналитикалық өрнек $f(x_1, x_2, x_3)$ қалыпты деп аталады, өйткені терістеу белгілері аргументтердің функцияларына емес олардың өздеріне оның әрбір конъюнктивтік мүшелері n аргументтерден тұрады.

1.4 – кесте

x	x	x	$f(x_1, x_2, x_3)$	x	x	x	$f(x_1, x_2, x_3)$
0	0	0	0	1	0	0	1
0	0	1	1	1	0	1	1
0	1	0	0	1	1	0	0
0	1	1	0	1	1	1	1

Аналитикалық жолмен берілген ЛАФ өрнегінен кестелік өрнекке көшу былай орындалады:

1) аргументтердің барлық мүмкін болатын жиынтықтарының кестесі құрылады;

2) әр жиынтықтағы аргументтер мәнді ЛАФ аналитикалық жазылуына тікелей қойылады да элементар ЛАФ анықтамасы негізінде әрбір жиынтықта оның мәні есептеледі;

3) есептелген мән қаралған жиынтықта сәйкес келетін кесте жолына жазылады.

Аналитикалық жолмен көрсетілген ЛАФ элементар фнкциялардың қасиеттерін пайдалана отырып түрлендіруге болады. Түрлендіру мақсаты - терм сандарын және термдегі айнымалыларды азайту, басқаша айтқанда минималь қалыпты форма алу.

Әрбір айнымалысы бір реттен артық кездеспейтін терм элементар терм деп аталады. Термді құратын айнымалылар саны оның рангі (r) деп аталады. Бірдей айнымалылардан құрылған екі элементар терм бір-бірінен тек бір айнымалы терістелуімен өзгеше болса, онда оларды көрші термдер деп атайды. Көрші термге мысал : $\chi_1\chi_2\chi_3 \vee \chi_1\chi_2\chi_3$.

Рангі r екі көрші терм дизъюнкциясын берілген термдердің ортақ бөлігі болатын рангі $r-1$ элементар ықшамдалған терммен ауыстыруға болады: $\chi_1\chi_2\chi_3 \vee \chi_1\chi_2\chi_3 = \chi_1\chi_2$. Біреуі екіншісінің бөлігі болатын, рангтері әр түрлі екі элементар минтермдердің дизъюнкциясын кіші рангті минтерммен ауыстыруға болады: $Y = \chi_1\chi_2\chi_3 \vee \chi_1\chi_2 = \chi_1\chi_2$

Дизъюнктивтік термдерді жапсыру арқылы көрші тұрған екі (рангі) макстермдер конъюнкциясын бастапқы термдердің жалпы бөлігі болып келетін рангі $r-1$ элементар термдермен алмастыруға болады:

$$y = (\chi_1 \vee \chi_2 \vee \chi_3)(\chi_1 \vee \overline{\chi_2} \vee \chi_3) = (\chi_1 \vee \chi_3)$$

Біреуі екіншісінің бөлігі болатын әр түрлі рангті екі элементар макстермдер конъюнкциясын рангі кіші макстерммен

ауыстыруға болады: $y = (\chi_1 \vee \chi_2 \vee \chi_3)(\chi_1 \vee \chi_3) = (\chi_1 \vee \chi_3)$

ЛАФ ықшамды түрін алу үшін оны жетілген қалыпты формада (конъюнктивтік немесе дизъюнктивтік) кескіндеп, оған жапсыру не сіңіру ережелерін қолдану керек.

Мысал. 1.4-кестемен берілген функция үшін МҚДФ табу керек.

Шешуі. Функцияның ЖҚДФ формасын жазып оны түрлендіреміз:

$$f(\chi_1, \chi_2, \chi_3) = \overline{\chi_1} \chi_2 \chi_3 \vee \chi_1 \overline{\chi_2} \chi_3 \vee \chi_1 \chi_2 \overline{\chi_3} \vee \chi_1 \chi_2 \chi_3 = \overline{\chi_2} \chi_3 \vee \chi_1 \overline{\chi_2} \vee \chi_1 \chi_3$$

Түрлендіруде жапсыру ережесі тек бірдей сызықтармен сызылған термдерге қолдану арқылы жасалады.

Бульдік функцияларды ықшамдау. Квайн-Мак-Класки әдісі. Жетілген қалыпты формалардан (ЖҚДФ және ЖҚКФ) тікелей минималь қалыпты формаларды (МҚДФ және МҚМФ) жапсыру және сіңіру ережелерін қайта-қайта қолдану арқылы алуға болады. Бұл ережелерді қолданғанда термдерді жүйесіз салыстыру кезінде минималь қалыпты формалар қажетті төменгі ранкті термдер толық алынбауы мүмкін. Квайн әдісі 1952 жылы термдерді қос-қостан салыстыру операциясын ретке келтіріп, минималь қалыпты форманы алу алгоритмін анықтайды. Квайн әдісімен минимальдау үшін бастапқы функция ЖҚДФ берілген деп ұйғарылады. Оған кіретін барлық термдер қос-қостан салыстырылып, оларға қайсыбір айнымалы

бойынша жапсыру операциясын қолданамыз: $F\chi_1 \vee F\overline{\chi_1} = F$.

Мұнда $F-r=(n-1)$ ранкті терм. Сонымен терм рангін $r=n$ -нен $r=n-1$ -ге дейін төмендетіледі. Бұл операция қажетінше қайталанады. Жапсыру операциясына қатыспайтын термдерді бастапқы импликанттар деп атайды. Дизъюнкция белгісімен байланысқа бастапқы импликанттар жиыны МҚДФ түрінде бола бермейді. Сондықтан алынған импликанттар жиыны кейбір бастапқы импликанттарды алып тастау жолымен ықшамдалады. Алып тасталған имплианттар функцияның тепе-теңдігін бұзбауы керек. Квайн әдісінің елеулі кемістігі жапсыру амалын

қолдану үшін барлық термдерді қос-қостан салыстыру керектігінде.

1956 жылы Мак-Класки конъюнктивтік термдерді $(\chi_1^{\alpha_1}, \chi_2^{\alpha_2}, \dots, \chi_n^{\alpha_n})$ екілік айнымалылар жиынтығы түрінде жазуды ұсынды. Мұнда термге t -куб сәйкестендіріледі. Бұл термдердің қолайсыз жазылуынан арылтып, жапсыру операциясын қолдану үстінде термдерді қос-қостап салыстыру санын қысқартуға мүмкіндік береді. Өйкені барлық $\alpha_1, \alpha_2, \dots, \alpha_n$ айнымалылар жиынтықтарын олардағы бірліктер санымен қиылыспайтын топтарға бөлуге болады, i -топқа i -бірліктері бар барлық жиынтықтар кіреді. Бұл жағдайда тек көршілес топтағы жиынтықтар бір-бірімен салыстырылады. $(i-1)$ топ пен i топ; i топпен $i+1$ топ және т.с.с. көршілес емес топтарға кіретін жиынтықтар бір-бірімен кем дегенде екі бірліктермен өзгеше болады.

Сондықтан олардың жапсырылу ықтималдығы 0-ге тең. Төменде Квайнның Мак-Класки жетілдірген (Квайн-Мак-Класки әдісі) кезеңдерге бөлінген формальді алгоритмі баяндалады.

1-кезең. Бастапқы импликантты табу. ЖКДФ-ға кіретін барлық $\{m\}$ термдерді екілік айнымалылар жиынтығы $\alpha_1, \alpha_2, \dots, \alpha_n$ түрінде (0-кубтар K^0 кешені) топтап олардағы бірліктер санына қарай жазып алады. Көршілес екі жиынтыққа жапсыру амалы қолданылады. Нәтижелерді топтап 1-кубтар K^1 кешені түрінде жазылады. Көршілес топтарға (K^1) кіретін 1-кубтар бір-бірімен салыстырып 2-кубтар түзіледі. Бұл салыстыру және жапсыру амалдары t кубтардың K^t кешендерін алғанша орындалады. Олар бір-бірімен жапсырылуы тиісті емес. Жапсыру амалдарына қатыспаған кубтар бастапқы импликанттар $\{\lambda\}$ жиынтығын құрады.

2-кезең. Импликанттық матрица құру. Матрицаның жолдарын бастапқы импликанттармен, ал бағандарын алғашқы (негізгі) импликанттармен (0-кубтармен) белгілейді. Егер бастапқы импликантта λ, m_j терміне енсе

(λ_i кубын 0 – куб m_j жабады) онда i жолымен j баған қиылысқан жеріне белгі қойылады.

3-кезең. Мәнді импликанттарды табу. Егер импликанттық матрицаның қайсыбір бағынында тек бір ғана белгі болса, онда осы белгіге сәйкес келетін алғашқы импликантта мәнді болып табылады, өйткені онсыз берілген термдердің барлық жиынтығын $\{m\}$ алуға болмайды. Мәнді импликанттар міндетті түрде МҚДФ құрамына кіруі керек. Мәнді импликанттармен жабылатын термдерге сәйкес келетін бағандар және мәнді импликантты жолдар матрицадан сызылып тасталады.

4-кезең. Басы артық бастапқы импликанттарды сызып тастау. Алдыңғы кезеңдер орындалған соң, импликанттық матрицада бірде-бір белгісі жоқ жолдар пайда болуы мүмкін. Мұндай жолдарға сәйкес келетін бастапқы импликанттар әрі қарай қаралмайды, өйткені олар матрицадағы қалған алғашқы термдерді жаба алмайды.

5-кезең. Минималь жабын алу. Импликанттық матрицаның жолдары мен бағандарын сызып тастағанмен алынған матрица зерттеледі. Қалған жолдар ішінен қалған алғашқы термдерді тегіс жабатын бастапқы импликанттар жиынтығы іріктелініп алынады. Мұндай импликанттардан әріп сандарын аз жиынтық тандалынып алынады. Оларға мәнді импликанттарды қосып, мөлшері әр-түрлі куб түрінде жазылған бастапқы импликанттардан рангі әр түрлі конъюнктивтік термдерге көшіріледі. Соңғыларды дизъюнкция белгісімен біріктіріп МҚДФ алынады.

Мысал. Квайн-Мак-Класки әдісімен $f(x_1, x_2, x_3, x_4)$ логикалық функциясының МҚДФ табу керек: $f(x_1, x_2, x_3, x_4) =$

$$= \bigvee_1 F(4,5,6,8,9,10,11,12,14,15) = \overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_3} x_4 \vee \overline{x_1} \overline{x_2} x_3 \overline{x_4} \vee \overline{x_1} \overline{x_2} x_3 x_4 \vee \overline{x_1} x_2 \overline{x_3} \overline{x_4} \vee \overline{x_1} x_2 \overline{x_3} x_4 \vee \overline{x_1} x_2 x_3 \overline{x_4} \vee \overline{x_1} x_2 x_3 x_4 \vee x_1 \overline{x_2} \overline{x_3} \overline{x_4} \vee x_1 \overline{x_2} \overline{x_3} x_4 \vee x_1 \overline{x_2} x_3 \overline{x_4} \vee x_1 \overline{x_2} x_3 x_4 \vee x_1 x_2 \overline{x_3} \overline{x_4} \vee x_1 x_2 \overline{x_3} x_4 \vee x_1 x_2 x_3 \overline{x_4} \vee x_1 x_2 x_3 x_4$$

Шешуі. K^0 кешені

{0100, 0101, 0110, 1000, 1001, 1010, 1011, 1100, 1110, 1111}

бірнеше топқа бөлінеді:

$$K_1^0 = \left\{ \begin{array}{l} 0100 \\ 1000 \end{array} \right\}, \quad K_2^0 = \left\{ \begin{array}{l} 0101 \\ 1001 \\ 1010 \\ 1100 \end{array} \right\}, \quad K_3^0 = \left\{ \begin{array}{l} 0111 \\ 1011 \\ 1110 \end{array} \right\}, \quad K_4^0 = \{1111\}.$$

мұнда кешендердің төменгі индекстері топқа енетін кубтардағы бірліктер санын көрсетеді.

1-кезең. Бастапқы импликанттарды табу (* белгісімен жапсыру амалына қатысатын термдер белгіленеді).

$$a) \quad K_1^0 = \left\{ \begin{array}{l} 0100 \\ 1000 \end{array} \right\}, \quad K_2^0 = \left\{ \begin{array}{l} 0101 \\ 1001 \\ 1010 \\ 1100 \end{array} \right\},$$

салыстырылады, жапсыру нәтижесінде K_1^1 алынады:

$$K_1^1 = \left\{ \begin{array}{l} 010X \\ 100X \\ 10X0 \\ X100 \\ 1X00 \end{array} \right\}$$

$$K_2^0 = \left\{ \begin{array}{l} 0101* \\ 1001* \\ 1010* \\ 1100* \end{array} \right\}, \quad K_3^0 = \left\{ \begin{array}{l} 0111* \\ 1011* \\ 1110* \end{array} \right\}$$

салыстырылады, жапсыру амалынан кейін мынадай нәтижеге ие боламыз:

$$K_2^1 = \left\{ \begin{array}{l} 01X1 \\ 10X1 \\ 101X \\ 1X10 \\ 11X0 \end{array} \right\}$$

$$K_3^0 = \left\{ \begin{array}{l} 0111* \\ 1011* \\ 1110* \end{array} \right\} \quad K_4^0 = \{1111*\}$$

салыстырылады, жапсыру амалын орындай отырып мынадай нәтиже аламыз:

$$K_3^1 = \left\{ \begin{array}{l} X111 \\ 1X11 \\ 111X \end{array} \right\}$$

Барлық 0-кубтар 1-кубтарды алуға қатысады, сондықтан олардың ешқайсысы бастапқы импликант болмайды.

ә) Әрі қарай K_1^1 және K_2^1 салыстырылады да, K_1^2 нәтижесі алынады:

$$K_1^1 = \left\{ \begin{array}{l} 010X \\ 100X* \\ 10X0* \\ X100 \\ 1X00* \end{array} \right\} \quad K_2^1 = \left\{ \begin{array}{l} 01X1 \\ 10X1* \\ 101X* \\ 1X10* \\ 11X0* \end{array} \right\} \quad K_1^2 = \left\{ \begin{array}{l} 10XX \\ 1XX0 \end{array} \right\}$$

K_2^1 мен K_3^1 салыстырып, K_2^2 нәтижесі алынады:

$$K_2^1 = \left\{ \begin{array}{l} 01X1 \\ 10X1* \\ 101X* \\ 1X10* \\ 11X0* \end{array} \right\} \quad K_3^1 = \left\{ \begin{array}{l} X111 \\ 1X11* \\ 111X* \end{array} \right\} \quad K_2^2 = \{1X1X\}$$

$$K_1^1 \text{ кубында } \left\{ \begin{array}{l} 010X \\ X100 \end{array} \right\}, \quad K_2^1 \text{ кубында } \{01X1\}$$

K_3^1 кубында $\{X111\}$ термдер бірде-бір * символымен белгіленбеген. Сондықтан олар 3 рангі бастапқы импликанттар болып табылады:

$$K = \{010X, X100, 01X1, X111\}$$

б) K_1^2 мен K_2^2 кешентерін салыстыра отырып оларды құратын 2-кубтар үлкен кубтар құрамайтынын байқауға болады (жапсырылмайды). Сондықтан барлық алынған 2-кубтар бастапқы импликанттар болып табылады:

$$\lambda^{11} = \{10XX, 1XX0, 1X1X\}$$

2-кезең. Импликанттық матрица құру. Импликанттық матрица 7 жолдан және 10 бағанадан тұрады. 1.5-кесте белгілері бар матрица келтірілген.

1.5 – кесте

$m_i \backslash \lambda_j$	100	101	0111	1000	1001	101 0	101 1	110 0	111 0	111 1
010X	*	*								
X100	*							*		
01X1		*	*							
X111			*							*
10XX				*	*	*	*			
1XX0				*		*		*	*	
1X1X						*	*		*	*

3-кезең. Мәнді импликанттарды табу. Импликанттық матрицада бір белгілі тек бір ғана баған бар. Бұл белгіге 10XX мәнді импликантта сәйкес келеді. 1.5-кестеден мәнді 10XX импликантпен жабылатын баған –термдер және ол импликантқа сәйкес келетін жол сызылып тасталады. Соның нәтижесінде 6-кесте алынады.

4-кезең. Басы артық бастапқы импликанттарды сызып тастау.

1.6 – кесте

$m_j \backslash \lambda_i$	0100	0101	0111	1100	1110	1111
010X	*	*				
X100	*			*		
01X1		*	*			
X111			*			*
1XX0				*	*	
1X1X					*	*

1.6-кестеде мұндай импликанттар жоқ.

5-кезең. Минималь жабу алу. 6-кестеден 4-рангі алты термдерді жабатын бастапқы импликанттар жиынтығы таңдалынып алынады: $1X1X$, $01X1$, $X100$. Бұл жинақты мәнді импликантпен қоса конъюнктивтік термдерге өтіп МҚДФ алынады:

$$f(x_1, x_2, x_3, x_4) = x_1 \bar{x}_2 \vee x_1 x_3 \vee \bar{x}_1 x_2 x_4 \vee x_2 \bar{x}_3 \bar{x}_4$$

Ең соңғы бесінші кезеңде бастапқы импликанттардың басқа жиынтығын таңдауға болады: $1XX0$, $X111$, $010X$. Мұндай жиынтықта

$$f(x_1, x_2, x_3, x_4) = x_1 \bar{x}_2 \vee x_1 \bar{x}_4 \vee x_2 x_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3$$

Табылған бірінші және екінші жазылуларда сан жағынан бірдей әріптер қолданылып отырғандықтан олардың екеуі де МҚДФ болып табылады. Қаралған әдісті МҚКФ үшін де қолдануға болады. Ол үшін мәні және осы мәнге сәйкес термдер қаралады.

Минимумдаушы карталар әдісі. Аса көрнекі және қарапайым әдіс – Вейч-Карно картасын пайдаланып минимумдау әдісі. Сонда ЛАФ-ты көрсету үшін графиктік өрнектеу әдісі қолданылады. Жапсыру және сініру операциясы графиктік (көзбен шолу) жолмен орындалады. Сонда 0-кубтарға сәйкес келетін барынша көп “1” мәндерін жабыстыруға тырысады. Екі көрші “1” өз мәнін өзгертетін айнымалылары жоқ айнымалылар конъюнкциялармен белгіленетін 1-куб құрайды. Төрт көрші “1” белгіленуінде екі айнымалы жоқ болатын 2-куб құрайды. Сегіз көрші “1” 3-куб құрады. Оның айнымалылар конъюнкциясында үш айнымалы болмайды. Мысалы, 4 айнымалыдан тәуелді ЛАФ ЖҚДФ түрінде берілсін:

$$f(x_1, x_2, x_3, x_4) = \chi_1\chi_2\chi_3\chi_4 \vee \chi_1\chi_2\chi_3\chi_4 \vee \chi_1\chi_2\chi_3\chi_4 \vee \chi_1\chi_2\chi_3\chi_4$$

1.3-суретте берілген ЛАФ графиктік түрде көрсетілген.

Көрші төрт “1” 2-куб құрайды. Демек, $f(\chi_1\chi_2\chi_3\chi_4) = \chi_1\chi_2$.

Жалпы түрде Вейч-Карно картасын пайдалана минимумдау ережесін мына түрде тұжырымдауға болады: саны 2^t ($t=1,2,\dots$) болатын көршілес “1” (0-кубтар) біріктіріліп, алғашқы 0-кубтарда әртүрлі мән қабылдайтын айнымалылар орнына t бос компоненттері бар бір t -куб құрады. ЛАФ минималь өрнектеу үшін барлық 0-кубтар (бірліктер) неғұрлым көп көлемді, бірақ аз мөлшерлі кубтармен жабылуы керек. Сонда бір ғана 0-куб бірнеше кубтар құрғанда пайдаланылуы мүмкін. Алынған кубтар дизъюнкция белгісімен біріктіріледі.

Вейч-Карно картасы әдетте айнымалылар аз ($n-1,2,3,4,5$) болатын Бульдік функцияларды минимумдауға қолданылады. Егер $n>4$ болса Вейч-Карно картасы қарапайым карталардан ($n-4$) құрастырылады; мысалы $n-5$ болса, төрт айнымалы екі карта пайдаланылады. Ал $n-6$ болса, онда мұндай төрт карта пайдаланылады және т.с.с. Минимудау алдымен осы қарапайым карталардың ішінде жүргізіледі, осыдан кейін қарапайым карталар арасындағы көрші торлар іздестіріледі. Көрші торлар деп қарапайым карталарды бірінің үстіне бірін салғанда бір-біріне дәл келетін торларды айтады.

	x_1	x_2	x_3	x_4	
					00 01 11 10
00					
01					
11	1	1	1	1	
10					

1.3 – сурет.

Мысал. ЛАФ $f(x_1, x_2, x_3)$ 0 мәнін үшінші (011) және жетінші (111) жиынтықтарда қабылдайды. Функцияны Пирс базисінде минимумдау үшін ЛАФ-ты ЖҚПФ түрінде жазып, жапсыру операциясын қолдану керек.

$$f(x_1, x_2, x_3) = (x_1 \downarrow x_2^2 \downarrow x_3^2) \downarrow (x_1^2 \downarrow x_2^2 \downarrow x_3^2) = (x_2^2 \downarrow x_3^2).$$

Нәтиже бірімшелік түрінде болғандықтан квадрат дәрежеге шығарылады.

Қарастырылған базистерде бульдік функцияларды минимумдау мәселесін, ҚДФ пен ҚКФ өрнектеріне өтудің белгілі қатыстарын пайдаланып сәйкес ҚДФ пен ҚКФ функцияларын минимумдау мәселесіне келтіруге болатынын атап өтейік.

Бақылау сұрақтары

- ◇ Бір (нөл) конституентіне түсінік беріңіз.
- ◇ ЖҚДФ-ға анықтама беріңіз.
- ◇ ЖҚКФ-ға түсінік беріңіз.
- ◇ ЖҚДФ (ЖҚКФ)-да жазылған функцияға мысал келтіріңіз.
- ◇ Қандай функцияны бульдік деп атайды?
- ◇ Бульдік функцияны беру тәсілдері.

- ◇ Бульдiк функцияны кестелiк беру тәсiлi.
- ◇ Бульдiк функцияны берудiң аналитикалык тәсiлi.
- ◇ Бульдiк функцияны берудiң геометриялык тәсiлi.
- ◇ Функцияны беру тәсiлдерi.
- ◇ Бульдiк функцияларды ықшамдау тәсiлдерi.

1.5 Цифрлык құрылғыларды логикалык жобалау негiздерi. Бульдiк алгебра. Бiр және екi айнымалы бульдiк функциялар

Буль алгебрасының негiзгi түсiнiктерi. Екiлiк сандармен әр түрлi амалдар орындай алатын құрылғыларды екiлiк сандардың функционалдык түрлендiргiшi ретiнде қарауға болады. Мұндай түрлендiргiштерде бастапқы санның жеке разрядтары аргумент, ал алынған нәтижелердiң разряды функция болып табылады. Арифметикалык амал орындалатын құрылғының әр кiрiсiне бастапқы санның бiр разряды берiледi (0 немесе 1), ал оның әр шығысынан нәтиженiң екiлiк разряды (0 немесе 1) алынады.

Осындай құрылғыларды талдау және синтездеу үшiн екiлiк айнымалыларымен әр түрлi операция жасауға мүмкiндiк беретiн математикалык аппарат қажет. Мұндай аппараттың негiзiн өткен ғасырдың ортасында ағылшын математигi Д.Буль тұжырымдаған болатын айнымалы шамалар мен олардың функциялары тек екi мән (0 немесе 1) қабылдайтын болса, онда бульдiк немесе логикалык айнымалылар мен функция деп аталады. Логикалык функциялардың қасиеттерi математикалык логикада зерттеледi.

Екiлiк айнымалылар жиынтығымен (x_1, x_2, \dots, x_n) анықталатын және өздерi не ноль, не бiр деген мәндер қабылдайтын функцияларды логика алгебрасының функциялары (ЛАФ) деп атайды, ЛАФ берiлуi деп оның 0 немесе 1 деген мәнi әрбiр мүмкiн болған аргументтер жиынтығының мөлшерi n разряд арқылы кескiнделетiн әр түрлi сандарға тең, яғни 2^n . Барлық мүмкiн болатын аргументтер жиынтығы мен оларға сәйкес функциялар мәндерiн бiр кестеге

жинақтасақ ЛАФ кестелік берілуін немесе оның шындық кестесін аламыз: $f(x_1, x_2, \dots, x_n)$. Егер екі ЛАФ $f_1(x_1, x_2, \dots, x_n)$ және $f_2(x_1, x_2, \dots, x_n)$ әр түрлі аргументтер жиынтығында бірдей мәнге ие болса, онда f_1 және f_2 функцияларын өзара тең деп атаймыз: $f_1(x_1, x_2, \dots, x_n) = f_2(x_1, x_2, \dots, x_n)$.

Функция аргументтерінің ішінде оның мәндеріне әсерін тигізбейтін жалған аргументтер болуы мүмкін. Егер функциялар арасында мынадай ара-қатынас болса: $f_1(x_1, \dots, x_{i-1}, 0, x_{i+1}, \dots, x_n) \neq f_2(x_1, \dots, x_{i-1}, 1, x_{i+1}, \dots, x_n)$, онда $f_1(x_1, \dots, x_i, \dots, x_n)$ функциясы x_i аргументінен айтарлықтай тәуелді болады. Өйткені әрбір аргументтер жиынтығында ЛАФ екі мәнің бірін қабылдай алады десек, онда n аргументпен анықталатын ЛАФ мөлшері шекті, ол 2^{2^n} -не тең. Бұл тұжырымның дәлелі әрбір ЛАФ екілік жиынтық түрінде $(\alpha_1, \alpha_2, \dots, \alpha_j, \dots, \alpha_n)$ карауға болатынынан шығады, бұл

жерде α_j аргументтерінің j жиынтығында алатын ЛАФ мәні. Ал мұндай жинақтар саны 2^{2^n} формуласымен анықталады. Әр түрлі ЛАФ саны өскен сайын өте тез еселенеді. Мысалы: $n=4$ болғанда ЛАФ саны 5536. Бірақ осы 2^{2^n} функциялардың ішінде n аргументіне айтарлықтай тәуелді функциялармен қатар кейбір аргументтер бөлігінен тәуелсіз функциялар да кездеседі. n аргументтерден айтарлықтай тәуелді ЛАФ санын мынадай рекурренттік қатынаспен анықтауға болады: $A_n = 2^{2^n} - C_n^{n-1} A_{n-1} - \dots - C_n^1 A_2 - C_n^0 A_1 - A_0$, бұл жерде A_i - n аргументпен анықталатын ЛАФ саны, C_n^i - элементтен i -ден алынған терулер саны.

Мысалы, аргумент үшін A_3 -ті анықтау керек. Алдын ала A_0 , A_1 және A_2 мәндерін анықтаймыз. A_0 мен A_1 -ді бір аргументтің (x -тің) кестелік берілу мәнінен анықтауға болады.

x	f_1	f_2	f_3	f_4
-----	-------	-------	-------	-------

0	0	1	0	1
1	0	1	1	0

f_1 мен f_2 функцияларында x жалған аргумент болады, сондықтан $A_0 = 2$. Аргумент мәні өзгертуімен өз мәнін өзгертетін функцияларға f_3 және f_4 жатады, басқаша айтқанда f_3 және f_4 функциялары x аргументіне айтарлықтай тәуелді ($A_1 = 2$). A_0 және A_1 мәндерін біле отырып, A мәнін есептеп шығаруға болады: $A_2 = 2^{2^2} - C_2^1 A_1 - A_0 = 16 - 2 \cdot 2 - 2 = 10$ бұдан $A_3 = 2^{2^3} - C_3^2 A_2 - C_3^1 A_1 - A_0 = 256 - 3 \cdot 10 - 3 \cdot 2 - 2 = 218$. Сонымен үш айнымалымен анықталатын 256 ЛАФ санының тек 218 ЛАФ-ы ғана үш аргументке айтарлықтай тәуелді болады.

Матрицалық функция кезінде бульдік функциялар кестемен беріледі. Бульдік функцияға мысал 7-кестеде берілген. 8-кестеде осы функцияның кестелік берілуі көрсетілген, бірақ екілік жиынның орнына олардың ондық баламалары келтірілген.

1.7 – кесте.

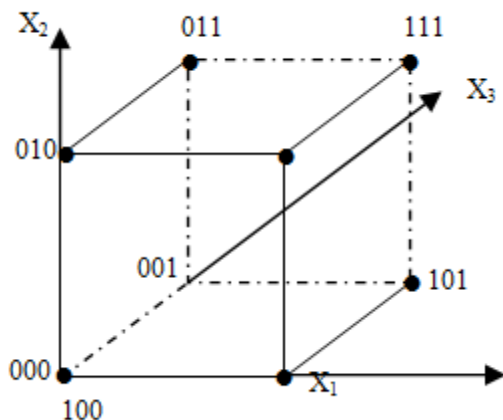
X_1, x_2, x_3	f
0 0 0	0
0 0 1	1
0 1 0	0
0 1 1	1
1 0 0	0
1 0 1	1
1 1 0	0
1 1 1	1

1.8 – кесте.

Жиын нөмірі	f
0	0
1	1
2	0
3	1
4	0

5	1
6	0
7	1

Графиктік тәсілде бульдік функция n -өлшемді куб көмегімен беріледі. Геометриялық мағынада әрбір екілік жиын n -өлшемді вектор, n -өлшемді нүктені анықтайды. Төмендегі суретте 3-өлшемді кубтың геометриялық көрсетілуі берілген



1.4 – сурет. Кестеде берілген бульдік функцияның геометриялық көрсетілімі

Бір және екі айнымалы бульдік функциялар. Кеңірек қолданылатын бір немесе екі айнымалыдан құралған бульдік функцияларды қарастыралық. Бір айнымалылы функция 9-кестеде берілген.

1.9 – кесте

x	$f_0 f_1 f_2 f_3$
0	0 0 1 1
1	0 1 0 1

$$f_0(x)=0-0 \text{ тұрақтысы}$$

$$f_1(x)=x - \text{ функциясы}$$

$$f_2(x)=\bar{x} \text{ терістеу (инверсия)}$$

$$f_3(x)=1 - \text{ тұрақтысы}$$

Логика алгебрасының қарапайым функциялары. ЛАФ кестелік берілу тәсілі өте қарапайым болғанымен, ол ыңғайсыз және ықшам емес болып келеді. Мысалы $n=8$ ЛАФ берілсі $2^8=256$ қатардан (жолдан) тұрады. Сондықтан күрделі логикалық функцияларды қарапайым функциялар арқылы көрсету (кескіндеу) ыңғайлы..

ЛАФ ішінен 14 қарапайым деп аталатын функцияларды оқшау көрсетуге болады. Олар логика алгебрасының теориясын жасауда және оны қолдануда айырықша орын алады. Функциялардың төртеуі 1.10-кестеде берілген: f_1 - ноль константасы ($f_1(x) = 0$), f_2 - бірлік константасы ($f_2(x) = 1$), f_3 - тепе-теңдік функциясы ($f_3(x) = x$), f_4 - инверсия функциясы немесе логикалық терістеу ("ЕМЕС") функциясы ($f_4(x) = \bar{x} = \bar{x}$). Қалған элементар функцияларды 10-кестеде көрсетілгендей екі айнымалымен анықталады. Бұл кестеде жоғарыда анықталған констанда 0, константа 1 тепе-теңдік және логикалық терістеу функциялары да келтірілген.

1.10 – кесте

x_1	x_2	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8
0	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	1	0	1	0
1	0	0	1	1	0	0	1	1	0
1	1	0	1	1	1	0	0	1	1

x_1	f_{14}	f_{15}	f_{16}	f_9	f_{10}	f_{11}	f_{12}	f_{13}

0	1	0	0	1	0	1	1	1
0	1	0	1	0	1	1	0	0
1	1	1	0	0	1	0	1	0
1	0	0	0	1	0	1	1	0

Кестедегі бірінші алты ЛАФ белгілі функциялар: f_1 -"0" константасы, f_2 -"1" константасы; $f_3 = x$; $f_4 = x_2$; $f_5 = \overline{x_1}$; $f_6 = \overline{x_2}$, f_7 функциясы дизъюнкция деп аталады. Ол $f_7 = x_1 \vee x_2$ түрінде белгіленеді. Дизъюнкция 1 деген мәнді аргументтерінің кеміне біреуі 1-ге тең болғанда алады; ол $f_8 = x_1 x_2$ ($f_8 = x_1 \& x_2$) түрінде белгіленеді. Конъюнкция 1 деген мәнді аргументтердің барлығы бірдей 1-ге тең болғанда ғана алады. f_9 функциясы эквиваленттік (тептеңдік) деп аталады, ол $f_9 = x_1 \equiv x_2$ ($f_9 = x_1 \sim x_2$) түрінде белгіленеді. Функция 1 деген мәнге аргументтері тең болғанда ие болады. f_{10} функциясы әр аттылық (екі модулімен қосу) деп аталады. Ол $f_{10} = x_1 \oplus x_2$ түрінде белгіленеді. Функция f_{10} 1 мәнін аргументтер жиынтығының мәндеріне бір-біріне сай келмегенде қабылдайды. f_{11} функциясы x_1 дің x_2 -ге импликациясы деп аталады. $f_{11} = x_1 \rightarrow x_2$ түрінде белгіленеді. Функция f_{12} x_2 -нің x_1 -дегі импликациясы деп аталады. $f_{12} = x_2 \rightarrow x_1$ түрінде белгіленеді. Функция f_{13} Вебба функциясы (Пирс стрелкасы) деп аталады. $f_{13} = x_1 \circ x_2$ ($f_{13} = x_1 \downarrow x_2 \uparrow$) түрінде белгіленеді. Функция f_{14} - Шеффер функциясы, ол $f_{14} = x_1 / x_2$ түрінде белгіленеді. f_{15} және f_{16} функцияларының арнаулы атаулары жоқ. $f_{15} = \overline{x_1 x_2}$, $f_{16} = x_1 x_2$. Кейде f_{15} - x_2 -ге тыйым функциялары деп атайды. f_{15} , f_{16} функциялары элементар функцияларға жатпайды.

Енді элементар функциялардың қасиеттерін қарастырайық:

Дизъюнкция мен конъюнкциялар үшін:

1) ауыстырымдылық заңы (коммутативтік қасиет):

$$x_1 \vee x_2 = x_2 \vee x_1; \quad x_1 x_2 = x_2 x_1;$$

2) терімділік заңы:

$$x_1 \vee (x_2 \vee x_3) = (x_1 \vee x_2) \vee x_3; \quad x_1 (x_2 x_3) = (x_1 x_2) x_3;$$

3) үйлестіру заңы (дистрибутивтік қасиет): дизъюнкцияға

қатысты конъюнкция үшін: $x_1 (x_2 \vee x_3) = (x_1 x_2) \vee (x_1 x_3)$ қатысты орынды. Үлестіру заңы логикалық өрнектердегі жақшаларды ашу ережелерін анықтайды.

X аргументіне мүмкін болатын әр түрлі мәндер беріп, мына өрнектердің орынды екеніне көз жеткізуге болады:

$$x \vee x = x; \quad x \vee 1 = 1; \quad x \vee 0 = x; \quad x \vee \bar{x} = 1;$$

$$x \cdot x = x; \quad x \cdot 1 = x; \quad x \cdot 0 = 0; \quad x \cdot \bar{x} = 0; \quad x = \bar{\bar{x}}.$$

аргументтердің әр түрлі жиынтықтары үшін өрнектердің сол жақтарын және оң жақтарын салыстыра отырып, де Морган заңы деген атпен белгілі қатыстардың орынды екенін байқауға болады:

$$\overline{x_1 x_2} = \bar{x}_1 \vee \bar{x}_2; \quad \overline{x_1 \vee x_2} = \bar{x}_1 \bar{x}_2.$$

Де Морган заңдары және оның салдары кез келген айнымалылар санына тура келеді:

$$\overline{x_1 \cdot x_2 \cdot \dots \cdot x_n} = \bar{x}_1 \vee \bar{x}_2 \vee \dots \vee \bar{x}_n;$$

$$\overline{x_1 \vee x_2 \vee \dots \vee x_n} = \bar{x}_1 \cdot \bar{x}_2 \cdot \dots \cdot \bar{x}_n.$$

Екі модулімен қосу функциясын былай көрсетуге болады:

$$x_1 \oplus x_2 = x_1 x_2 \vee \bar{x}_1 \bar{x}_2 = (x_1 \vee x_2)(\bar{x}_1 \vee \bar{x}_2)$$

Бұл функция үшін мына заңдар орындалады:

1) ауыстырымдылық заңы: $x_1 \oplus x_2 = x_2 \oplus x_1;$

2) терімділік заңы: $x_1 \oplus (x_2 \oplus x_3) = (x_1 \oplus x_2) \oplus x_3;$

3) үлестіру заңы: $x_1 (x_2 \oplus x_3) = (x_1 x_2) \oplus (x_1 x_3).$

Қаралып отырған функция үшін және мынадай арақатынастар орын-алады:

$$x \oplus x = 0; \quad x \oplus \bar{x} = 1; \quad x \oplus I = \bar{x}; \quad x \oplus 0 = x.$$

Импликация функциясын төмендегідей көрсетуге болады:

$$x_1 \rightarrow x_2 = x_1 \vee x_2.$$

Бұл функция үшін мынадай арақатынастар тура болады:

$$x \rightarrow x = 1; \quad x \rightarrow \bar{x} = \bar{x}; \quad x \rightarrow I = I;$$

$$x_1 \rightarrow x_2 = \bar{x}_2 \rightarrow x_1; \quad x \rightarrow 0 = \bar{x}; \quad 0 \rightarrow x = I; \quad I \rightarrow x = x.$$

Шеффер функциясы конъюнкция функциясының терістеуі болып табылады:

$$x_1 / x_2 = \overline{x_1 x_2}.$$

Импликация функциясын төмендегідей көрсетуге болады:

$$x_1 \rightarrow x_2 = x_1 \vee x_2.$$

Бұл функция үшін мынадай арақатынастар тура болады:

$$x \rightarrow x = 1; \quad x \rightarrow \bar{x} = \bar{x}; \quad x \rightarrow I = I;$$

$$x_1 \rightarrow x_2 = \bar{x}_2 \rightarrow x_1; \quad x \rightarrow 0 = \bar{x}; \quad 0 \rightarrow x = I; \quad I \rightarrow x = x.$$

Шеффер функциясы конъюнкция функциясының терістеуі болып табылады: $x_1 / x_2 = \overline{x_1 x_2}$. Бұл функция мына арақатынастарға ие болады:

$$x / x = \bar{x}; \quad x / \bar{x} = 1; \quad x / 1 = \bar{x}; \quad x / 0 = 1.$$

Ауыстырымдылық заңы Шеффер функциясында тек екі айнымалылар үшін орындалады: $x_1 / x_2 = x_2 / x_1$. Шеффер функциясын пайдалана отырып логикалық өрнектерді түрлендіруге мүмкіндік беретін кейбір формулалар алуға болады:

$$\begin{aligned} x_1 x_2 &= \overline{x_1 / x_2} = \overline{(x_1 / x_2) / (x_1 / x_2)}; \quad x_1 \vee x_2 = \\ &= \overline{\overline{x_1 x_2}} = \overline{\overline{x_1} / \overline{x_2}} = \overline{(x_1 / x_1) (x_2 / x_2)}. \end{aligned}$$

Пирс (Вебба)

функциясы дизъюнкция функциясының терістелуі болып табылады: $\chi_1 \downarrow \chi_2 = \chi_1 \vee \chi_2 = \overline{\chi_1 \chi_2}$. Бұл қарапайым функцияға төмендегі арақатынастар тура келеді: $\chi \downarrow \chi = \overline{\chi}$; $\chi \downarrow \overline{\chi} = 0$; $\chi \downarrow 1 = 0$; $\chi \downarrow 0 = \chi$. Пирс (Вебба) функциясы тек ауыстырымдылық заңына бағынады:

$\chi_1 \downarrow \chi_2 = \chi_2 \downarrow \chi_1$ Дизъюнкция, конъюнкция, логикалық терістеу, Пирс (Вебба) функцияларының арасында өзара мынадай байланыстарды байқауға болады:

$$\chi_1 \vee \chi_2 = \overline{\chi_1 \downarrow \chi_2} = (\chi_1 \downarrow \chi_2) \downarrow (\chi_1 \downarrow \chi_2);$$

$$\chi_1 \chi_2 = \overline{\overline{\chi_1 \vee \chi_2}} = (\chi_1 \downarrow \chi_1) \downarrow (\chi_2 \downarrow \chi_2).$$

Қаралған қарапайым функциялар жаңа ЛАФ алуға мүмкіндік береді. Ол екі жолмен: аргументтерді қайта номерлеу және функциялардағы аргументтер орнына жаңа функциялар қою арқылы алынады. Осы екі операцияны бастапқы функцияларға (f_1, f_2, \dots, f_k) қайта қайта қолдану жолымен алынған функция f_1, f_2, \dots, f_k функцияларының суперпозициясы деп атайды.

Бақылау сұрақтары:

- ◇ Неге екілік алгебра бульдік деп аталады?
- ◇ Қандай функция бульдік деп аталады?
- ◇ Бульдік функцияларды беру тәсілдері.
- ◇ Екілік функцияны аналитикалық формада беру деген не?
- ◇ Екілік функцияны геометриялық формада беру дегенді қалай түсінесіз?
- ◇ Екілік функцияны кестелік түрде беру дегенді қалай түсінесіз?
- ◇ Толық анықталған бульдік функция деген не?
- ◇ Толық емес анықталған бульдік функция деген не?
- ◇ Негізгі функцияны бір айнымалыдан келтіріңіз.
- ◇ Екі айнымалыдан негізгі функцияны атаңыз.
- ◇ де Морган теоремасына түсінік беріңіз.

1.6. Микрoэлектроника мен сұлбатехниканың қысқаша даму тарихы.

ТТЛ сұлбалардың негізгі параметрлері және сериялары. ТТЛ сұлбалар және олардың жұмыс жасау ұстанымы. Көпэммитерлі n -р- n транзисторлар (КЭТ) бірэммитерлі транзисторлардан ең алдымен, олардың р-типтес базалық аймағында бірнеше (әдетте, 4...8) n^+ -типтес эммитерлі аймақтар құратынымен ерекшеленеді. Бұл транзисторларды микросұлбаларда бір эммитерлілермен бірге қолданады. Сондықтан да КЭТ, бірэммитерлі транзисторлар секілді технологиялық үрдістердің көмегімен жасайды, ал КЭТ құрылымы бір эммитерлі транзисторларда қолданылатын жартылай өткізгішті қабаттар мен бөлектейтін аймақтардан тұрады. КЭТ қолданудың негізгі аймағы – ТТЛ цифрлық сұлбалары. Бұл микросұлбаларда олар кірісінде қосылады және $m+1$ диодтардан тұратын диодтық жинау функциясын орындайды, мұнда m – эммитерлер саны (ТТЛ кірістерінің саны). Көпэммитерлі транзисторды, саны эммитерлер санына тең болатын, n -р- n жеке транзисторлардың жиынтығы ретінде келтіруге болады. Бұл транзисторлардың, коллекторымен бірге, барлық базалық шығыстары өзара байланысқан.

ТТЛ сұлбаларында КЭТ қолданған кезде тасымалдаудың инверсті коэффициентін төмендету қажет сонымен қатар, ТТЛ сұлбасының басқа (бірэммитерлі) транзисторлар, әсіресе шығысты үшін тасымалдаудың инверсті коэффициентін, қанығудың жеткілікті төмен кернеуін қамтамасыз ету үшін, үлкейту қажет. КЭТ-да бірэммитерлі транзисторлардағы секілді жартылай өткізгішті қабаттар қолданғандықтан, оларды тасымалдаудың инверсті коэффициентін, топологияны сәйкес таңдаумен ғана азайтуға болады.

Заманауи ЭЕМ-нің әртүрлі цифрлық құрылғыларын құрастыру үшін транзистрлі-транзистрлі логика негізіндегі микросхемалар кеңінен пайдаланылады. ТТЛ ИС-тің (ТТЛ) бірнеше түрлері бар, оның ішінде кеңінен таралғандары К155, К531, КР1531, КМ555 және КР1533 сериялы микросхемалар.

К155 сериялы стандартты микросұлбаларда (және де Texas Instruments фирмасында жасалынған олардың SN74 сериясының функционалды аналогтары) пайдаланатын қуаты орташа (10 МВт) және жылдамдығы салыстырмалы төмен (10 нс) болады. К531 (SN74S) сериялы Шоттки транзисторлары бар ТТЛ интегралды микросұлбалар, стандартты ИС-ға қарағанда пайдаланатын қуаты жоғары (20 МВт) болса да, жылдамдығы үш есе жоғары болады (3 нс). Пайдаланатын қуаты төмен (2 МВт), КМ555 (SN74LS) сериялы ТТЛШ ИС-ының жылдамдығы төмен болады (10 нс). Ең перспективті микросұлбалар - КР1531 (SN74F) және КР1533 (SN74ALS) сериялы микросұлбалар болып табылады, олардың пайдалану қуаты төмен (4 және 2 МВт) бола тұрып, жылдамдықтары өте жоғары (3 және 4 нс сәйкесінше) болады. Функционалдық аналогтарындағы Н, L и S әріптер мынаны бейнелейді: Н – жоғарғы жылдамдықты; L – пайдалану қуатының аз мәнін және S – құрылымда Шоттки транзисторлары.

ТТЛ микросұлбалары бір-бірімен электрлі сәйкес келеді және +5В кернеу көзінен қоректенеді. Кейбір ТТЛ микросұлбалар 3,3В кернеулі қорек көзімен жұмыс істейді. К155, К531, КМ555, КР1531, КР1533 сериялы микросұлбалар пластмасса корпусында, ал КМ155 және КМ555 – штирлі шығыстары бар ДИП типтес керамикалық корпуста орындалады.

Аталынған сериялардың құрамына кіретін барлық логикалық элементтер схематехникалық бойынша логикалық элементтердің келесі ЖӘНЕ – ЕМЕС (1.5, а – сурет) және НЕМЕСЕ бойынша кеңейткіштің (1.5, б – сурет) екі базалық сұлбаларының комбинацияларының негізінде алынады. Логикалық элемент ЖӘНЕ – НЕМЕСЕ – ЕМЕС ЖӘНЕ – ЕМЕС пен НЕМЕСЕ бойынша кеңейткіштің бірігуінен алынған. НЕМЕСЕ логикалық кірісі негізінде бірігу санын арттыру үшін 1.5-а суреттегі 1 және 2 нүктелерге НЕМЕСЕ бойынша кеңейткішті (1.5, ә – сурет) қосу керек. НЕМЕСЕ бойынша кеңейткіш мүмкіншілігі бар ТТЛ ИС барлық серияларында бірігу санының жоғарғы мәні 8-ге тең. Жоғары жүктемелік

мүмкіншілігі ($n \geq 10$) және элементтердің өзара бірігіп жұмыс жасауы олардың салыстырмалы жоғары емес кіріс және жоғары шығыс токтарымен қамтамасыз етіледі.

Стандартты К155 сериялы ТТЛ логикалық элементтің сұлбасының (1.5, а-сурет) құрамы және оның компоненттерінің қажеттілігі. Элементтің сұлбасы мына каскадтардан тұрады:

- ток бойынша инверсті күшейту коэффициенті аз көпэмиттерлі транзистордан (КЭТ) T_0 және R_0 резисторынан тұратын кіріс каскадынан;

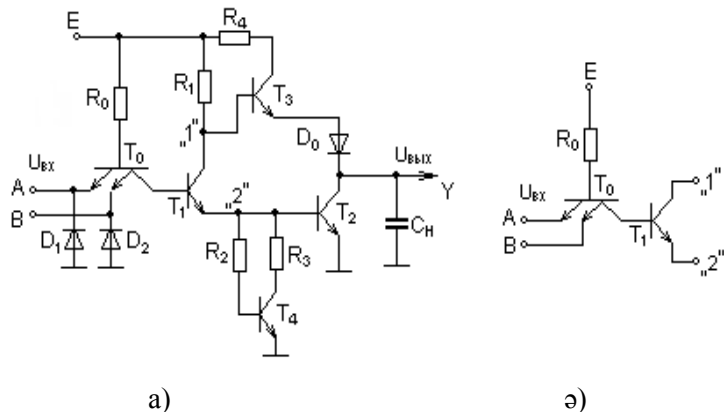
- R_2 және R_3 резисторлар және T_4 транзисторлардан тұратын коллекторлеуші тізбек, T_1 транзистор және R_1 резистор негізінде құрастырылынған фаза бөлгіш каскадтан;

- T_2 және T_3 транзисторлар, R_4 резистор және D_0 диод негізінде құрастырылынған екі тактылық шығыс каскадынан.

Тура сигналдар кезінде (оң логикада) көпэмиттерлі T_0 транзисторлардан және R_0 резистордан құрастырылған кіріс каскад ЖӘНЕ логикалық функциясын орындайды, бұл кезде логикалық бірге (лог. 1) кернеу сигналының жоғарғы деңгейі, ал логикалық нольге (лог. 0) кернеу сигналының төменгі деңгейі сәйкес келеді. Инверсті сигнал кезінде (теріс логикада), басқаша айтқанда логикалық бір кернеу сигналының төменгі деңгейімен, ал логикалық ноль кернеу сигналының жоғарғы деңгейімен бейнеленгенде T_0 көпэмиттерлі транзистор және R_0 резистор бірігіп НЕМЕСЕ логикалық функциясын орындайды. T_0 көпэмиттерлі транзистордың эмиттерлеріне D_1 және D_2 демпфирлеуші диодтар қосылған, олар байланыс сызығы арқылы келетін теріс полярлы бөгеуіш кернеу импульстарын азайту үшін пайдаланылады.

Фаза бөлгіш каскадының T_1 транзисторы р-п-ауысулардың аз сыйымдылықтарына және аз жұмыс тоғы режимінде жұмыс жасайды. R_1 , R_2 резисторлардан және T_4 транзистордан тұратын корректірлеуші тізбек берілу сипаттамасының формасын түзету үшін (тікбұрышты формаға жақындату үшін) және соған байланысты логикалық элементтің лог.1-ге сәйкес жағдайындағы бөгеуішке тұрақтылық жағдайын арттыру үшін пайдаланылады. Шығыс каскадтағы T_2 және T_3

транзисторлардың қарама-қарсы фазалық ауысу режимінде (екі тактілік режимінде) жұмыс жасауы үшін керекті басқарушы сигналдарды фазаны бөлгіш каскад қамтамасыз етеді. T_2 транзистордың ашық кезінде T_3 транзисторды сенімді түрде жабу үшін D_0 диоды пайдаланылады. T_2 транзисторы үлкен жұмыс тоғына арналған және элементті алып-қосқан кезде қанығу режимінен шығудың аз уақытына ие.



1.5-сурет. К155 сериялы ТТЛ логикалық элементінің базалық схемасы (а) және немесе логикалық кеңейтілуі (ә).

ТТЛ ИС-ында, екітактылы сұлба бойынша орындалған, шығыс каскадын (күрделі инвертор) қолдану (қарапайым инверторы болатын ТТЛ-сұлбамен салыстырғанда) ақауларға төзімділікті және жүктемелік қабілетін үлкейтуге, сонымен қатар елеулі сыйымдылықты жүктемемен жұмыс жасаған кезде ЛЭ жылдамдығын көтеруге мүмкіндік береді. Күрделі инвертормен ТТЛ-сұлбаның алып-қосудың жоғары жылдамдықтарында жоғары сыйымдылықты жүктемеге күрделі инвертормен жұмыс жасау қабілеті, бұл сұлбада жүктемелі сыйымдылықтың заряды да, разряды да төмен шығыс тізбек (T_3 және T_2 ашық транзисторлар сәйкесінше) арқылы орындалатынымен түсіндіріледі. Сұлба бір жағдайдан екінші жағдайға ауысқан кезінде T_2 және T_3 транзисторлар бір уақытта

ашық болуы мүмкін, ол кезде сұлбаның шығыс каскады арқылы жоғары мәнді импульсты ток ағуы мүмкін. Ол ток транзисторларды істен шығаруы мүмкін. Сол себепті бұл импульсты токтың мәнін азайту үшін T_2 және T_3 транзисторларға тізбектелініп R_4 резисторы қосылынады. Ол резистордың мәні жылдамдығы жоғары ТТЛ элементтерде 100 Ом, ал қуатты аз пайдаланатын ТТЛ элементтерде 300 Ом-ға тең. Бөгеттерінің әсерін болдыртпау үшін қоректендіру шинасы аз мөлшерлі өзіндік индуктивтігімен орындалуы қажет және барлық ұзындығы бойымен аз паразитті индуктивтігі болатын қосымша конденсаторлармен қамтылуы қажет.

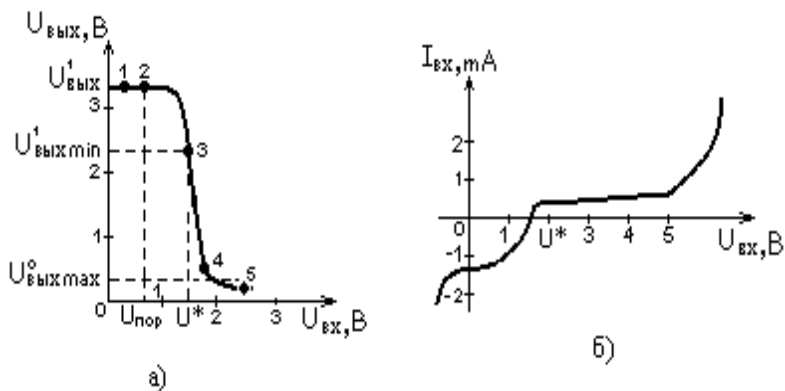
ЖӘНЕ-ЕМЕС элементінің ТТЛ-сұлбасының жұмыс жасау ұстанымы мен берілу сипаттамасы төмендегідей (1.5 а және 1.6ә сур.). Элементтің кем дегенде бір кірісіне (А немесе В) төмен деңгейлі $U_{вх}^0$ (лог. 0) кернеуді берген кезде сәйкес КЭТ-дың р-п-ауысу база-эмиттер (Б-Э) T_0 ашылады. Және мұнда T_0 транзисторының $U_{БТ0}$ базасының потенциалының мәні үш р-п-ауысулардың: КЭТ-да база-коллектор (Б-К), T_1 және T_2 транзисторларда база-эмиттер (Б-Э) ашылуына жеткіліксіз болады. Бұл тізбекті ашу үшін келесі шарттың орындалуы қажет:

$$U_{БТ0} \geq U_{БКТ0} + U_{БЭТ1} + U_{БЭТ2} = 3U_{пор}, \quad (1.1)$$

мұнда $U_{БКТ0}$, $U_{БЭТ1}$ және $U_{БЭТ2}$ – T_0 , T_1 и T_2 транзисторларының р-п-ауысуларының $U_{пор}$ ашудың порогты (бастапқы) кернеулері. Әдетте ТТЛ ИС-да бір типті транзисторлар қолданылады, сондықтан бұл порогты кернеулер бір-біріне тең болады, шамамен (0,6–0,8) В болады. $U_{БЭ} = 0,7$ В болсын. Сонда, $U_{вх} = U_{вх}^0$ тең болғанда кернеу

$$U_{БТ0} = U_{вх} + U_{БЭТ0} \quad (1.2)$$

аз болады, және T_1 және T_2 транзисторлар жабық болады.



1.6-сурет. Логикалық элементтің ТТЛ шығыс (а) және кіріс (б) сипаттамалары

К 155 стандартты сериялы ТТЛ интегралды схемаларда кәдімгі ашық кезінде қанығу режимінде жұмыс жасайтын транзисторлар пайдаланылады. Бұл транзисторлар логикалық элемент сұлбасының жабылу кезінде қосымша уақыт кедергісіне тәуелді, сол себепті сұлбаның жылдамдығының төмендеуіне әкеледі. К531, К555, К1531 және К1533 сериялы ТТЛ интегралды сұлбалардың жылдамдығын арттыру үшін оларда кәдімгі транзисторлардың орнына қанығу режимде жұмыс жасамайтын Шоттки транзисторлары пайдаланылады.

Жоғарыда қарастырылған ТТЛ элементтерінің сұлбаларынан басқа цифрлы сұлбатехникада үш тұрақты жағдайы бар ТТЛ сұлбасы және коллекторлық шығысы ашық (бос) ТТЛ сұлбасы пайдаланылады. Коллекторлық шығысы ашық (бос) ТТЛ сұлба арнайы жүктемеге (жарық шамына, жарық диодына және т.б.) жұмыс жасау үшін пайдаланылады.

Бақылау сұрақтары:

- ❖ Ең көп тараған ТТЛ ИС сериясын көрсетіңіз?
- ❖ Оң логика кезінде К155 сериялы ТТЛ сұлба ИС қандай логикалық функцияны атқарады?
- ❖ Түзету тізбегі не үшін қолданылады?

- ◇ Шығысында логикалық «1» сигналын алу үшін сұлбаның кірісіне қандай логикалық сигналдарды беру керек?
- ◇ Қалыпты жағдайда логикалық 0 және 1 кернеулері неге тең?

1.7.Базалық жартылай өткізгіш аспаптар және логикалық элементтер

- ↳ Эмиттерлері байланысқан және интегралды-инжекциялық логикалық сұлбалар
- ↳ Жартылай өткізгіш диодтар мен транзисторлар.
- ↳ Транзистор-транзистор логикалы (ТТЛ) және эмиттерлі байланысқан логикалы (ЭСЛ) сұлбалар.
- ↳ Үш тұрақты күйі бар ТТЛ сұлбасы.
- ↳ nМДП және КМДП интегралды сұлбалар
- ↳ Интегралды-инжекторлық сұлбалар.
- ↳ Сандық nМДП және КМДП интегралды сұлбалар.
- ↳ nМДП транзисторындағы логикалық интегралды сұлбалар.
- ↳ Комплементарлы МДП интегралды сұлбалар.

Эмиттерлері байланысқан логикалық элементтер (ЭБЛ).

Жоғарғы жылдамдықты цифрлы құрылғыларды жасаған кезде олардың базалық элементтері есебінде эмиттерлері байланысқан логикалық интегралдық сұлбаларды пайдаланған өте орынды. Ал жылдамдығы жоғары емес цифрлы құрылғыларды жобалағанда эмиттерлері байланысқан логикалық сұлбаларды пайдаланудың эффектісі аз, себебі ЭБЛ элементтердің пайдалану қуаттары өте жоғары, ол олардың ең негізгі кемшілігі болып есептелінеді.

Эмиттерлері байланысқан логикалық элементтердің негізгі артықшылықтары:

- жылдамдығы өте жоғары;
- жүктемелік мүмкіншілігі жоғары;

- қорек көзі кернеуі және жұмыс температурасы өзгерген кезде ЭБЛ сұлбаларының динамикалық параметрлерінің тұрақтылығы жоғары;

- бөгеуішке тұрақтылығы салыстырмалы жоғары;

- жүктемеге және төмен Омды келісілінген байланыс сызығына жұмыс жасау мүмкіншілігі.

Жасалынған цифрлы эмиттерлері байланысқан логикалық интегралды сұлбалардың ішінде кеңірек таралынғандары К500 және К1500 сериялы микросхемалар болып табылады. МС10000 және F100К сериялы микросхемалар бұлардың функционалдық аналогтары болып есептелінеді.

К500 сериялы микросхемалар пластмассалық және керамикалық корпустарда, шығыстары штырлы (штыревые выводы) жасалынады, ал К1500 сериялы микросхемалар конструктивті түрде көбінесе шығыстары планарлы орналасқан керамикалық корпустарда жасалынады. К500 сериялы эмиттерлері байланысқан логикасының базалық элементінің сұлбасы (1.7-суретте) мынандай бөлшектерден тұрады:

- тоқты ауыстырғыштан (ТА);

- шығыс тізбектердегі эмиттерлік қайталағыштардан (ЭК);

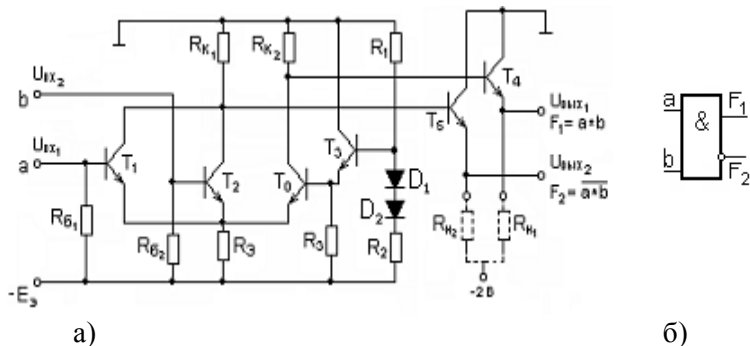
- тұрақты кернеу қорек көзі тізбегінен.

Әдетте эмиттерлері байланысқан логикалық элементтердің екі немесе үш кірісі болады. ЭБЛ элементтері кірістерінің саны көбейген кезде кіріс тізбегінің паразиттік сыйымдылығы артады және сол себепті, сұлбаның жылдамдығы төмендейді.

Токты ауыстырғыш (ТА) T_0 , T_1 және T_2 транзисторлар және R_3 , R_{K1} және R_{K2} резисторлардан құрастырылған. Токты ауыстырғыштың негізін кілт режимінде жұмыс жасайтын дифференциалды күшейткіш құрайды, оның T_0 , T_1 және T_2 транзисторлары ашық кезінде қанығу режимге енбейді. Токты ауыстырғыш мына төмендегі функцияларды орындау үшін пайдаланады:

- кіріс сигналын күшейту үшін;

- керекті бөгеуіл кернеуінің тұрақтылығын қамтамасыз ету үшін;
- парафазалық (тікелей және инверсті) шығыс сигналдарын құрастыру үшін;
- сұлбаның шығыстарында керекті логикалық функцияларды орындау үшін.



1.7-сурет. K500 сериялы ЭБЛ-дің базалық элементінің сұлбасы (а) және оның шартты белгісі (б)

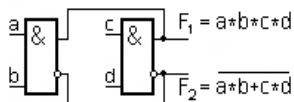
T_4 и T_5 транзисторлар негізінде құрастырылған сұлбаның шығыс тізбектерінде эмитерлі қайталағыштар мынандай функцияларды орындайды:

- шығыс сигналдарын қуат (ток) бойынша күшейту үшін;
- токты ауыстырғыштың шығыс сигналдары деңгейлерін кернеу бойынша ығыстырып ЭБЛ элементтердің шығыстарындағы және кірістеріндегі сигналдардың деңгейлерін бір-біріне сәйкестендіру үшін. Сонымен қатар эмитерлік қайталағыш өзінің шығыс тізбегіндегі кедергісінің аз болғандығының арқасында толқындық кедергісі аз (50 Ом) байланыс линиясына жұмыс жасаған кезде керекті жүктемелік коэффициентін (n) қамтамасыз етеді. ЭБЛ элементтері үшін жүктемелік коэффициенттің типтік мәні тең 10-20.

Тұрақты кернеу қорек көзі тізбегі T_3 транзистордан, R_1 – R_3 резисторлардан және D_1 және D_2 термокомпенсациялаушы диодтардан тұрады. Ол T_0 транзистордың базасына берілетін $U_{оп}$

тұрақты кернеуді құрастыру үшін пайдалынады. Әдетте тұрақты кернеу қорек көзі тізбегі бір кристалда орналасқан бірнеше (5-10) ЭБЛ элементтерін тұрақты кернеумен қамтамасыз етеді. D_1 және D_2 диодтар температура жұмыс диапазонында өзгерген кезде R_3 резистордан ағатын тоқты тұрақтандыру үшін және соның арқасында, ЭБЛ элементінің шығыс кернеуінің деңгейлерін тұрақтандыру үшін пайдалынады.

ЭБЛ интегралды сұлбалардың коллектрлік тізбектері ортақ нүктеге (жерге) қосылған, соның арқасында шығыс кернеу деңгейлерінің қорек көзі тізбектеріндегі бөгеуілдерге (кернеудің мәнінің өзгеруіне) байланыстылығы азаяды сол себепті, сұлбаның бөгеуілге тұрақтылығы артады, мұның логикалық кернеу ауысулары аз сұлбалар үшін маңызы зор. ЭБЛ элементтерінің біркелкі шығыстарын тікелей (монтажды логика бойынша) қосу мүмкіншілігін қамтамасыз ету үшін эмиттерлі қайталағыштардың R_{H1} және R_{H2} жүктемелік резисторлары (кедергілері 50, 75 және 100 Ом-ға тең) микросхеманың сыртына шығарылған. Пайдалынатын қуатты азайту үшін R_{H1} және R_{H2} жүктемелік резисторлар кернеуі $E_2 = -2$ В-қа тең қосымша қорек көзіне қосылынған. Эмиттерлері байланысқан логикалық элементтердің функционалдық мүмкіншіліктерін кеңейту үшін әр түрлі сұлбатехникалық әдістер пайдалынады. Мысалы, 2 және одан көп ЭБЛ элементтері микросхемалардың біркелкі шығыстары бір R_n жүктемелік резисторға біріктіріледі. Теріс логикада мұндай эмиттерлік біріктіру деп аталынатын монтаждық біріктіру логикалық “ЖӘНЕ” функциясын орындауда қамтамасыз етеді. ЭБЛ элементтердің тура шығыстарын біріктіргенде логикалық ЖӘНЕ функцияны кеңейтуге мүмкіншілік аламыз. Басқаша айтқанда логикалық ЖӘНЕ функциясындағы айнымалылардың санын арттыруға мүмкіншілік аламыз, ал егер ЭБЛ элементтердің теріс шығыстарын біріктірсек “ЖӘНЕ – НЕМЕСЕ – ЕМЕС” логикалық функциясын орындаймыз.



1.8-сурет. ЭБЛ элементтерінің шығыстарының монтаждалған эмиттерлі бірігуі

Интегралды-инжекциялық логикалық сұлбалар (И²Л). Интегралды инжекциялық И²Л логикалық сұлбалар биполярлы ТТЛ және ЭСЛ ИС-дан резисторлардың жоқ болуымен ерекшеленеді. Бұл УИС мен АУИС-ды құру үшін ыңғайлы. Резисторлар болмағандықтан, И²Л-сұлбалардың шашырау қуаты аз болады және орналастырудың тығыздығы жоғары болады.

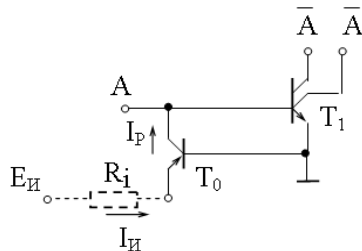
И²Л базалық элементі (1.9-сурет) – дегеніміз, ортақ біріккен аймақтары болатын, р-п-р- және п-р-п-типті екі транзистордан тұратын физикалық біріккен құрылым р-типті жартылай өткізгіштің аймағы, горизонталь құрылымды р-п-р-транзистордың коллекторы болып табылады және тік құрылымды п-р-п-транзистордың базасы да болып табылады. р-п-р-транзисторының базасы және п-р-п-транзисторының эмиттері рөлін «жер» шинасына қосылатын, п-типті аймақ болып табылады. Инжектор деп аталатын, р-п-р-транзисторының эмиттерлі аймағы қорек көзіне $E_{и}$ оң кернеумен қосылады. п-р-п-типті транзисторда әдетте бірнеше коллекторы болады, олар И²Л – инвертор элементінің электрге тәуелсіз шығыстары болып келеді (1.5-сурет). Жоғарыда аталып кеткендей, р-п-р- T_0 транзисторының эмиттері оң қорек көзіне қосылады. Мұнда, R_i ішкі кедергісі болатын $E_{и}$ қорек көзінің кернеуі р-п-р- T_0 транзисторының эмиттерлі ауысуының ашудың $U_{пор}$ порогты кернеуінен асып кетеді және мәні (1-1,5) В болады.

Бірақ іс жүзінде $E_{и}$ мәні I_n және I_p токтардың тұрақтылығына қойылатын талаптарға сәйкес таңдалады және $E_{и} = (4 - 6)U_{пор} = (3 - 5)$ В болады. Әдетте R_i резисторы корпустан тыс орналасады, сондықтан да И²Л элементімен

шашырататын және келесідей анықталатын $P_{эл} = U_{пор} * I_{и}$, қуат P жалпы қуаттың аз бөлігін ғана, яғни:

$$P_{эл} = P * (U_{пор} / E_n) = (0,15 - 0,25)P. \quad (1.3)$$

Қолданудың қалған қуаты ($P - P_{эл}$) резисторымен R_i шашыратылады.



1.9 сурет. И²Л элементінің электрлі сұлбасы

И²Л элементінің ерекшелігі - n-p-n-транзисторының қанығу дәрежесінен тәуелді болатын, теріс бөгеттер үшін $U_{п}^-$ бөгетке тұрақтылықтың төмен мәні болып табылады. Ол $U_{п}^- = (20-50)мВ$. Құрайды. Оң бөгеттер үшін $U_{п}^+$ бөгетке тұрақтылықтың шамасы едәуір үлкен болады: $U_{п}^+ = U_{пор} - U^0$.

И²Л-сұлбаларының, танымал биполярлы ИС кластарының ішінен ерекшеленетін негізгі сипаттамалары (қолданатын қуаттың төменділігі, интеграцияның жоғары дәрежесін алу мүмкіндігі) оларды қолданудың маңызды аймақтарын анықтайды. И²Л-ҮИС батареямен қоректенетін жүйелерде, сағаттар, калькуляторлар және т.б. сұлбаларында кеңінен қолданылады. Осындай сұлбалардың негізін санағыштар, жиілікті бөлгіштер, қосындылағыштар, дешифраторлар және т.б. құрайды. Микросанашықты жүйелерге арналған ҮИС мен АҮИС дамуына байланысты И²Л-сұлбалар негізінде (сонымен қатар, ТТЛ- және ЭБЛ-сұлбалар негізінде де) жады мен арифметикалық-логикалық құрылғылардың әртүрлі сұлбалары,

атап айтқанда триггерлер, регистрлер, мультиплексорлар, екілік сандардың компараторлары, шиналық қабылдағыш-таратқыштардың және т.с.с. сұлбалары әзірленеді.

МДП - транзисторлардағы элементтер. МДП (металл – диэлектрик – жартылай өткізгіш-транзисторларда диэлектриктің функциясын кремнийдің оксиді SiO_2 орындайды, сол себепті бұларды тағы да МОП (металл – окисел – полупроводник) транзисторлар деп атайды. Практикада бекітпелері (затворлары) оқшауланған МОП транзисторлар кеңінен пайдаланылады. Олардың екі типі белгілі:

– бекітпесіндегі кернеу U_3 0-ге тең болған кезде, оның каналы тоқты өткізеді (с встроенным каналом);

– бекітпесіндегі кернеу U_3 0-ге тең болған кезде, канал жабық және одан ток ақпайды (с индуцированным каналом).

МОП транзисторы өте үлкен кіріс кедергісімен (10^{14} Ом), сол себепті өте аз кіріс тоғыменен сипатталады.

Сондықтан ондай транзистор токпен емес, кернеу арқылы басқарылады.

Цифрлы интегралдық сұлбада бекітпелері оқшауланған және каналдары индуцирленген МОП транзисторлар кеңінен пайдаланылады. Каналдарының өткізгіштік типтеріне сәйкес рМОП- және nМОП-транзисторлар деп токқа бөледі. Осы транзисторлардың негізінде әртүрлі логикалық функцияларды орындайтын рМОП-, nМОП- және комплементарлы МОП (КМОП)-интегралды схемалар құрастырылынады. Бұл элементтердің сұлбалары екі полярлы TTL және ЭСЛ интегралды схемаларына қарағанда конструкциясы және технологиялық жасау әдістері жеңіл, кернеу бөгеуіліне тұрақты, пайдаланатын қуаты аз және жартылай өткізгіштік кристаллда алатын орны өте аз. Бірақ МОП сұлбалардың жылдамдығы TTL және ЭСЛ сұлбаларға қарағанда жылдамдығы біршама аз. МОП сұлбаларда пайдаланатын қорек көзі кернеуінің диапазоны кең.

рМОП-транзисторлар негізіндегі сұлбаларға қарағанда nМОП-сұлбалардың жылдамдығы жоғары, ал басқа параметрлері жағынан олар бір-біріне сәйкес.

Ары қарай nМОП-транзисторлар негізіндегі базалық логикалық элементтердің құрастыру принциптерін және жұмыстарын қарастырайық. Төменде ЖӘНЕ – ЕМЕС және НЕМЕСЕ – ЕМЕС функцияларын орындайтын екі кірісті логикалық элементтердің электрлік сұлбалары көрсетілген. Бұл сұлбаларда стоктік қорек көзі есебінде оң мәнді кернеу пайдаланылады. Логикалық 1 сигналына кернеудің жоғарғы деңгейі сәйкес, ал логикалық 0 сигналына оң мәнді кернеудің төменгі деңгейі сәйкес. Екі сұлбада да үш транзистордан пайдаланылады. T_0 транзистор стоктік жүктеменің функциясын атқарады, ал T_1 және T_2 транзисторлар логикалық функцияларды орындау үшін пайдаланылады. Олар ашылу және жабылу ауысу режимдерінде жұмыс жасайды. nМОП – транзисторлар негізінде құрастырылынған ЖӘНЕ –ЕМЕС функциясын орындайтын логикалық элементтің сұлбасында (1.11, а-сурет) ауысу режимінде жұмыс жасайтын T_1 және T_2 транзисторлар бір-бірімен тізбектеліп қосылынған. Сол себепті сұлбаның шығысында төменгі деңгейлі кернеуді алу үшін T_1 және T_2 транзисторлардың бекітпелеріне жоғарғы деңгейлі логикалық 1 сигналына сәйкес кернеулерді беру керек. Соныменен, ЖӘНЕ – ЕМЕС элементтің екі кірістерінде де логикалық 1-ге сәйкес сигналдар болғанда оның шығысында логикалық 0-ге сәйкес сигнал болады. ЖӘНЕ – ЕМЕС логикалық элементтің кірістерінің (ауысу режимінде жұмыс жасайтын кіріс транзисторлардың) санының жоғарғы мәні 4-ке тең ($m_i = 4$). ЖӘНЕ – ЕМЕС логикалық элемент сұлбасында кіріс транзисторлардың санын арттырған кезде сұлбаның топологиясы қиындады, сұлбаның тығыздылығы азаяды және оның кернеу бөгеуіліне тұрақтылығы төмендейді (логикалық 0 сигналына сәйкес кернеудің артуына байланысты).

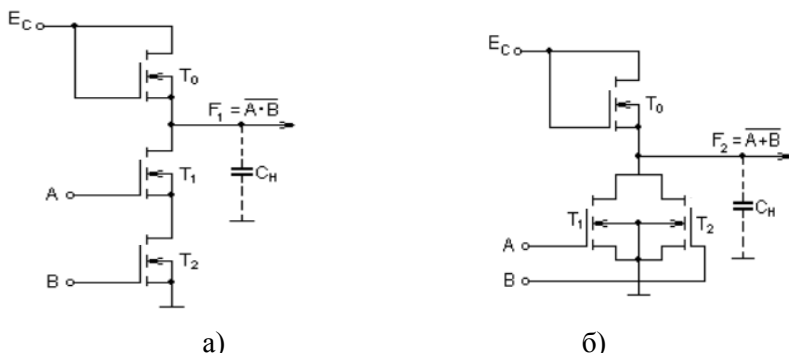
НЕМЕСЕ – ЕМЕС сұлбасында (1.10, б-сурет) T_1 және T_2 транзисторлар бір-бірімен параллель қосылынған, сондықтан егер оның тек бір ғана кірісіне логикалық 1-ге сәйкес сигнал берсек, онда схеманың шығысында логикалық 0-ге сәйкес сигнал құрастырылынады. НЕМЕСЕ – ЕМЕС сұлбасының кірістерінің жалпы саны 10-ға тең ($m_{\text{или}} = 10$). НЕМЕСЕ – ЕМЕС

сұлбасы кірістерінің бірігу коэффициентінің $m_{\text{или}}$ мәні тек логикалық 1-ге сәйкес кернеу деңгейінің төмендеуіменен түсіндіріледі. Логикалық 1-ге сәйкес кернеу деңгейінің төмендеуі кіріс транзисторлардың сток – исток (кіріс-шығыс) тізбектеріндегі ағатын токтар негізінде пайда болатын сұлбаның шығысындағы кернеудің төмендеуіменен түсіндіріледі. МОП транзисторлардың кіріс кедергілерінің жоғары болуынан және соған сәйкес транзисторлардың кіріс ағу тогының мәнінің аздығынан осы транзисторлар негізінде құрастырылынған цифрлы интегралды сұлбалардың жүктемелік коэффициенттері ($n = 10-20$) өте жоғары болады.

Комплементарлы МОП (КМОП) құрылымы өткізгіштік типі әртүрлі МОП транзисторлардан құрастырылынған терістегіш сұлбаға сәйкес (1.10, в-сурет). Өткізгіштігі n -типтес T_1 транзистордың негізгі электроды (подложкасы) нольдік потенциалға (жерге) қосылынған, ал өткізгіштігі p -типтес T_2 транзистордың негізгі электроды кернеуі оң мәнді қорек көзіне қосылынған. T_1 және T_2 транзисторлардың бекітпелері біріктірілген, олар КМОП логикалық элементі сұлбасының кірісі болып есептеледі. КМОП логикалық элементтер n МОП логикалық элементтерге қарағанда статикалық режимде қуатты өте аз пайдаланады (бірнеше және одан аз мкВт), жылдамдығы жоғары, жүктемелік коэффициенті жоғары ($n \geq 15-20$) және кернеу бөгеуілі жақсы (логикалық 1-ге және 0-ге сәйкес кернеу деңгейлерінің айырмашылығы жоғары болуы себепті). КМОП интегралды сұлбаларда қуат тек қана сұлба бір жағдайдан екінші жағдайға ауысқан кезде, басқаша айтқанда тек динамикалық режимде ғана пайдаланылады. Бұл режимде шығыс тізбектегі ток жүктемелік сиымдылықты зарядтау үшін пайдаланылады.

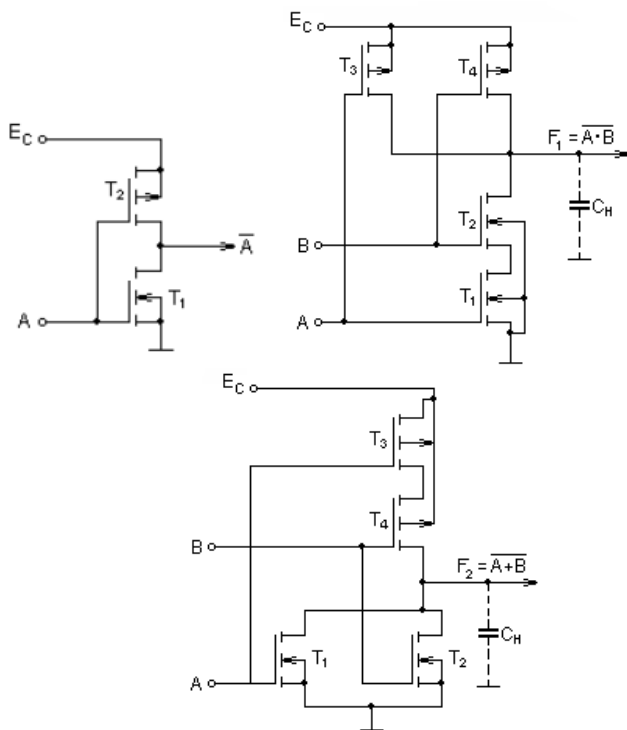
Логикалық ЖӘНЕ – ЕМЕС функциясын орындау үшін төмендегі n МОП-транзисторларды тізбектеп, ал жоғарыдағы p МОП-транзисторларды параллель қосу керек. НЕМЕСЕ – ЕМЕС функциясын орындау үшін n МОП транзисторларды параллель, ал p МОП- транзисторларды тізбектеп қосу керек. Сонымен қатар КМОП құрылымын құрайтын n МОП және

pМОП транзисторлардың бекітпелері бір-бірімен бірігеді және КМОП элементтің кірісі болып есептелінеді. Әлбетте КМОП логикалық элементтердің кірістерінің бірігу коэффициенті 4-тен жоғары емес ($m \leq 4$). ЖӘНЕ – ЕМЕС және НЕМЕСЕ – ЕМЕС функцияларын орындайтын КМОП сұлбаларда сол функцияларды орындайтын nМОП сұлбаларға қарағанда транзисторлардың саны көп. Ол олардың кемшілігі болып есептелінеді.



1.10-сурет. nМОП транзисторында ЖӘНЕ-ЕМЕС (а) және НЕМЕСЕ-ЕМЕС (б) ЛЭ электрлі сұлбалары

Бірақ аса төмен тұтыну қуаты және жылдамдығы жоғары, тез әрекетті КМОП элементтері аса үлкен интегралды сұлбаларды өндегенде қолданылады.



а) б) в)
 1.11-сурет. КМОП элементтерінің сұлбалары: инвертордың (а),
 ЖӘНЕ-ЕМЕС (б) және НЕМЕСЕ-ЕМЕС (в)

Бақылау сұрақтары:

- ❖ Қандай цифрлық құрылғыларда ЭБЛ интегралды сұлбаларды қолдану тиімді болады?
- ❖ К500 сериялы ЭСЛ ИС базалық элемент қандай бөлшектерден тұрады?
- ❖ ЭБЛ-сұлбалардың шығыстарында қандай мақсатпен эмиттерлі қайталағыштар қолданылады?
- ❖ Теріс логика кезінде 0 және 1 логикалық сигналдарға кернеудің қандай деңгейлері сәйкес келеді?
- ❖ Интегралды-инжекциялық логикалық сұлбаның ТТЛ және ЭБЛ сұлбаларынан айырмашылығы?

- ❖ ИИЛ базалық элементі қандай функцияны атқарады?
- ❖ ЖӘНЕ-ЕМЕС (НЕМЕСЕ-ЕМЕС) логикалық функцияны жүзеге асыратын ЛЭ пМДП–де кірісі бойынша бірігу коэффициенті неге тең?
- ❖ Оң логика болған жағдайда пМДП-те ауысып-қосатын транзисторлар қалай қосылған?
- ❖ ТТЛ және ЭБЛ сұлбаларымен салыстырғанда МДП-транзисторларындағы сұлбалардың артықшылықтары мен кемшіліктері?
- ❖ пМДП логикалық элементтерімен салыстырғанда КМДП логикалық элементтерінің артықшылықтарын атаңыз?
- ❖ Оң логика болған жағдайда ЖӘНЕ-ЕМЕС және НЕМЕСЕ-ЕМЕС КМДП логикалық элементтерінде пМДП- және рМДП-транзисторлар қалай қосылады?

1.8 ЭЕМ-нің функционалдық схемаларын құрастыру.

- ↪ Алгебра – логикалық формулалардың көмегімен электрондық схема құру;
- ↪ Толымды жүйелер теоремасы;
- ↪ Жинақтауыш схема;
- ↪ Терістеу схемасы;

Екілік айнымалылардың логикалық байланыстары ЭЕМ-де электрондық схема түрінде жүзеге асырылады. Машинадағы потенциалдар түрінде көрсетілуі. «Жоғарғы» кернеу 1 цифрымен, ал «төменгі» кернеу 0 цифрымен белгіленеді.

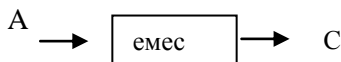
Логикалық байланыстардың электрондық схемалары кернеудегі сигналдар бойынша логикалық байланысты қанағаттандыратын шықпадағы сигналдарды қамтамасыз етеді.

Негізгі логикалық операцияларды іске асыратын электрондық схемаларды қарастырайық.

1.Терістеу схемасы (инвертор) “емес” логикалық операциясын орындауға арналған:

$$C = \bar{A}$$

Функциональдық схемаларда инвертор (терістеуші) былай белгіленеді:



2. Сәйкестік схемасы логикалық көбейту “және” (\wedge) операциясын іске асырады,

$$P = A \wedge B \wedge C$$

Сәйкестік схемасы функциональдық схемаларда 1.12-суреттегідей белгіленеді:

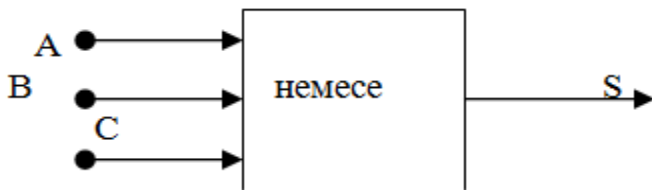


1.12 сурет. Сәйкестік схемасы

3. Жинақтауыш схема логикалық қосу (“немесе”) операциясын орындау үшін қолданылады.

Мысалы: $S = A \vee B \vee C$

Немесе 1.13-суретте жинақтауыш схемалық функциональдық схемада белгіленуі көрсетілген:



1.13 сурет. Жинақтауыш схема

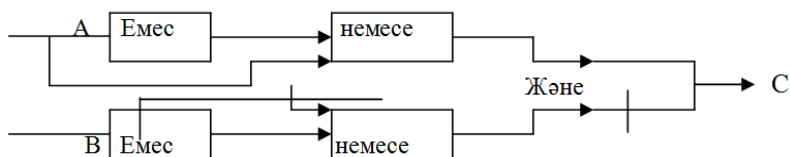
Күрделі басқару схемалары екілік функциялармен анықталады және жоғарыда қарастырылған: инвертор, сәйкестік схемасы жинақтаушы схемаларынан құрастырылады. Бұл айтылымдары есептеу жөнінде айтылған кез келген күрделі

айтылым терістеу, логикалық көбейту, логикалық қосу операциялары құрайтындығын дәлелдейтін тұжырымнан белгілі. Оның үстіне, логикалық алгебраның негізгі теориясында: әрбір күрделі айтылымды дизъюнктивтік және конъюнктивтік формаға келтіруге болатындығы дәлелденген.

Мысалы, тепе-теңдік логикалық операциясы келесі формуламен көрсетілген;

$$C = A \sim B = (A \vee \bar{B}) \wedge (\bar{A} \vee B)$$

Осы формуланы пайдаланып тепе-теңдік операциясын іске асыратын функционалдық схеманы құрамыз;



1.14-сурет.

Енді логика алгебрасын логикалық электрондық схемаларды синтездеу үшін қолдану жолдарын қарастырайық.

1.9. Алгебра – логикалық формулалардың көмегімен электрондық схема құру.

Электрондық схемалардың жұмыс істеу шарты мен оның функциясы сөз түрінде немесе екілік айнымалылар мен олардың функцияларының кестесі түрінде беріледі. Осының негізінде схеманың жұмысын сипаттайтын логикалық формулалар құрастырылады. Одан кейін алынған логикалық өрнектерді талдап және функциональдық схемадағы элементтер соны ең аз болатындай ықшам түрге келтіріледі. Нақты айтқанда логикалық өрнектердің қайталанатын мүшелерін анықтау керек.

Толымды жүйелер теоремасы

Электрондық схемаларды логикалық өрнектермен сипаттау үшін алгебра-логикалық операциялар мен логикалық байланыстардың толық жүйе туралы теоремасы пайдаланылады.

$F(X_1, X_2, \dots, X_n)$ - ақырлы екілік айнымалылардың кез келген екілік функциясы болсын.

Егер F нөлге тепе-тең болмаса және Q_1, Q_2, \dots, Q_k - оның анықталу облысының, $F = 1$ болатын барлық нүктелері болса, онда

$$F(X_1, X_2, \dots, X_n) = G_1 \vee G_2 \vee \dots \vee G_k \quad (1.4)$$

формуласы (теңдігі) әділетті.

Мұндағы:

$$G_j = Y_j \wedge Y_{j2} \wedge \dots \wedge Y_{jn} \quad (j = \overline{1, k})$$

Онымен бірге $j = \overline{1, n}$ үшін

$$Y_{ji} = \begin{cases} x_i, & \text{егер } Q_j \text{ нүктесінде } x_i = 1 \text{ болса} \\ \overline{x_i}, & \text{егер } Q_j \text{ нүктесінде } x_i = 0 \text{ болса} \end{cases}$$

Сонымен қатар, егер F бірге тепе тең болмаса және R_1, R_2, \dots, R_e – анықтау облысының $F = 0$ болатын нүктелері болса, онда

$$F(X_1, \dots, X_n) = H_1 \wedge H_2 \wedge \dots \wedge H_e \quad (1.5)$$

формуласы әділетті болады.

Мұндағы $H_j = Z_{j1} \vee Z_{j2} \vee \dots \vee Z_{jn} \quad (j = \overline{1, e})$, және $j = \overline{1, n}$ үшін

$$Z_{ji} = \begin{cases} x_i, & \text{егер } R_j \text{ нүктесінде } x_i = 0 \text{ болса} \\ \overline{x_i}, & \text{егер } R_j \text{ нүктесінде } x_i = 1 \text{ болса} \end{cases}$$

(1.4) және (1.5) формулалардан кез келген екілік айнымалылы екілік функцияның оның айнымалыларына қолданылатын \vee, \wedge ақырлы операцияларының суперпозициясы түрінде көрсетуге болатындығы шығады. Бұл мағынада $\{-, \wedge, \vee\}$ операциялар жүйесі толық деп аталады. \vee операциясын – және \wedge операциялары арқылы өрнектелетіндіктен $\{-, \wedge\}$ операциялар жүйесі толық болады. Солайша, \wedge операциясы –

және V операциялары арқылы өрнектелетіндіктен $\{ - V \}$ операциялар жүйесі толық деп аталады.

$$\overline{A} = A / A \text{ және } A \wedge B = (A / B) / (A / B)$$

формулалары – және \wedge операциялары тек Шеффер операциясы арқылы өнектейді, яғни бұл операция тек бір өзі толық жүйе болады.

(1.4 және (1.5) формулалар кез келген кесте арқылы берілген екілік функцияны ДНД және КНФ формаларында көрсетуге мүмкіндік береді. Алынған логикалық өрнектен құрамында тек инвертор, сәйкестік, жинақтау схемалары ғана болатын функциональдық схема құрастыруға болады.

Мысал. Электрондық схеманың үш кірмесі A, B, C және екі шықпасы бар U және V . Схеманың жұмысы келесі кестемен сипатталады:

A	B	C	U	V
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	0	0
1	0	1	0	0
1	1	0	1	1
1	1	1	1	0

Осы электрондық құрылғының жұмысын өрнектейтін функциональдық схеманы құру керек.

1) $U(A, B, C)$ және $V(A, B, C)$ функцияларын өрнектейтін дизъюнктивтік нормальді форманы дайындаймыз.

а) $U(A, B, C) = 1$ болатын нүктелерді анықтаймыз. Бұлар $Q_1(0, 0, 1)$, $Q_2(1, 1, 0)$, $Q_3(1, 1, 1)$ нүктелері.

$G_j (j = 1, 3)$ нүктелері (ср-ра)

$$G_1 = A \wedge B \wedge C$$

$$G_2 = A \wedge B \wedge C$$

$$G_3 = A \wedge B \wedge C$$

(1.4) формуладан U функциясы үшін ДНФ аламыз:

$$U = (A \wedge B \wedge C) \vee (A \wedge B \wedge \bar{C}) \vee (A \wedge \bar{B} \wedge C)$$

б) $V(A, B, C) = 1$ болатын нүктелерді анықтаймыз.

Бұлар: $Q_1(0,1,1)$, $Q_2(1,1,0)$ нүктелері. G_j ($j = 1,2$) функциялары:

$$G_1 = A \wedge B \wedge C$$

$$G_2 = A \wedge \bar{B} \wedge C$$

(1.4) формуладан V функциясының диз.норм. формасын анықтаймыз:

$$V = (A \wedge B \wedge C) \vee (A \wedge \bar{B} \wedge C)$$

2) $U(A, B, C)$ және $V(A, B, C)$ конъюнктивтік нормальды формада жазамыз.

а) $U(A, B, C) = 0$ болатын нүктелерді анықтаймыз. Бұлар $R_1(0,1,0)$, $R_2(0,1,0)$, $R_3(0,1,1)$, $R_4(1,0,1)$, $R_5(1,0,1)$ нүктелері.

H_j ($j = 1,5$) функциясын тұрғызамыз:

$$H_1 = A \wedge B \wedge C$$

$$H_2 = A \wedge B \wedge \bar{C}$$

$$H_3 = A \wedge \bar{B} \wedge C$$

$$H_4 = A \wedge \bar{B} \wedge \bar{C}$$

$$H_5 = A \wedge B \wedge C$$

(1) формуладан функцияның КНФ-ын табамыз:

$$U = (A \vee B \vee C) \wedge (A \vee B \vee \bar{C}) \wedge (A \vee \bar{B} \vee C) \wedge (A \vee \bar{B} \vee \bar{C}) \wedge (A \vee B \vee C)$$

(1.7)

б) $V(A, B, C) = 0$ болатын нүктелер: $R_1(0,0,0)$, $R_2(0,0,1)$, $R_3(0,1,0)$, $R_4(1,0,0)$, $R_5(1,0,1)$, $R_6(1,1,1)$. H_j формуласын тұрғызамыз

$$H_1 = A \wedge B \wedge C$$

$$H_2 = A \wedge B \wedge \bar{C}$$

$$H_3 = A \wedge \bar{B} \wedge C$$

$$H_4 = A \wedge \bar{B} \wedge \bar{C}$$

$$H_5 = A \wedge B \wedge C$$

$$H_6 = A \wedge B \wedge C$$

(1.5) формуладан V функциясы үшін КНФ аламыз:

$$V = (A \vee B \vee C) \wedge (A \vee B \vee \bar{C}) \wedge (A \vee \bar{B} \vee C) \wedge (\bar{A} \vee B \vee C) \wedge (\bar{A} \vee \bar{B} \vee \bar{C})$$

3) (1.6) және (1.7) формулалардың эквивалентті екенін дәлелдеу үшін (1.6) формуланың ақиқаттың мәндерінің кестесін жасаймыз.

$$U = \underbrace{(\bar{A} \wedge \bar{B} \wedge C)}_{(a)} \vee \underbrace{(A \wedge B \wedge \bar{C})}_{(b)} \wedge \underbrace{(A \wedge B \wedge C)}_{(c)}$$

1.11 кесте

A	B	C	\bar{A}	\bar{B}	\bar{C}	(A)	(B)	(C)	U
0	0	0	1	1	1	0	0	0	0
0	0	1	1	1	0	1	0	0	1
0	1	0	1	0	1	0	0	0	0
0	1	1	1	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0
1	0	1	0	1	0	0	1	0	1
1	1	0	0	0	1	0	1	0	1
1	1	1	0	0	0	0	0	1	1

(1.7) формула үшін ақиқаттың кестесін құрамыз:

$$U = \underbrace{(A \vee B \vee C)}_{(a)} \wedge \underbrace{(A \vee \bar{B} \vee C)}_{(b)} \wedge \underbrace{(A \vee \bar{B} \vee \bar{C})}_{(c)} \wedge \underbrace{(\bar{A} \wedge B \vee C)}_{(d)} \wedge \underbrace{(\bar{A} \vee B \vee \bar{C})}_{(e)}$$

1.12 кесте

A	B	C	\bar{A}	\bar{B}	\bar{C}	(a)	(b)	(c)	e	e	U
0	0	0	1	1	1	0	1	1	1	1	0
0	0	1	1	1	0	1	1	1	1	1	1
0	1	0	1	0	1	1	0	1	1	1	0
0	1	1	1	0	0	1	1	0	1	1	0
1	0	0	0	1	1	1	1	1	0	1	0

1	0	1	0	1	0	1	1	1	1	1	0
1	1	0	0	0	1	1	1	1	1	0	0
1	1	1	0	0	0	1	1	1	1	1	1
										1	1

Екі кестенің де соңғы бағандарындағы U функциясының мәні бірдей болғандықтан (1.6) және (1.7) логикалық өрнектері де мәндес болады.

4) (4) және (6) формулалардың эквиваленттілігін дәлелдейік.

$$V = (\bar{A} \wedge B \wedge C) \vee (A \wedge B \wedge \bar{C}) \quad \text{формуласы үшін}$$

ақиқаттық кесте құрайық.

1.13 кесте

A	B	C	\bar{A}	\bar{B}	\bar{C}	(a)	(b)	V
0	0	0	1	1	1	0	0	0
0	0	1	1	1	0	0	0	0
0	1	0	1	0	1	0	0	0
0	1	1	1	0	0	1	0	1
1	0	0	0	1	1	0	0	0
1	0	1	0	1	0	0	0	0
1	1	0	0	0	1	0	1	1
1	1	1	0	0	0	0	0	0

(6) формуланың ақиқаттық кестесін құрайық: $V =$

$$\underbrace{(A \vee B \vee C)}_{(A)} \wedge \underbrace{(A \vee B \vee \bar{C})}_{(B)} \wedge \underbrace{(A \vee \bar{B} \vee C)}_{(C)} \wedge \underbrace{(\bar{A} \vee B \vee C)}_{(D)} \wedge \underbrace{(\bar{A} \vee B \vee \bar{C})}_{(E)} \wedge \underbrace{(\bar{A} \vee \bar{B} \vee \bar{C})}_{(F)}$$

1.14 кесте

A	B	C	\bar{A}	\bar{B}	\bar{C}	(a)	(b)	(c)	(d)	(e)	(f)	V
0	0	0	1	1	1	0	1	1	1	1	1	0
0	0	1	1	1	0	1	0	1	1	1	1	0
0	1	0	1	0	1	1	1	0	1	1	1	0

0	1	1	1	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	0
1	0	1	0	1	0	1	1	1	1	0	1	0
1	1	0	0	0	1	1	1	1	1	1	1	1
1	1	1	0	0	0	1	1	1	1	1	0	0

Екі кестедегі де соңғы бағандағы V функциясының мәндері бірдей болуы (4) және (6) өрнектің мәндес екендігін дәлелдейді.

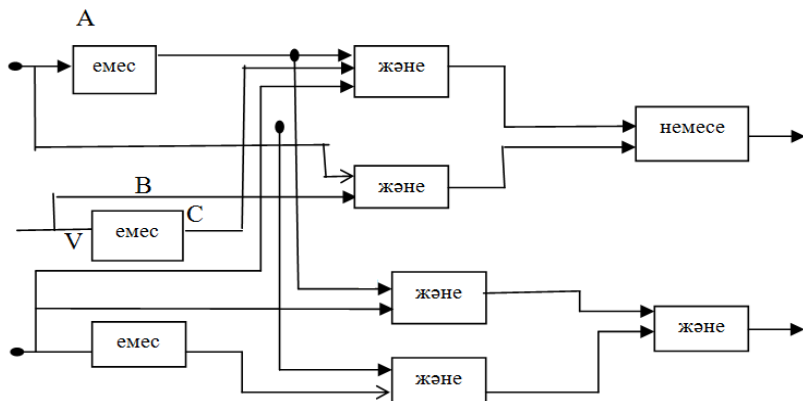
5) (3) және (4) формулаларды түрлендірейік.

$$U = (\bar{A} \wedge B \wedge C) \vee (A \wedge B \wedge C) \vee (A \wedge B \wedge C) = (\bar{A} \wedge \bar{B} \wedge C) \vee (A \wedge B) \wedge (\bar{A} \wedge \bar{B} \wedge C) \vee (A \wedge B) \wedge 1 = (\bar{A} \wedge \bar{B} \wedge C) \vee (A \wedge B) = [(A \wedge B) \wedge C] \vee (A \wedge B).$$

$$V = (\bar{A} \wedge B \wedge C) \vee (A \wedge B \wedge \bar{C}) = B \wedge [(A \wedge C) \vee (A \wedge \bar{C})] = A \wedge (A \approx C).$$

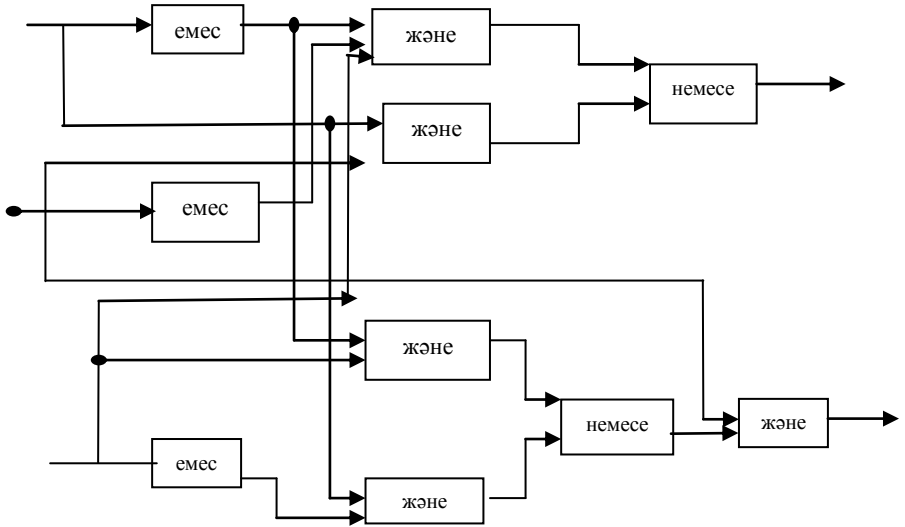
6) U және V формулаларына сәйкес электрондық құрылғының жұмысын сипаттайтын функционалдық схема құрастырайық.

$$V = B \wedge [(A \wedge C) \vee (A \wedge \bar{C})] \quad V = B \wedge [(A \wedge C) \vee (A \wedge \bar{C})]$$



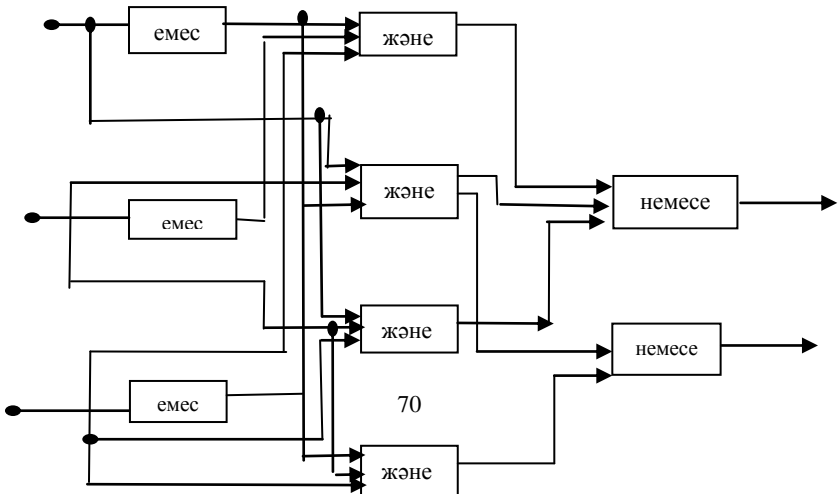
1.15-сурет.

(3) және (4) формулаларға сәйкес функционалдык схема құрастырайык.



1.16-сурет.

және (4) формулаларға сәйкес функционалдык схемаларды тұрғызыңыз



1.17-сурет.

Бірінші функциональдық схемада 10 қарапайым элемент қолданылады, ал екіншіде 9 элемент, яғни екінші функциональдық схема тиімді болады. Сондықтан ДКФ және КНФ немесе олардан құрылған формулалар функционалды схема құруға тиімді бола бермейді.

Мысалы

$$U = (\overline{A} \wedge \overline{B} \wedge \overline{C}) \vee (A \wedge B) \text{ ж/е } V = (\overline{A} \wedge \overline{B} \wedge \overline{C}) \vee (A \wedge B \wedge \overline{C})$$

ДНФ формулаларының функционалды схемаларды құрастыру үшін: 3 инвертор $(\overline{A}, \overline{B}, \overline{C})$, 4 үйлесімділік схемасы: $(\overline{A} \wedge \overline{B} \wedge \overline{C})$, $(A \wedge B)$, $(\overline{A} \wedge B \wedge \overline{C})$, $(A \wedge B \wedge \overline{C})$ және 2 жинақтау схемасы қажет болады. Бұл схеманың тиымдылығы өткен схемамен бірдей.

 Тапсырмалар.

Үш кірмені (A, B, C), екі шықпалы (U, V) электрондық құрылғының жұмысы 1.15 кестесінде көрсетілген. U және V мәндері кірмесіндегі кірме (A, B, C) мәндерінің комбинациялары бойынша 1.16-кестеден анықталады.

1.15 кесте. Кірме кестесі

A, B, C мәндерінің комбинацияларының нөмірі	A	B	C	U	V
1	0	0	0		
2	0	0	0		
3	0	1	1		
4	0	1	1		
5	1	0	0		
6	1	0	0		
7	1	1	1		
8	1	1	1		

Әр вариантта (нұсқада) U және V мәндері мәндер комбинацияларының (U=1 және V=1 болатын) нөмірімен анықталады.

1.16-кесте

Вариант	V	V	Вариант	V	V
1	1,3,4	3,7	11	2,4,8	1,4
2	2,3,6	2,4	12	2,5,7	3,5
3	2,3,8	2,4	13	2,5,8	3,8
4	1,4,6	4,7	14	2,5,6	3,8
5	1,4,8	2,8	15	3,4,6	3,7
6	2,3,5	3,7	16	3,4,8	2,4
7	1,3,7	2,7	17	3,5,7	4,7
8	2,4,5	4,6	18	3,5,8	2,5
9	1,4,7	2,4	19	4,6,8	6,7
10	2,4,6	3,6	20	4,7,8	4,6

Мысалы кестенің 18 вариантындағы электрондық құрылғының жұмысы

Былай сипатталады:

	№	A	B	C	U	V
	1	0	0	0	0	1
V →	2	0	0	1	0	1
U →	3	0	1	0	1	0
	4	0	1	1	0	1
U →	5	1	0	0	1	1
V →	6	1	0	1	0	0
	7	1	1	0	0	0
U →	8	1	1	1	1	0

1) U және V функцияларын ДНФ түрінде келтіру керек.

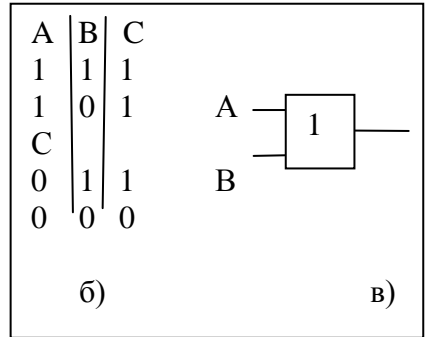
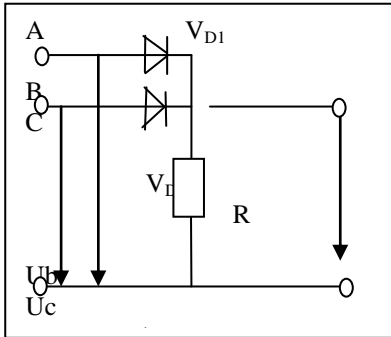
2) U және V функцияларын КНФ түрінде көрсету керек.

3) Ақиқаттық пәндер кестелерінің көмегімен алынған ДНФ және КНФ

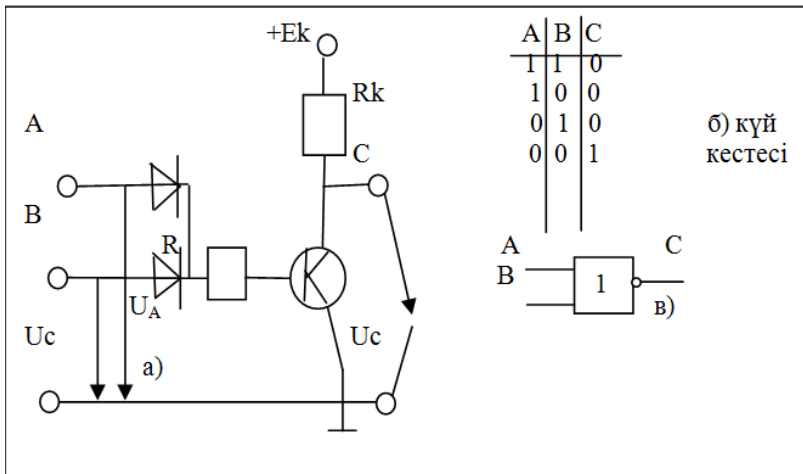
формуласының U үшін мәндестігін дәлелдеу керек.

4) функциясы үшін ДНФ және КНФ формаларының мәндестігін дәлелдеу керек.

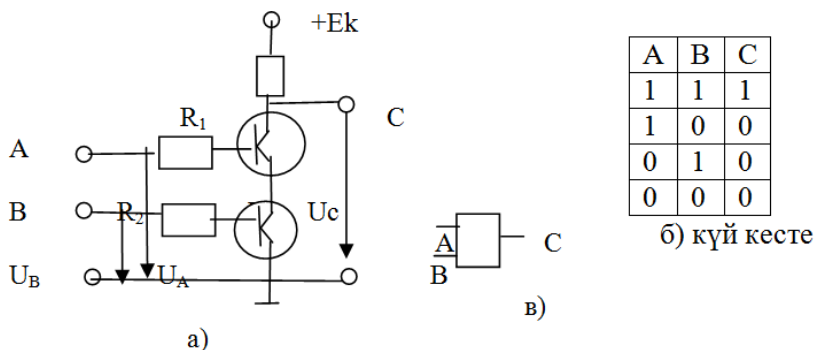
5) 5 баптағы сәйкес формаларын және ДНФ-ты пайдаланып түрлендіріп қорытынды шығару керек.



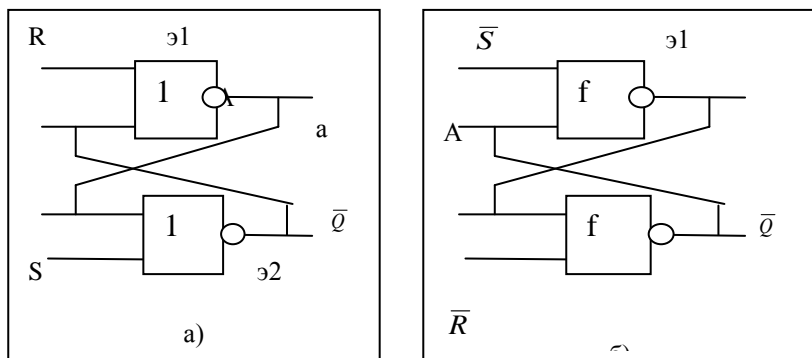
1.18 сурет. «НЕМЕСЕ» элементінің электрлік схемасы (а) мен күй кестесі (б) және шартты белгісі.



1.19 сурет. «Немесе-емес» элементінің электрлік схемасы (а) мен күй кестесінің (б) және шартты белгісі (в).



1.20 сурет. «және емес» элементінің электрлік схемасы. (а) мен күй кестесі (б) және шартты белгісі (в). элементтерінен құрастырылған триггерлердің схемасы.



1.21 сурет. «Немесе-емес» а) һәм «және емес» б)

Бақылау сұрақтары:

- ◇ Алгебра – логикалық формулалардың көмегімен электрондық схема құру жолдары қандай?
- ◇ Толымды жүйелер теоремасын айт.
- ◇ Жинақтауыш схема туралы не білесің?
- ◇ Терістеу схемасын сипатта.

II тарау. ЭЕМ негізгі элементтері және функционалдык түйіндер.

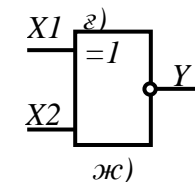
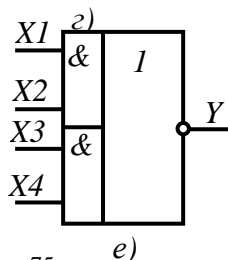
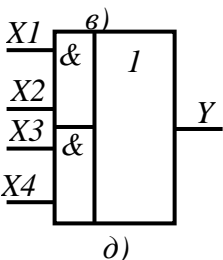
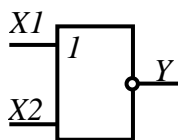
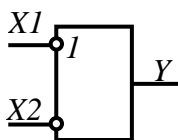
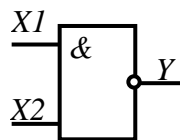
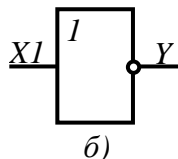
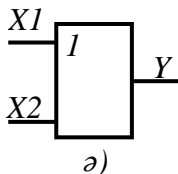
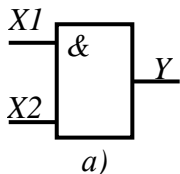
2.1 Есептеу техника жабдықтарының элементтері

Логикалық элемент – логикалық функциялардың бірін іске асыратын электрондық құрылғы болып табылады. Өнеркәсіп шығаратын шағынсұлбалар серияларының ішінде көптеген логикалық элементтер бар. Принциптік сұлбаларда логикалық элемент тік төртбұрышпен бейнеленеді. Төртбұрыштың ішінде логикалық элемент орындайтын функцияның белгісі көрсетіледі. Төртбұрыштың сол жағындағы түзу сызықтар элементтің кірістерін, ал оң жақтағылары – шығыстарын көрсетеді. 2.1-суретте цифрлық құрылғыларда қолданылатын негізі логикалық элементтер кескінделген:

ЖӘНЕ (конъюнктор &) элементі $Y=X1 \cdot X2$; (2.1, а-сурет);

НЕМЕСЕ (дизъюнктор 1) элементі $Y=X1+X2$; (2.1, ә-сурет);

ЕМЕС (инвертар 1) элементі $Y=X$ (2.1, б-сурет);



2.1 – сурет. Логикалық элементтердің графикалық белгілері:
 a – ЖӘНЕ; $ә$ – НЕМЕСЕ; $б$ – ЕМЕС; $в$ – ЖӘНЕ-ЕМЕС; $г$ – ЕМЕС-НЕМЕСЕ; $д$ – НЕМЕСЕ-ЕМЕС; $е$ – ЖӘНЕ-НЕМЕСЕ; $ж$ – ЖӘНЕ-НЕМЕСЕ-ЕМЕС; $жс$ – 2 модулі бойынша қосқыш (сумматор)

Жоғарғыда көрсетілген элементтерден басқа күрделірек логикалық түрлендірулер орындайтын көптеген логикалық элементтер бар. Бұл түрлендірулер қарапайым логикалық операциялардың комбинациялары болып табылады. Мұндай элементтер қатарына мыналар жатады:

НЕМЕСЕ-ЕМЕС элементі $V=X1 \cdot X2$ (2.1, в-сурет), бұл элемент бірлік сигналдар үшін ЕМЕС-НЕМЕСЕ элементіне (2.1, а-суретін қараңыз) сәйкес келеді;

НЕМЕСЕ-ЕМЕС элементі $V=X1+X2$ (2.1, г-сурет);

ЖӘНЕ-НЕМЕСЕ элементі $V=X1 \cdot X2+X3 \cdot X4$ (2.1, д-сурет). Бұл элементтің кірісінде $X1=X2=1$ немесе $X3=X4=1$ болса, онда шығысында $V=1$ болады, ал басқа жағдайлар үшін $V=0$.

ЖӘНЕ-НЕМЕСЕ-ЕМЕС элементі $V=X1 \cdot \bar{X}2+X3 \cdot X4$ (2.1, е-сурет). Бұл элементтің кірісінде $X1=X2=1$ немесе $X3=X4=1$ болған жағдайда оның шығысында $V=0$ болады, барлық қалған жағдайлар үшін $V=1$.

2.1, жс-суретте 2 модулі бойынша қосқыш элементтің (сумматордың) графикалық бейнесі келтірілген ($V=\bar{X}1 \cdot X2+X1 \cdot \bar{X}2$). Бұл элементтің іс-әрекетін 2.1-кестеде көрсетілген.

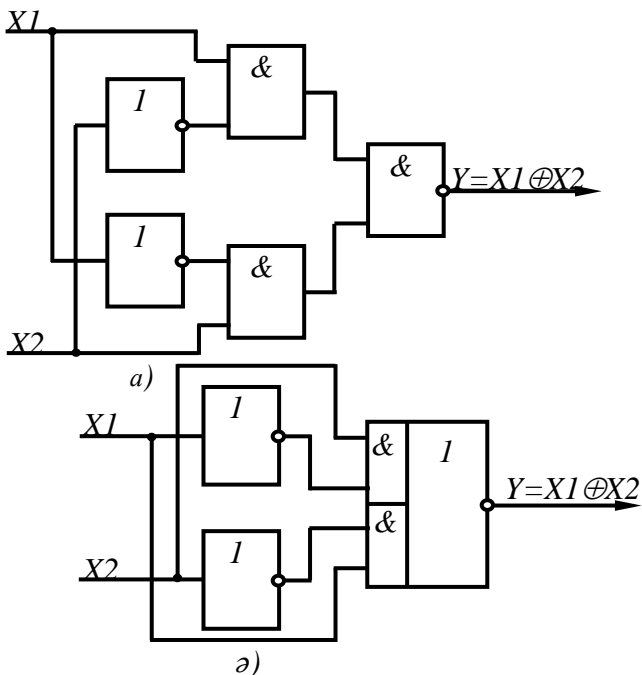
2.1 – кесте.

X1	X2	У
0	0	0
0	1	1
1	0	1
1	1	0

Жәй логикалық элементтердің комбинациялары арқылы цифрлық құрылғылардың жеке функционалдық тораптарын

жасауға болады. Мысалы, 2 модулі бойынша қосқышты 2 ЖӘНЕ 1 НЕМЕСЕ 2 ЕМЕС логикалық элементтерін пайдаланып жасауға болады (2.2 а-сурет). Егер де ЖӘНЕ-НЕМЕСЕ сұлбасы мен екі инверторды пайдаланса, онда 2 модулі бойынша қосқыш үш-ақ элемент арқылы іске асырылады (2.2 ә-сурет).

Әр түрлі логикалық элементтерде кірістерінің саны да әр түрлі болуы мүмкін, ал ол кірістерді пайдалану тәртібі барлығы үшін бірдей. Кірістердің кейбіреулері құрылғы жұмысы үшін пайдаланбауы да мүмкін. Мұндай жағдайларда ЖӘНЕ, ЖӘНЕ-ЕМЕС сұлбаларында пайдаланылмайтын кірістерді сұлбаны қоректендіруші кернеудің оң полюсіне, ал НЕМЕСЕ-НЕМЕСЕ-ЕМЕС, 2 модулі бойынша қосқыштар сұлбаларында ортақ сымға қосылады



2.2-сурет. 2 модулі бойынша қосқыштар сұлбасы:

а – ЖӘНЕ, НЕМЕСЕ, ЕМЕС элементтерінен құрылған; ә – ЖӘНЕ-НЕМЕСЕ, ЕМЕС элементтерінен құрылған

Басқа екі логикалық элементке тоқтала кетейік. Оларды пайдалана отырып, кез-келген, тіпті біршама көп элементтері бар логикалық құрылғылар құрастыруға болады. Біріншісі ЕМЕС-ЖӘНЕ элементі, ол “Шефферштрихы” деп аталатын функцияны орындайды және $Y=X1/X2$ өрнегімен белгіленеді. Бұл функцияның мәні былайша анықталады: $X1$ мен $X2$ аргументтерінің 00, 01, 10, 11 комбинацияларына Y функциясының 1, 1, 1, 0 мәндері сәйкес келеді. Екіншісі – “Пирс стрелкасы” деп аталатын ЕМЕС-ЖӘНЕ элементі, $Y=X1 \downarrow X2$ өрнегімен белгіленеді де былайша анықталады: жоғарыда көрсетілген $X1$ мен $X2$ -нің комбинацияларына Y функциясының 1, 0, 0, 0 мәндері сәйкес келеді.

Бұл элементтердің әрқайсысы толық функционалды болып табылады. Олардың әрқайсысын пайдаланып кез-келген негізгі логикалық элементті алуға, яғни кез-келген күрделі логикалық сұлбаларды құрастыруға болады.

Бақылау сұрақтары:

- ◇ Есептеу техникасы жабдықтарының құрылымдық схемасы қандай?
- ◇ Есептеу техникасы жабдықтарының элементтері белгіленулері бойынша қалай жіктеледі?
- ◇ Логикалық элементтердің қызметі?
- ◇ Жады элементтерінің қызметі?
- ◇ Көмекші элементтердің қызметі?
- ◇ Арнайы элементтердің қызметі?
- ◇ Элементтер жүйесіне қойылатын талаптар.

2.2.Функционалдык түйіндер

- ↪ Комбинациялы типті функционалды түйіндер
- ↪ Тізбектелген функционалды түйіндер.
- ↪ Тіркегіштер (регистрлер).
- ↪ Тізбектелген (жылжитқыш), параллель, параллельді-тізбектелген және реверсивті тіркегіштер.
- ↪ Комбинациялық типтес сандық түйіндер.
- ↪ Цифрлық компараторы, АЛҚ қосындылағыштары

- ↳ Шифратор, дешифратор, мультиплексор және демультимплексорлар, сандық компараторлар, қосындылағыштар.
- ↳ Сандық санағыштар.
- ↳ Екілік кодталған санағыштар.
- ↳ Байланыс арналарын басқаруға арналған сигнал таратқыштар.

Цифрлық логикалық құрылғылардың функционалды түйіндері комбинациялық және тізбектелген болып бөлінеді. Комбинациялық функционалды түйіндер деп шығыс сигналдары кез келген уақыттың дискретті бөлігінде дәл сол уақыттағы кірісіндегі логикалық сигналмен анықталатын логикалық құрылғылар.

Тізбектелген функционалды түйіндер құрамында жады элементтері болады. Сондықтан олар жадысы бар автомат немесе цифрлық автоматтар (ЦА) деп аталады. Тізбектелген құрылғылардың шығыс сигналдары цифрлық автоматтың кірісіндегі сигналмен ғана анықталмайды, сонымен қатар ол жады элементінің бастапқы күйіне де тәуелді.

Комбинациялық құрылғылардың ішінде практикада типтік функционалды құрылғылар кеңінен қолданылады: шифраторлар, дешифраторлар, мультиплексорлар, демультимплексорлар, компараторлар, кода түрлендіргіштері, бақылау сұлбалары, қосындылағыштар және т.б.

Шифратор дегеніміз «N-түрі ішінен бір» кодты екілікке түрлендіретін комбинациялы типті функционалды түйін. Шифратордың кірісіне тізбекті түрде ондық сандар меншіктеледі. Шифратордың кірістерінің біреуіне активті логикалық сигнал бергенде, оның шығысында тері және n шығыстары бар шифратор толық шифратор деп аталады.

Егер шифратор кірісі 2^n көрсеткішінен аз болса, онда мұндай шифратор толық емес деп аталады. 0-ден 9 аралығындағы ондық сандарды (ондық разрядты бірлік кодаларды) екілік-ондық кодқа түрлендіруге арналған шифраторды жасау мысалын қарастырайық. Мұндай

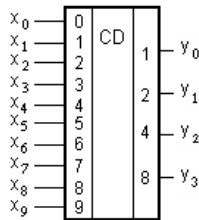
шифратордың жұмысы келесі логикалық теңдеулермен сипатталады:

$$\begin{aligned} Y_0 &= X_1 + X_3 + X_5 + X_7 + X_9, & Y_1 &= X_2 + X_3 + X_6 + X_7, \\ Y_2 &= X_4 + X_5 + X_6 + X_7, & Y_3 &= X_8 + X_9, \end{aligned} \quad (2.1)$$

бұл теңдеулер ақиқаттық кесте негізінде жасалынады.

Шифратордың шартты графикалық белгіленуі 2.3 суретте көрсетілген. Суреттен көрсетілгендей қарастырылған типті шифраторда x_0 кірісіне берілген сигнал ескерілмейді.

Шифраторды кейде «кодер» деп (ағылшынның *coder* деген сөзінен шыққан) атайды және мысалға батырмалы басқару пультінің пернетақтасынан терілген ондық сандарды екілік кодқа түрлендіреді.



2.3-сурет. Шифратордың шартты графикалық белгіленуі

Және бұл жағдайда оның шығысында қосылған кірістердің ең үлкенінің номеріне сәйкес екілік кодтағы сан бейнеленеді. Приоритетті шифраторлар одан да күрделі операцияларды орындауға арналған, мысалы, келген сұраныстарға бірінші кезекте қызмет көрсету құқығын таңдап беру.

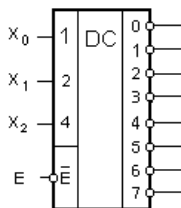
Дешифратор немесе декодер дегеніміз кірістегі n -разрядты екілік кодты шығысында ондық санға түрлендіретін комбинациялы типті функционалды түйін. Дешифратордың әрбір шығыс функциясы кіріс сигналдарының мүмкін болатын m комбинацияларының біріне сәйкес келеді. Басқаша айтқанда, кіріс сигналының әрбір нақты комбинациясы үшін оған сәйкес

шығыс функциясы мысалы логикалық 1-ге сәйкес келетін белгілі бір мәнді қабылдайды, ал қалғандары логикалық 0 мәнін қабылдайды. Егер n дешифратор кірісі m санды шығыспен $m=2^n$ қатынасымен байланысқан болса, онда дешифратор толық дешифратор деп аталады. Мысалы, толық емес дешифратор деп 4 кірісі және 10 шығысы бар дешифраторды айтамыз, ол екілік коданы екілік-ондық кодаға түрлендіру үшін қолданылады. Дешифратор жұмысы шифратордың ақиқат кестесі сияқты кестемен баяндалады, мұнда тек кіріс және шығыс сигналдары орындары ауысқан.

Сұлбатехникалық түрде дешифраторлар ЖӘНЕ және ЖӘНЕ-ЕМЕС логикалық элементтерінен жасалынады. Соңғы жағдай үшін дешифратор терістеуші шығысы бар дешифратор деп аталады. Сызықты деп аталатын ең қарапайым дешифратор сұлбасында әрбір шығыс функциясын іске асыру үшін жеке n -кірісті ЖӘНЕ және ЖӘНЕ-ЕМЕС логикалық элементтері қолданылады. ЖӘНЕ (немесе ЖӘНЕ-ЕМЕС) логикалық элементтерінің кірістеріне кіріс сигналының мәніне сәйкес комбинация беріледі. ЖӘНЕ-ЕМЕС логикалық элементтерінен тұратын дешифратордың шартты графикалық белгіленуі 2.2-суретте көрсетілген. Әрбір ЖӘНЕ-ЕМЕС логикалық элементтерінің шығысында m шығыс функциясының біреуінің инверсиясы орындалады.

Және бұл жағдайда оның шығысында қозған кірістердің ең үлкенінің номеріне сәйкес екілік кодтағы сан бейнеленеді. Приоритетті шифраторлар одан да күрделі операцияларды орындауға арналған, мысалы, келген сұраныстарға бірінші кезекті қызмет көрсету құқығын таңдап беру.

Кеңінен қолданысқа ие болған дешифратордың сызықты сұлбасының логикалық элементтер саны минималды және каскадты (пирамидалы және тікбұрышты) дешифраторларға қарағанда жылдамдығы жоғары.



2.4.-сурет. Дешифратордың шартты графикалық белгіленуі.

Сызықты дешифратор жылдамдығы бір ғана логикалық элементтің қайта қосылу уақытымен анықталады. Алайда, n кіріс кодасының разрядтылығын өсіргенде 2.4.-суретте көрсетілген каскадты дешифраторлардың артықшылығы жоғарлайды.

Дешифратор құрылымын қарапайымдату көп жағдайда оның жылдамдығының төмендеуіне әкеліп соғады. Дешифратор түрлі комбинациялық сұлбаларды жасауда қолданылады, мысалы, мультиплексорлар, демультимплексорлар, кода түрлендіргіштері және т.б. жады құрылғыларында дешифратор көмегімен ақпарат жазылатын немесе оқылатын ұяшықтар таңдалынады. Енгізу/шығару жүйелерінде дешифраторлар деректерді тасымалдайтын немесе қабылдайтын көптеген порттардың бірін таңдау үшін қолданылады.

« 2^n түрден 1» типті дешифратормен қатар, кодалар мен сандарды қандай да бір қажетті формаға түрленіретін арнайы дешифраторларда қолданылады. Мысалы, арнайы дешифратор көмегімен 8421 BCD кодасын жеті сегментті кодаға түрлендіруді орындауға болады. Мұндай дешифратор-түрлендіргіш нәтижесінде 8421 BCD (төртбитті екілік-ондық кода) кодасында берілген ондық санның бейнеленуін алуға болатындай етіп жарық индикаторының нақты бір жиындағы сегменттерін таңдауға мүмкіндік береді.

Мультиплексор деп бірнеше кіріс араларынан бір шығысқа келіп түсетін ақпаратты тасымалдауды басқаруға арналған комбинациялық құрылғы. Мультиплексорда ақпараттық кіріспен қатар, адрестік (басқарушы) және мультиплексор жұмысына рұқсат беруші стробтаушы кірістері

болады. Адрестік кірістердегі сигналдар дәл қазіргі кезде қандай кіріс шығысқа жалғанғанын білдіреді. Әдетте m – ақпараттық кіріс саны мен n – адрестік кірістері арасында $m=2^n$ қатынасы орнатылған.

Құрамында 1 стробтаушы, 2 адрестік және 4 ақпараттық кірісі бар мультиплексор жұмысы келесі логикалық теңдеумен баяндалады:

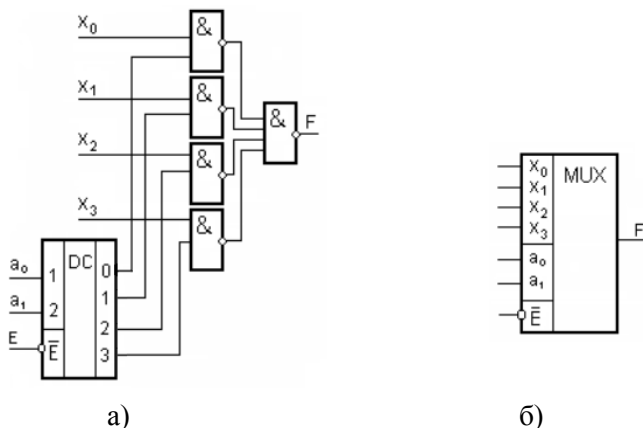
$$F = x_0 \cdot \overline{a_1} \cdot \overline{a_0} \cdot \overline{E} + x_1 \cdot \overline{a_1} \cdot a_0 \cdot \overline{E} + x_2 \cdot a_1 \cdot \overline{a_0} \cdot \overline{E} + x_3 \cdot a_1 \cdot a_0 \cdot \overline{E}, \quad (2.2)$$

мұнда E - стробтау кірісіндегі сигнал, оның активті деңгейі мультиплексор жұмысына рұқсат береді.

Егер жұмыс істеуге рұқсат беруші E стробтаушы кіріске логикалық 1 сигналы ($E=1$) берілсе, онда x_i ақпараттық және a_j адрестік сигналдардың мәніне ($i = 0, 1, 2, 3$ және $j = 0, 1$) қарамастан мультиплексордың шығыс сигналы нөлге тең болады. (2) логикалық теңдеуге сәйкес келетін мультиплексордың сұлбасы және оның шартты графикалық белгіленуі 2.3-суретте көрсетілген.

2.5-суреттегі сұлбада екі кірісті ЖӘНЕ-ЕМЕС логикалық элементтері кірісіне адрестік сигналдар берілетін дешифратордың шығыс сигналдарымен басқарылады. Сонымен, дешифратор көмегімен төрт екі кірісті ЖӘНЕ-ЕМЕС логикалық элементтердің біреуі таңдалынады. Мультиплексор жылдамдығы дешифратордағы ЖӘНЕ-ЕМЕС логикалық элементтеріндегі сигналдарды үлестірудің кідіріс қосындысымен анықталады.

Мультиплексорлар MUX (ағылшынның multiplexor деген сөзінен шыққан) немесе MS (multiplexor selector) белгілерімен белгіленеді.



2.5-сурет. Мультиплексор сұлбасы (а) және шартты графикалық белгіленуі (б)

Жұмысқа рұқсат беруші Е кірісі мультиплексордың функционалды мүмкіндіктерін кеңейту үшін де қолданылады, мысалы, мультиплексордың ақпараттық кірістерінің санын көбейту (кіріс сөзінің разрядтылығын өсіру) үшін және оның жұмысын басқа құрылғылар жұмысымен синхрондау үшін керек.

Мультиплексор универсалды құрылғы болып табылады, оның негізінде түрлі комбинациялық және тізбекті сұлбалар жасалынады. Мультиплексорлар параллельді коданы тізбекті кодаға түрлендіруге арналған сигналдардың коммутатор-селекторы ретінде жиі қолданылады. Сонымен қатар, мультиплексор екілік сандарды разрядтар бойынша жылжуын қамтамасыз ететін комбинациялық жылжыту құрылғысы ретінде де қолданылады.

Демультимплексор деректерді адрестік кірістердегі сигналдарға байланысты бір ақпараттық кірістен бірнеше шығыстардың біреуіне тасымалдауды басқаруға арналаған комбинациялы логикалық құрылғы. Сонымен, демультимплексор мультиплексор жұмысына қарама қарсы функцияны орындайды және жалпы жағдайда бір ақпараттық кірісі, n адрестік кірісі және m ақпараттық шығыстары болады. Әдетте,

демультиплексорда да мультиплексордағыдай $m=2^n$ қатынасы орнатылған. Мұндай жағдайда демультиплексор толық деп аталады, ал $m < 2^n$ жағдайында толық емес демультиплексор деп аталады.

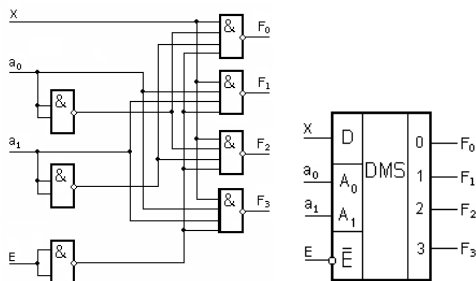
2 адрестік кірісі, 1 ақпараттық кірісі, стробтау кірісі және 4 ақпараттық шығысы бар демультиплексор жұмысы келесі логикалық теңдеулермен баяндалады:

$$F_0 = \overline{x \cdot \overline{a_1} \cdot \overline{a_0} \cdot \overline{E}}; \quad F_2 = \overline{x \cdot a_1 \cdot \overline{a_0} \cdot \overline{E}};$$

$$F_1 = \overline{x \cdot \overline{a_1} \cdot a_0 \cdot \overline{E}}; \quad F_3 = \overline{x \cdot a_1 \cdot a_0 \cdot \overline{E}}.$$

(2.3)

(2.3) теңдеуге сәйкес ЖӘНЕ-ЕМЕС логикалық элементтерінен жасалған демультиплексор сұлбасы мен шартты графикалық белгіленуі 4.4-суретте көрсетілген. Демультиплексор DMS немесе DMX әріптері арқылы белгіленеді. 2.6-суретте көрсетілген демультиплексор сұлбасында ЖӘНЕ-ЕМЕС логикалық элементтерін басқару үшін 2 кірісі бар дешифратор қолдануға болады. Демультиплексор шығыстары санын өсіру үшін мультиплексор кірістері санын өсірудегі әдіс қолданылады. Демультиплексорлар тізбекті коданы параллельді кодаға түрлендіру үшін кеңінен қолданылады. Демультиплексордың ақпараттық кірісіне стробтаушы сигнал берсе, ол дешифратор режимінде жұмыс істей алады.



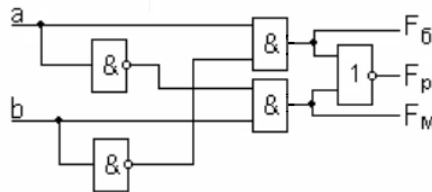
а) б) 2.6-сурет. Демультиплексор сұлбасы (а) және оның шартты графикалық белгіленуі (б)

Цифрлық компараторлар екілік кодада берілген екі санды салыстыру операциясын орындайды. Компаратор кірістерінің саны салыстырылатын екі a және b сандары кодасының разрядтылығымен анықталады. Цифрлық компаратордың үш шығысы бар, оларды келесідей сигналдар қалыптасады: F_T – егер a және b екілік сандары өзара тең болса ($a = b$); F_Y – егер a санының кодасы b кодасынан үлкен болса ($a > b$); F_K – егер $a < b$ болса.

Бірразрядты a және b сандары кодасын салыстыру кезіндегі компаратор жұмысын келесі логикалық тендеулер көмегімен баяндауға болады:

$$\begin{aligned}
 F_p &= \bar{a}\bar{b} + ab = \overline{a\bar{b} + a\bar{b}} = \overline{a \oplus b}; \\
 F_{\bar{c}} &= a\bar{b}; \quad F_m = \bar{a}b.
 \end{aligned}
 \tag{2.4}$$

(2.4) логикалық тендеу негізінде жасалған бірразрядты компаратор сұлбасы 2.7-суретте көрсетілген.



2.7-сурет. Бір разрядты компаратордың сұлбасы.

Бір разрядты компаратор сұлбасынан $a = b$ болса, онда $F_T = 1$ болатыны көреміз, қарсы жағдайда, яғни $a \neq b$ кезінде $F_T = 0$. Егер $a > b$, яғни $a = 1, b = 0$, онда $F_Y = 1$, ал егер $a < b$ болса, яғни $a = 0, b = 1$, онда $F_K = 1$.

Сонымен, кіріс сигналдарының кез келген комбинациясы кезінде бірлік логикалық шығыс сигналы компаратордың тек бір ғана шығысында қалыптасуы мүмкін. Сондықтан, кіріс кодальардың кез-келген разрядтылығы үшін кіріс сигналдарын

қолданып ғана кез-келген тек ғана еку шығыс сигналын қалыптастыруға болады. Үшінші сигнал екі белгілі болған сигнал бойынша алына алады. Жоғарыда келтірілгеннің негізінде (2.4) логикалық теңдеуді келесі түрге келтіруге болады:

$$\begin{aligned} F_p &= \overline{a b} \cdot \overline{a b} = \overline{F_M} \cdot \overline{F_G} = \overline{F_M + F_G}; \\ F_G &= \overline{F_p} \cdot \overline{F_M} = \overline{F_p + F_M}; \\ F_M &= \overline{F_p} \cdot \overline{F_G} = \overline{F_p + F_G}. \end{aligned} \quad (5.2)$$

Көп разрядты екілік кодаларды салыстыратын компараторды жасаған кезде әдетте блокты конструкциялау әдісі немесе есепті декомпозициялау тәсілі қолданылады.

Қосындылағыш екілік кода түрінде бейнеленген сандарына қосу және азайту сияқты арифметикалық операцияларды қолдануға арналған түйін, ол арифметикалық логикалық құрылғының негізгі түйіндерінің бірі болып табылады. Бұл жағдайда азайту операциясы кері және қосымша кодаларды қолданып қосу операциясы арқылы орындалады. Қосындылағыштарды жасаудың көптеген варианттары бар. еосындылағыштар бір разрядты және көп разрядты болып бөлінеді. Көп разрядты қосындылағыштар тізбектелген және параллельді болып бөлінеді. Тізбектелген қосындылағыштарда қосу операциясы тізбекті түрде кіші разрядтан бастап разрядтар бойынша орындалады. Параллельді қосындылағыштарда қосылғыштың кіріс кодасының барлық разрядтары бір уақытта қосылады, ал тасымал сигналы әр түрлі әдістермен қалыптасады. Осыған байланысты параллельді қосындылағыштар: тізбекті, параллельді, топталған, тізбектелген, және топ аралық параллельді тасымалдайтын параллельді қосындылағыштар болып бөлінеді.

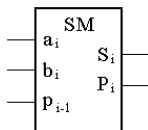
Бір разрядты қосындылағыштар, оның шартты графикалық белгіленуі 2.8-суретте көрсетілген. Үш кірісі (екі

қосындылағышқа және алдыңғы разрядтан келген тасымалға арналған кірістер) және S қосынды және келесі разрядқа түсетін P тасымал қалыптасатын екі шығысы бар. Бір разрядты қосындылағыштың S_i қосынды функциясының және P_i тасымалының ақиқат кестесіне сәйкес логикалық теңдеуі келесідей болады

$$\left. \begin{aligned} S_i &= \bar{a}_i \bar{b}_i p_{i-1} \vee \bar{a}_i b_i \bar{p}_{i-1} \vee a_i \bar{b}_i \bar{p}_{i-1} \vee a_i b_i p_{i-1}, \\ P_i &= \bar{a}_i b_i p_{i-1} \vee a_i \bar{b}_i p_{i-1} \vee a_i b_i \bar{p}_{i-1} \vee a_i b_i p_{i-1} \end{aligned} \right\} \quad (2.5)$$

Буль алгебрасының минимизациялау аппаратын қолданып, P_i функциясының өрнегін төмендегідей анықтауға болады:

$$P_i = a_i b_i \vee a_i p_{i-1} \vee b_i p_{i-1}. \quad (2.6)$$



2.8-сурет. Бір разрядты қосындылағыштың шартты графикалық белгіленуі.

Бір разрядты қосындылағыш теңдеуін сұлбатехникалық түрде іске асуы кез келген типті логикалық элементтен жасалынуы мүмкін. ЖӘНЕ-ЕМЕС логикалық элементінен жасаған кезде (2.5) теңдеу бойынша екі реттік терістеу жүргізіледі және Де-Морган теоремасы бойынша дизъюнкция инверсиясы инверсия конъюнкциясына түрленеді.

(2.5) теңдеу бойынша комбинациялық типті сұлбаларға жататын бір разрядты қосындылағыш сұлбасы салынуы мүмкін. Мұндай сұлбалардың шығысында сигнал кірісінде сигнал бар болып тұрған кезге дейін тұрады.

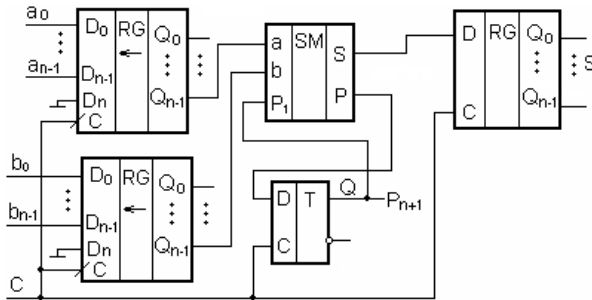
Қосындылағыш сұлбаларын синтездеудегі негізгі мәселе – аппаратты күрделілікті қысқарту және тасымалдың таралуының кідіру уақытын азайту. Бір қатар сұлбалар әр түрлі логикалық функцияларда әр түрлі артықшылықтармен ерекшеленеді. Бір разрядты қосындылағышты екі көп разрядты кодаларды қосу операциясын орындау үшін қолданады. Тізбекті қосындылағыш деп аталатын мұндай қосылғыштарда операндтар кіші разрядтан бастап бір бірден кезекпен өңделінеді. Әр бір i -ші разрядты қосып біткен соң (a_i, b_i, p_{i-1}) бір разрядты қосындылағыш шығысында S_i қосынды сигналы және $i+1$ келесі кезекті разрядқа P_i тасымал ($i = 0, 1, 2, \dots, n-1$) сигналы қалыптасады. Тізбекті қосындылағыш сұлбасы қарапайым құрылымды болып келеді. Алайда, мұндай жолмен алынған аппараттық жабдықтардың қарапайымдылығы қосындылағыш жылдамдығын төмендетуге әкеліп соғады.

Тізбектеп тасымалдайтын параллельді қосындылағыш бір бірімен тасымал тізбектері арқылы тізбектеліп біріккен бір разрядты қосындылағыштар тізбегінен тұрады. Параллельді қосындылағыштарда қосу операциясы бір уақытта қосылғыштар кодаларының барлық разрядтарда жүреді. Бір разрядты қосындылағыштардың әрбір i -ші разрядының кірісіне қосылғыштардың кезекті разрядтарының a_i және b_i кодалары және де i -ші разрядтан келген тасымал келіп түседі. Ең кіші разряд қосындылағышы кірісіне нөлге тең $P_{\text{шығ}}$ тасымал сигналы беріледі. SM_0 нөлінші қосындылағыш шығысының P_0 тасымал сигналы SM_1 бірінші разряд қосындылағышы кірісіне беріледі т.с.с.

Тасымалдардың таралуы S_i бір разрядты қосындылағыштар шығысына дұрыс сигналдар орнатумен жалғасады. Тасымалдардың таралу және S_i сигналдарын қалыптастыру уақыты ішінде қосындылағыштардың шығысында үнемі сәйкес a_i және b_i қосылғыш кодалары болуы керек. Сонымен, тасымал разрядтан разрядқа (нөлдіктен бастап) барлық n разрядтар арқылы тізбекті түрде таралады, сондықтан қосылғыштар кодаларының разрядтарын бір уақытта берген уақыттан бастап t_{Sn} қосындылау (S_{n-1}, \dots, S_0 қосынды кодасын

калыптастыру) уақыты – қосындылағыштар разрядтылығына пропорционалды және $t_{sn} \cong n * t_{p. \text{кідірісі}}$ қатынасымен анықталады.

2.9 суретте келтірілген тізбекті қосындылағыштың сұлбасының құрамында үш жылжитқыш регистр, бір D-триггер және бір бірразрядты қосындылағыш бар. Регистрлер мен триггердің жұмысы С импульстерімен синхрондалады.



2.9-сурет. Тізбекті қосындылағыштың сұлбасы

Параллельді түрде тасымалдайтын параллельді қосындылағыштар максималды жылдамдыққа ие. Оларда разрядтар арасында тасымалды тізбекті түрде тасымалдау процесі болмайды және барлық разрядтардағы нәтижелер бәрінде бір уақытта параллельді түрде қалыптасады.

Қосылғыштар кодасының разрядтылығы үлкен болатын жағдайдағы қосу операциясын параллельді түрде тасымалдайтын параллельді қосындылағышта орындағанда қосу операциясының жылдамдығы айтарлықтай өсетіні белгілі. Алайда, мұндай қосындылағыштарды іске асыру үшін үлкен жүктемелік қасиеті бар және кіріс сандары жоғары көптеген логикалық элементтерді қолдану керек. Сондықтан қосылғыш разрядтарының саны жеткілікті түрде үлкен ($n > 8$) болғанда, топтық құрылымы бар қосындылағыштар қолданылады.

Топтық құрылымы бар қосындылағыштарда бір разрядты қосылғыштар әр қайсысы m разрядтан тұратын L -топтарға біріктіріледі, яғни $n = L * m$. Бұл жағдайда топ ішінде әдетте

паралельді тасымал ұйымдастырылған, ал топтар арасында тасымал сигналы түрлі әдістермен әске асырылуы мүмкін. Осыған байланысты қосындылағыштар тізбекті (тізбектелген) және параллельді-параллельді тасымалдары бар қосындылағыштар болып бөлінеді, олар кенінен қолданылады.

Бақылау сұрақтары:

- ◇ Екілік және артықшылықты шифраторлардың жұмыс ұстанымын түсіндіріңіз
- ◇ Үш кіріс айнымалысы бар толық дешифратор жұмысын түсіндіретін ақиқат кестесін толтырыңыз және оның жұмысының ұстанымын түсіндіріңіз.
- ◇ Мультиплекторлы (демультиплекторлы) тармақ сұлбасын келтіріңіз, осындай сұлба не үшін қолданылады?
- ◇ 1 строб, 2 мекендік және 4 ақпараттық кірістері болатын мультиплектордың жұмысын сипаттайтын логикалық теңдеуді келтіріңіз.
- ◇ Мультиплектор және демультиплектор не үшін арналған?
- ◇ Бір битті компаратор сұлбасын салып, оның жұмысын түсіндіріңіз.
- ◇ Сандық компаратор не үшін арналған?
- ◇ Тізбекті типті сандық компаратордың сұлбасын құру және оның жұмыс жасау ұстанымын түсіндіру.
- ◇ Бір разрядты қосындылағыштың ақиқат кестелері мен сұлбаларын құру және олардың жұмыс жасау ұстанымын түсіндіру.
- ◇ Тізбекті тасымалы бар 4-разрядты қосындылағыштың сұлбаласын құру және оның жұмыс жасау ұстанымын түсіндіру.
- ◇ Параллельді (көпразрядты) қосындылағыштарда тасымал сигналын қалыптастырудың қандай әдістері қолданылады?

2.3. Жартылай өткізгішті есте сақтау құрылғысы

- ↳ Тізбекті типті функционалды түйіндер. Цифрлы санағыштар
- ↳ Есте сақтау құрылғыларының жіктелуі, қолданылу өрісі, негізгі параметрлері.
- ↳ Статикалық есте сақтау құрылғысы (SRAM).
- ↳ Статикалық есте сақтау құрылғысының сақтау элементтері.
- ↳ Жадыдағы сөз көлемін және разрядтылығын кеңейту.

Цифрлы санағыштар кіріс импульстерді санауға және олардың сандарын қандай да бір екілік кодада (тура, қосымша және т.б.) тіркеуге арналған. Санағыштар орындайтын негізгі операциялар:

- инкремент – санағыштың кодалық сөзін 1-ге өсіру;
- декремент - санағыштың кодалық сөзін 1-ге кеміту.

Ақпаратты цифрлық түрде өңдейтін жүйелерде санағыштар келесі мақсаттарда да қолданылуы мүмкін:

- кодалық сөзді сақтау және оны параллельді формада шығару;

- импульстік кода санын екілік кодаға түрлендіру;
- жиілікті бөлу;
- басқару құрылғыларында адрес қалыптастыру және т.б..

Санағыштың негізгі параметрлері – K_c санау модулі (немесе санау коэффициенті) және жылдамдығы. Санау модулі санағыштың тұрақты күйлерінің санымен сипатталады және санағыш санай алатын импульстердің максималды санымен анықталады. Санағыштың санау кірісіне K_c импульстері келіп түскен соң, санағыш бастапқы күйге орнатылады.

Санағыш жылдамдығы $t_{орн}$ санағыш кодасын орнату уақытымен және f_c санау импульстерінің келіп түсу жиілігімен сипатталады. f_c жиілігі $f_c \leq 1/(t_u + t_{орн})$, $t_u \geq t_T$ шарты негізінде таңдалады, мұнда t_u - кіріс импульсінің ұзақтығы; t_T -

триггердің ауысуы себебінен болатын кідіріс. Ішкі кідірісі бар триггерлерден жасалынған санағыштар үшін $t_{орн}$ орнату уақыты кіріс импульсінің әсері біткен кезден бастап санағышта жаңа кода орнатылғанға дейінгі аралықтағы максималды уақыт интервалымен, яғни санағыштың барлық разрядтарында өтпелі процесстер орнатылған уақытпен анықталады. Ішкі кідірісі бар триггерлерден жасалынған санағыштарда разрядтардың қайта қосылуы кіріс импульсі аяқталған соң орындалады.

Санағыштар түрлі белгілер бойынша жіктелінеді, солардың ішінде негізгі белгілері:

- кодалау әдісі;
- санау бағыты;
- разрядаралық байланыстарды ұйымдастыру әдістері

және т.б.

Санағышта қалыптасатын сөздерді кодалау әдісіне байланысты санағыштар позициялы (салмақталынған) және позицияланбаған (салмақталынбаған) түрде кодалайтын болып бөлінеді. Позициялы түрде кодалайтын санағыштарда оның санау кірісіне келіп түсетін K_{Λ} импульстер саны келесідей анықталады

$$K_{\Lambda} = \sum_{i=0}^{N-1} c_i * b_i, \quad (2.7)$$

мұнда N - санағыш разрядтарының саны; c_i - i -ші разрядтық триггердің логикалық күйі; b_i - санағыштың i -ші разрядының салмағы. Мысалы, позициялы түрде кодалайтын 4 разрядты (8421 кодасында жұмыс істейтін) санағыш үшін b_i разрядтарының салмағы келесі мәндерге тең болады: $b_0=1$ (кіші разряд салмағы); $b_1=2$; $b_2=4$ және $b_3=8$.

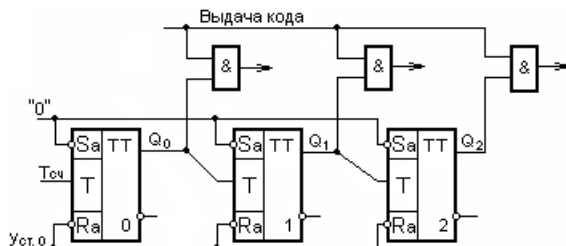
Екілік емес түрде кодалайтын санағыштардағы разрядтардың бектілген салмағы болмайды, және де санағыш кірісіне келіп түскен K_{Λ} импульстер саны мен оның күйлері арасындағы байланысты анықтау (2.7) өрнекке қарағанда

күрделі болады. Әдетте, мұндай байланыс сәйкес келу кестесі көмегімен орнатылады екілік емес түрде кодалайтын санағыштарға Джонсон типті санағыштар, Грей кодасындағы санағыштар, $1/N$, $2/N$ түріндегі жылжытқыш регистрлерден тұратын санағыштар және т.б. жатады.

Цифрлық құрылғыларда позициялы түрде кодалайтын санағыштар кеңінен қолданылады, олар санау модулі бойынша елесідей бөлінеді:

- екілік (мұндай санағыштардың санау модулі екінің бүтін дәрежесін тең, яғни $K_C = 2^N$);
- еркін санау модулі бар екілік-кодаланған санағыштар ($2^{N-1} < K_C < 2^N$).

2.10-ші суретте M-S сұлбасы бойынша T-типті санау триггерлерінде құрастырылған тізбекті тасымалы болатын қосындылайтын санағыш келтірілген.



2.10-сурет. Тізбекті тасымалы болатын санағыштың сұлбасы

Санау бағытына байланысты санағыштар қосқыш, азайтқыш және реверсивті болып бөлінді. Қосқыш санағыш тура санауды (инкремент операциясын) орындайды, яғни оның кірісіне кезекті импульс келісімен мәні 1-ге өседі. Азайтқыш санағыш кері бағытта санайды, яғни декремент операциясын орындайды. Реверсивті санағыш басқарушы сигналдарға байланысты тура бағытта да, кері бағытта да санау жүргізе алады.

Разрядтар арасында байланыс (немесе тасымал) ұйымдастыру әдісі бойынша санағыштар:

- тізбекті түрде тасымалдайтын;
- параллельді түрде тасымалдайтын;
- комбинациялы түрде тасымалдайтын санағыштар болып бөлінеді.

Екілік санағыштар сұлбатехникалық түрде MS сұлбасы немесе үш триггерлі (динамикалық түрде басқарылатын) ішкі кідірісі бар T-, TV-, D-, DV-, RS- және JK-типті синхронды триггерлер негізінде іске асырылады. Тізбекті түрде тасымалдайтын екілік санағыш құрылымы ең қарапайым болып саналады, оны синхронды санағыш деп те атайды. Мұндай санағыштарда санау импульсі 0-ші кіші разряд триггерінің кірісіне ғана беріледі де, әрбір келесі і-ші триггер кірісіне алдыңғы і-1-ші триггерден (разрядтан) алынған P_i тасымал сигналы келіп түседі. Нәтижесінде санағыш күйі өзгерген кезде разрядтық триггерлер ауысуы уақыт бойынша тізбектеліп орындалады.

Санау модулі $K_C = 2^N$ санағыштарды жасау кезінде бір бірімен тасымал тізбектерімен тізбектеле біріккен N триггерлер қолданылады.

Егер қосқыш санағыштың әрбір і-ші триггердің тактілік кірісін і-1-ші триггердің \overline{Q}_{i-1} теріс (инверсті) кірісіне берсе, ал S_a асинхронды кірістерін $K_C - 1$ шамасына тең бастапқы күйді орнату үшін қолданса, онда ол азайтқыш санағыш түрінде жұмыс істейді.

Реверсивті санағыштарды жасау кезінде санау бағытын анықтау үшін разрядтар арасына ЖӘНЕ-НЕМЕСЕ (немесе ЖӘНЕ-ЕМЕС) қосымша элементтерін қосу керек.

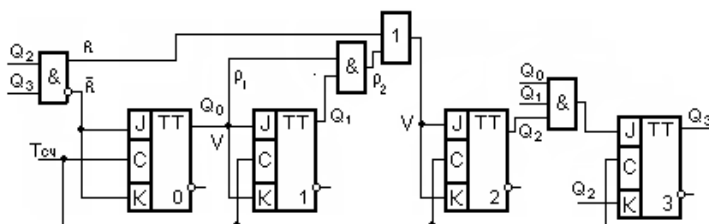
Екілік-кодаланған санағыш, мұндай санау модулі 2 санының бүтін санына тең болмайтын ($K_C \neq 2^N$) санағыштар есептеу техникасында қолданылуы сирек емес. $2^N - K_C$ айырымымен анықталатын сан K_{TK} тыйым салынған («артық») күйлерге сәйкес келеді.

Санағыштың қандай күйлері артық болатынына байланысты санағыштар:

- табиғи түрде санайтын санағыштар;
- бастапқы орнатуы бар санағыштар;
- мәжбүрлі түрде санайтын санағыштар болып бөлінеді.

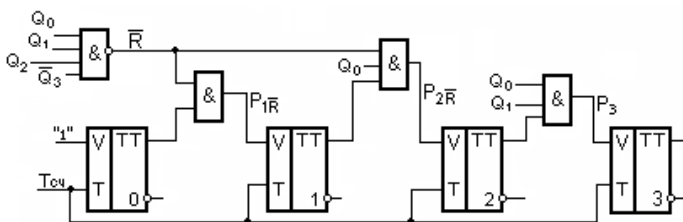
Табиғи түрдес анайтын санағыштарда санау қосқыш екілік санағыштардағыдай (0-ден бастап) орындалады, айырмашылығы мұнда жұмыс циклы K_c импульсі келісімен аяқталады $K_c < 2^N$.

Санау табиғи түрде орындалатын, тасымалды бұғаттайтын тізбегі болатын санағыштың сұлбасы 2.11-ші суретте келтірілген.



2.11-сурет. $K_{сч} = 13$ болатын JK-триггерлерде құрылған табиғи санау реті болатын санағыш

2.12-ші суретте $K_{сч} = 10$ болатын мәжбүрлі санау ретпен санайтын санағыштың сұлбасы келтірілген.



2.12-сурет. $K_{сч} = 10$ болатын мәжбүрлі санайтын санағыш

Триггер дегеніміз екі тұрақты күйі бар жады элементі, ол регистрлерді, санағыштарды және ЭЕМ-ң басқада цифрлық құрылғыларын жасауда кеңінен қолданылады. Триггер күйі

оның шығыс сигналымен анықталады және осы сигнал деңгейілері 0 және 1 цифрларымен кодталынады. Триггердің екі шығысы бар: Q тура шығысы және \bar{Q} кері шығысы. Егер триггер нөлдік күйде болса, онда оның тура шығысындағы сигнал логикалық 0-ге тең, ал теріс шығысы – логикалық 1-ге тең ($Q=0, \bar{Q}=1$). Егер триггер бірлік күйде болса, онда $Q=1, \bar{Q}=0$. Интегралды сұлбатехникада: RS-, JK-, D-, DV-, T, TV-типті триггерлер қолданылады. Ақпаратты жазу әдісі бойынша триггерлер: асинхронды және синхронды (немесе тактіленетін) болып бөлінеді. Асинхронды триггерге ақпарат оның кірістеріне ақпарат келіп түскенде жазылады. Синхронды триггерлерге ақпарат тек синхронизация кірісіне рұқсат беруші тактілік импульс бергенде ғана жазылады. Тактіленетін триггер асинхронды режимде де, синхронды режимде де жұмыс істей алады.

Триггерге ақпаратты жазуға қажетті тактілеуші импульстер (ТИ) санына байланысты синхронды триггерлер біртактілі және көптактілі болып бөлінеді. N-тактілі триггерді бір күйден екінші күйге ауыстыру үшін синхрондаушы кіріске n тактілік импульс беру керек.

Бір тактілік триггерлер келесідей бөлінеді:

- тактілік импульс деңгейімен жұмыс істейтін триггерлер;
- ішкі кідірісі бар триггерлер.

Бірінші топтағы триггерлердің жаңа күйінің қалыптасуы тактілік импульстің келуімен қатар орындалады. Ішкі кідірісі бар триггерлердің жаңа күйі тактілік импульстің әсері аяқталған соң ғана қалыптасады.

Асинхронды және синхронды триггерлер. Триггер жұмысын ауысу кестесі (1-кесте) немесе осы кесте анализі негізінде алынған логикалық формула (яғни сипаттамалық теңдеулер) көмегімен баяндауға болады. 1-кестеге сәйкес RS-типті **триггер** деп – екі тұрақты күйі бар, екі R және S ақпараттық кірістері бар жады элементін айтамыз, $S=0, R=1$

кезінде триггер «0» күйді қабылдайды ($Q_{n+1} = 0$), ал $S=1$ және $R=0$ кезінде «1» күйі қалыптасады ($Q_{n+1} = 1$). Егер $S=0$ және $R=0$ болса, онда триггердің күйі өзгермейді ($Q_{n+1} = Q_n$). $S=R=1$ кезінде триггер күйлері анықталмаған (кіріс сигналдарын алған соң) болып саналады. Сондықтан RS-триггері негізіндегі цифрлық логикалық құрылғылары $S=R=1$ комбинациясын болдырмау ескеріліп жасалынуы керек.

RS-типті асинхронды және синхронды триггерлердің кейбір сұлбаларын қарастырайық. 3.1, а және б суреттерінде ЖӘНЕ-ЕМЕС және НЕМЕСЕ-ЕМЕС логикалық элементтеріндегі асинхронды RS-триггері келтірілген.

2.2 кесте. **RS-, JK-, DV-, TV-триггерлерінің біріккен ауысу кестелері**

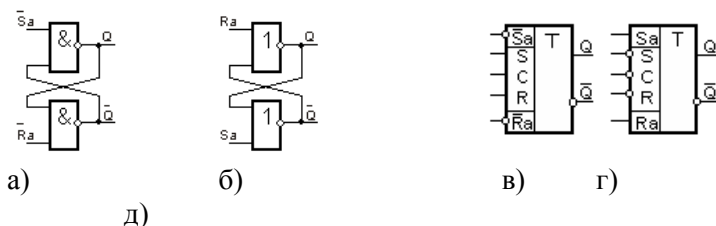
S_n	R_n	Q_{n+1}			
J_n	K_n				
V_n	D_n	RS	JK	DV	TV
V_n	T_n				
0	0	Q_n	Q_n	Q_n	Q_n
0	1	0	0	Q_n	Q_n
1	0	1	1	0	Q_n
1	1	?	$\overline{Q_n}$	1	$\overline{Q_n}$

2.13 а, б суреттегі триггер «1» ($Q=1$) күйін $S_a=1$ және $R_a=0$ кезінде, ал «0» ($Q=0$) күйін $R_a=1$ және $S_a=0$ кезінде қабылдайды. $R_a=S_a=1$ сигналының комбинациясы олар үшін тым салынған комбинация болып табылады.

2.13, а суреттегі триггер $\overline{S}_a = 0, \overline{R}_a = 1$ сигналдары әсерінен «1» ($Q=1$) күйге орнатылады, ал «0» ($Q=0$) күйге $\overline{R}_a = 0, \overline{S}_a = 1$ сигналдары кезінде орнатылады. Бұл триггер

үшін $\bar{R} = \bar{S} = 0$ сигналдарының комбинациясы тиым салынған болып саналады. Асинхронды RS-триггерлер RS-, D-, JK- және T-типті синхронды триггерлер жасауда базалық элемент болып табылады.

Синхронды RS-триггерлерде S, \bar{S} және R, \bar{R} ақпараттық кірістері және синхронизациялауға арналған T, \bar{T} тактілеуші кірісі, сонымен қатар, триггерді бастапқы күйге орнатушы $\bar{S}_a (S_a)$ және $\bar{R}_a (R_a)$ асинхронды кірістері бар. НЕМЕСЕ-ЕМЕС базисіндегі RS-триггерде тактілік сигнал жоқ кезде, яғни $T=0$ кезінде (2.13, а суреттегі $\bar{T} = 1$ кезіндегі триггер) алдыңғы күйді сақтайды, яғни $Q_{n+1} = Q_n$. RS-триггерге S, \bar{S} және R, \bar{R} ақпараттық кірістерінен келген ақпаратты жазу тек тактілік импульс берілген кезде ғана $T = 1$ ($\bar{T} = 0$) жазылады. Және бұл жағдайда $T=1$ болса, онда 1, в суреттегі синхронды RS-триггер 2.2-кестеге сәйкес жұмыс істейді.



2.13-сурет. ЖӘНЕ-ЕМЕС ЛЭ негізіндегі (а); НЕМЕСЕ-ЕМЕС ЛЭ негізіндегі (б) RS-типті асинхронды триггер және ЖӘНЕ-ЕМЕС ЛЭ негізіндегі (в); НЕМЕСЕ-ЕМЕС ЛЭ негізіндегі (г) RS-типті асинхронды триггердің шартты белгіленуі және D-типті триггер (д).

Синхронды D-триггері кідіріс триггері деп те аталады, ол келесідей жұмыс істейді: D кірісіне t_n уақытында келіп түскен ақпараттық сигнал тактілік импульс $T=1$ болған жағдайда t_{n+1} уақытында шығыста пайда болады.

2.13, д суретте $T=1$ сигналымен тактіленетін синхронды D-триггердің шартты белгіленуі көрсетілген. Егер тактілік

импульс жоқ болса, яғни $T=0$ кезінде D кірісіндегі ақпаратқа (сигнал деңгейіне) қарамастан триггер күйі өзгермейді.

Ішкі кідірісі бар біртактілі триггерлер. Ішкі кідірісі бар көптеген синхронды триггерлердің көбісі екісатылы «MS» сұлбасы бойынша қосылады. Әдетте M- және S-триггерлер ретінде бірсатылы синхронды триггерлер қолданылады.

Жаңа ақпарат тактілеуші импульс алынғаннан кейін ғана жазылатын MS-триггерлердің негізгі түрлері келесідей болады:

- терістегіші бар MS-триггерлер (2.14 сурет а);
- тыйым салатын байланысы бар MS-триггерлер (2.14 сурет, б);
- әр түрлі полярлықпен басқарылатын MS-триггерлер (2.14 сурет, в).

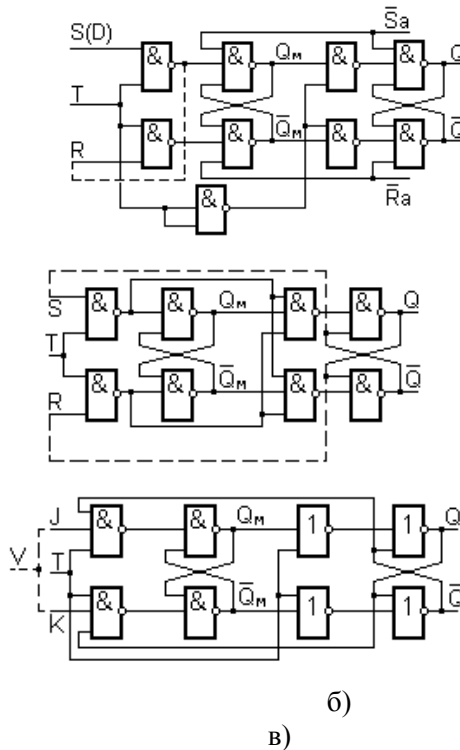
Жазуды статикалық басқаратын MS-триггермен қатар интегралды сұлбатехникада «үш триггерлер» сұлбасы бойынша қосылған біртактілі ішкі кідірісі бар триггерлер кеңінен қолданылады. Мұндай триггерлер динамикалық түрде басқарылатын триггерлер деп аталады және ЖӘНЕ-ЕМЕС немесе НЕМЕСЕ-ЕМЕС логикалық элементтерінен орындалып, 3 асинхронды триггерден тұрады (біреуі негізгі, екеуі қосымша).

Терістегіші бар MS-сұлба бойынша триггерді құрудың бір нұсқасы 2.14, а суретінде келтірілген. Триггер ЖӘНЕ-ЕМЕС логикалық элементтерінде орындалған және $T = 1$ импульсімен тактіленеді.

2.14, б суретіндегі триггердің ерекшелігі: тактылы импульстің әсерінің кезінде M-триггерге ақпараттың жазылуымен қатар оның логикалық элементтерінің шығыстарынан S-триггерінің басқару логикалық элементтерінің кірістеріне тыйым салу байланыстарының сигналдары келіп түседі, олар негізгі триггерден ақпараттың қосымша триггерге жазылуын бұғаттайды.

2.14, в суретінде JK-типті ішкі кідірісі болатын MS-триггер көрсетілген, оның ерекшелігі: M- и S-триггерлер әртүрлі полярлы сигналдармен тактіленеді және де негізгі триггерге ақпарат тактілік импульс $T = 1$ болғанда, ал қосымша триггерге

негізгі триггердің күйінің қайта жазылуы тактылы импульс $T=0$ болғанда орындалады.



2.14-сурет. (а) терістегіші бар, (б) RS-типті тыйым салу байланыстары болатын және (в) JK-типті әр полярлы басқаруы болатын M-S сұлбасы бойынша орындалған біртақтылы триггерлер

Бақылау сұрақтары:

- ◇ Санау бағыты бойынша санағыштар қалай жіктеледі?
- ◇ Санағыштарды жасау үшін триггерлердің қандай типтері қолданылады?
- ◇ Цифрлы санағыштар қандай (негізгі) операцияларды орындау үшін арналған?

- ◇ Санау реті табиғи болатын санағышта санау қалай жүргізіледі?
- ◇ Мәжбүрлі түрде санайтын санағыш қалай жұмыс жасайды?
- ◇ Цифрлы санағыштың негізгі параметрлерін атаңыздар.
- ◇ Ақпаратты жазу әдісі бойынша триггерлер қалай бөлінеді?
- ◇ JK-типті триггердің ауысу кестесін тұрғызыңыз және оның жұмыс ұстанымын түсіндіріңіз.
- ◇ Тактілейтін импульстің деңгейімен басқарылатын синхронды триггерге ақпаратты жазу қалай орындалады?
- ◇ RS-типті триггердің ауысу кестесін тұрғызыңыз және оның жұмыс ұстанымын түсіндіріңіз.
- ◇ ЖӘНЕ-ЕМЕС және НЕМЕСЕ-ЕМЕС логикалық элементтеріндегі синхронды RS-типті триггердің шартты-графикалық белгіленуін келтіріңіз.

2.4 Триггерлердің негізгі типтері.

- ↳ Триггерлердің қызметі;
- ↳ Асинхронды RS –триггер.
- ↳ Синхронды D-триггер.
- ↳ Динамикалық синхронды D-триггер
- ↳ Санаушы T – триггер.

Триггер – ЭЕМ-нің функционалды түйіні, жады элементтерін және оларды басқару сұлбасын қамтыйды.

Триггерлердің жіктелуі:

1. Сигналдардың келіп түсу уақыты бойынша:

- асинхронды;
- синхронды.

Бір тактылы: бірсатылы, екісатылы;

Көпсатылы.

2. Базисі бойынша:

- ЖӘНЕ-ЕМЕС;

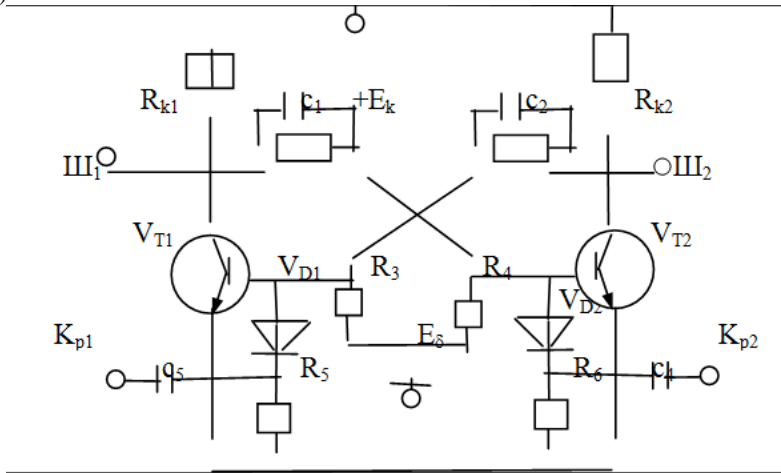
- НЕМЕСЕ-ЕМЕС;

- Аралас базисте.

3. Типтері бойынша: RS, D, JK, T, DV, DT, RST және т.б.

Автоматты басқару жүйелерінде, есептеу машиналарында, радиотехникада т.б. үздіксіз жұмыс әлпімен қатар импульсті жұмыс әлпі кеңінен пайдаланылады. Импульсті жұмыс әлпінде электрлік сигналдық қысқа уақытты әсерлері үзілістерден кейін қайталанып отырады.

Көп тараған импульсті құрылғылардың бірі – тригер (trigger-ағытқыш ілмек). Тригер деп екі орнықты күйі бар және сыртқы сигналдың әсерінен бір күйден екінші күйге секіріп өте алатын құрылғыны айтады. Тригерде оң кері байланысты екі каскадты тұрақты тоқтың күшейткіші қолданылады. (2.15-сурет).



2.15 сурет. Триггердің бөлектеп жіберу схемасы.

Каскадтардағы сәйкестік резисторлардың кедергілерін өзара тең болатындай етіп таңдап алады, яғни $R_{k1}=R_{k2}$, $R_1=R_2$, $R_3=R_4$, $R_5=R_6$. Сондықтан мұндай триггерлерді симметриялы деп атайды.

Тізбекті қорек көзіне қосқанда параметрлерінің дәл бірдей екіншісіне қарағанда бұрын ашылады. Мысалы $vT1$ транзисторы бұрын ашылады делік. Ашық транзисторда коллектордың потенциалы төмендейді де қорек көзінің кернеуі негізінен коллекторлық резисторға ($R_{к1}$) түседі. $vT1$ транзисторының коллекторы $vT2$ транзисторының базасымен жалғанғандықтан, $vT1$ транзисторының коллекторының потенциалының төмендеуі $vT2$ транзисторының жабылуына әкеліп соғады. Ығыстырушы қорек көзі $E_δ$ транзистордың толық жабылуын қамтамасыз етеді. Ол үшін ЭҚК-інің мөлшері $E_δ > R_4 I_{кк}$ шартын қанағаттандыруы керек.

Мұндағы $I_{кк}$ транзистордың паспорттында.

Егер тригерге сырттан сигнал әсер етпесе ол осы күйінде қала бермек.

Триггердегі екі транзистор кезекпен ашылып-жабылып тұруы үшін – бұл осы құрылғының негізгі міндеті, транзисторлардың базаларына кезекпен бір полярлы немесе транзисторлардың біреуінің базасына әр түрлі полярлы сигнал беру керек.

Қарастырып отырған триггерде екі кірме және екі шықпа бар. Кірмелік тізбектердегі конденсаторлар (C_3, C_4) мен диодтар ($vD1, vD2$) қорек көздерінен сыртқы сигнал көздеріне ток өткізбейді және сигналдық оң таңбалы құраушыларын ұстап қалады.

$vT1$ транзисторының базасының потенциалы төмендегенде коллекторының потенциалы жоғарылайды да $vT2$ транзисторының коллекторының потенциалы төмендейді.

Ендеше III шықпасы төңкерме шықпада, ал III2 шықпасы тура шықпа болып табылады. Мұны 2.15-суретте (б) келтірілген триггердің уақыттық диаграммаларынан анық көруге болады. Мұнда екі кірмеге кезекпен теріс полярлы сигнал беріліп тұр ($v_{кp1}, v_{кp2}$). Бірінші кірмеге берілген теріс полярлы сигнал $vT1$ транзисторының базасының потенциалын төмендетеді де, ($v_{к1}$) коллекторының потенциалын жоғарылатады. $vT1$ транзисторының коллекторының

потенциалының жоғарылауы v_{T2} транзисторының базасының потенциалын жоғарылатады, ал коллекторының потенциалын (v_2) төмендетеді.

Яғни бірінші кірмеге берілген теріс полярлы сигналдың әсерінен v_{T1} транзисторы жабылады да, v_{T2} транзисторы ашылады. v_{T1} транзисторының базасының потенциалы кемігенде C_2 конденсаторы зарядталып, кейін базаның потенциалын экспонента бойымен қайтадан нөлге дейін көтереді. Осы кезде екінші кірмеге берілетін теріс полярлы сигналдың (v_2) әсерінен жоғарыда айтылған үрдіс керісінше жүреді де v_{T2} транзисторы жабылып, v_{T1} транзисторы ашылады.

Міне осылайша кірмелерге кезекпен берілетін теріс полярлы сигналдардың әсерінен транзисторлар ашылып-жабылып, олардың шықпаларында әр түрлі полярлы сигналдар кезекпен пайда болып отырады.

«Және-емес» элементінің электрлік схемасы күй кестесі және шартты белгісі келтірілген. Бұл тізбекте екі кірмеге де сигнал берілген жағдайда ғана шнупада кернеу болмайды, яғни $C=0$, егер $A=1$ және $B=1$ болса, қалаған күйлердің барлығында транзисторлардың біреуі немесе екеуі де жабық болғандықтан шнупада (шықпасында) керек көзінің кернеуіне тең кернеу болады. «Немесе-емес» пен, «және-емес» элементтерінен триггерлерді де құрастыруға болады. Бастапқыда триггердің Q шықпасы «1» деңгейде, ал Q шнупасы «0» деңгейде екен делік. Бұған R , S кірмелерінде «0» деңгей сәйкес келеді. Шынында да Э1 элементінің кірмелерінде «0» болғандықтан шнупасында «1» ал Э2 элементінің R кірмесінде «1» ал S кірмесінде «0» болғандықтан шықпасында «0» болып тұр, ал R кірмесінде «0» сигнал берілгеннен оның күйі өзгермейді. Триггердің күйін өзгерту үшін S кірмесіне «0» сигнал беріп, ал R кірмесіне «1» сигнал беру қажет. Бұл жағдайда оның Q шықпасында «0» сигнал ал Q шықпасында «1» сигнал пайда болады. «Және-Емес» элементтерінен тұратын триггердің кірмелеріне бір уақытта «1» сигнал, ал «Және-Емес» элементтерінен тұратын триггердің кірмелерінде бір уақытта «0» сигналын беруге

болмайды. Өйткені мұндай сигналдардан тізбектің триггерлік жұмыс күйі бұзылады.

Триггерлердің түрлері.

Цифрлық автоматтарда функцияның мәні айлымалылардың осы мезгілдегі мәнінен (осы тактідегі) емес, олардың өткен мезгілдердегі (тактілердегі) мәндерінің тізбегіне тәуелді болады. Сондықтан логика алгебрасының жадылы цифрлық автоматтардың жұмысын сипаттайтын бөлімі тізбектік логика алгебрасы деп аталады. Тізбектік логиканың негізгі элементі триггерлік жады элементі немесе триггер деп аталады.

Триггер – ақпаратты жазуға және сақтауға арналған, екі орнықты жағдайы бар құрылғы.

Кірме сигналдардың әсерінен триггер бір орнықты жағдайынан екінші орнықты жағдайына ауыса алады. Триггердің тура Q және кері \bar{Q} деп аталатын екі кірмесі бар. Кірме саны орындалатын функцияға байланысты.

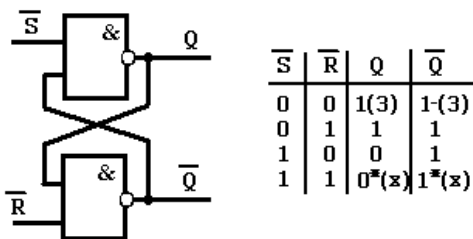
Ақпарат жазу тәсіліне қарай триггерлер асинхронды және синхронды (тактіленілетін) болып бөлінеді. Асинхронды триггерлердегі ақпарат кірме сигналдардың өзгеруіне қарай өзгереді. Синхронды триггерлердегі ақпарат қосымша синхрондаушы сигнал берілгенде ғана кірме сигналдардың әсерімен өзгере алады. Функциональдық мүмкіндіктеріне байланысты триггерлер көптеген топтарға бөлінеді.

Барлық триггерлердің схемаларының негізінде асинхронды RS –триггер (базалық) схемасы бар.

Асинхронды RS –триггер.

Асинхронды RS – триггер екі немесе–терістеу болмаса және–терістеу логикалық элементтерінен құрастырылады. (2.16 сурет).

Тек RS-типті.



2.16 – сурет. ЖӘНЕ-ЕМЕС базисіндегі асинхронды RS-триггер

Әр элементтің шықпасы басқа элементтің кірмесіне жалғанатындықтан триггердің элементтері кері байланыс тізбегімен байланыстырылған. Триггердің екі кірмесі: S – бірлік жағдайды орнықтыру кірмесі (ағылшынша Set – орнату, орнықтыру) және R – нөлдік жағдайға келтіру (ағылшынша Reset – алып тастау, қалпына келтіру). 2.16а суретінен кірмелерде S=1 және R=0 болғанда шықпаларда

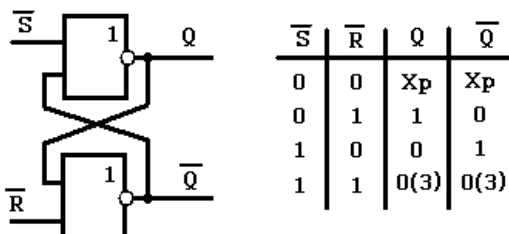
$$\bar{Q} = \bar{S} \vee \bar{Q} = 1 \vee \bar{Q} = 0;$$

$$Q = \bar{R} \vee Q = 0 \vee 0 = 1,$$

ал S=0 және R=1 болған жағдайда

$$Q = \bar{R} \vee \bar{Q} = 1 \vee \bar{Q} = 0;$$

$$\bar{Q} = \bar{S} \vee \bar{Q} = 0 \vee 0 = 1 \quad \text{болатыны байқалады.}$$



2.17 – сурет. НЕМЕСЕ-ЕМЕС базисіндегі асинхронды RS-триггер

Кірме сигналдар жойылғанда, яғни кірмеде $S=R=0$ болғанда, осыған дейін қалыптасқан жағдайда қандай кірмеде бірлік болғанына байланысты шықпада 1 және 0 сигналдары сақталады.

Q-ші такт, R және S кірме сигналдары жоқ (нөлге тең). Триггер бұл кезде бірлік жағдайда ($Q=1$). Қарастырылып отырған бастапқы мезгілдегі триггердің жағдайы кездейсоқ шама және біз анықтылық үшін ғана $Q=1$ жағдайынан бастаймыз. 1-ші такт. Кірмелік сигнал $S=1$ триггерге бірлік жағдай мәжбүрлі орнатылады және Q бірге тең болғандықтан триггердің шықпаларындағы сигналдар өзгермейді.

2-ші такт. $S=R=0$. Өткен тактіде жазылған ақпаратты ($Q=1, \overline{Q}=0$) сақтау режимі (тәртiбi).

3-ші такт. $S=0, R=1$. Триггерде нөлдік жағдай мәжбүрлі түрде орнатылады. Q және \overline{Q} шықпаларында сигналдар кері мәнге ауысады.

4-ші такт. $S=R=0$. Сақтау режимі.

5-ші такт. $S=0, R=1$. 0-ді мәжбүрлеп орнату. Бірақ, Q-дың мәні 0-ге тең болғандықтан, триггердің шықпаларындағы жағдай өзгермейді.

6-шы такт. $S=R=0$. Сақтау режимі.

7-ші такт. $S=1, R=0$. Бірлік жағдайды мәжбүрлеп тағайындау. Триггердің шықпаларында $Q=1$ және $\overline{Q}=0$ сигналдары пайда болады.

Осы жасаған талдауымыздан мынадай қорытынды шығады:

1) $S=1$ және $R=0$ болғанда триггерге орнықты бірлік жағдай тағайындалады: $Q=1$ және $\overline{Q}=Q$ (бірлікті жазу).

2) $R=1$ және $S=0$ болғанда триггерге орнықты нөлдік жағдай тағайындалады. $Q=0$ және $Q=1$ (нөлді жазу).

3) $S=R=0$ болғанда триггер осы сигналдар келгеннен бұрынғы қалыптасқан жағдайын сақтайды (сақтау режимі).

Сонымен, триггердің жағдайын (жазылған ақпаратты) Q шықпасындағы немесе жазылған сигналдың \overline{Q} шықпасындағы инверсиясы арқылы анықтауға болады.

Бірақ $S=R=1$ болғанда шықпадағы сигналдар

$$Q = R \vee \overline{Q} = 1 \vee \overline{Q} = 0;$$

$$\overline{Q} = S \vee Q = 1 \vee Q = 0,$$

яғни нөлге тең болатындықтан триггердің жағдайы бірмәнді анықталмайды. Сондықтан кірмедегі $S=R=1$ комбинациясы рұқсат етілмейді, тиым салынады.

ЖӘНЕ-ЕМЕС элементтерінен құрылған RS – триггердің жағдайы талдауды студенттің өзіне тапсырамыз.

Бұл жағдайдағы тиым салынған сигналдар $\overline{R} = \overline{S} = 0$.

RS-триггерлердің жұмысын аналитикалық және графикалық тәсілдермен сипаттадық. Осы талдауды айырып-қосу кестесінің көмегімен де сипаттауға болады. (2.3-кесте)

2.3. кесте

Кірме				Шықпа		Жұмыс тәртібі
HEMEECE-EMEC		ЖӘHE-EMEC		Q	\overline{Q}	
S	R	\overline{S}	\overline{R}			
0	0	1	1	0	0	Сақтау
1	0	0	1	1	0	1-ді жазу
0	1	1	0	0	1	0-ді жазу
1	1	0	0	x	x	Тиым салынған $Q = \overline{Q}$

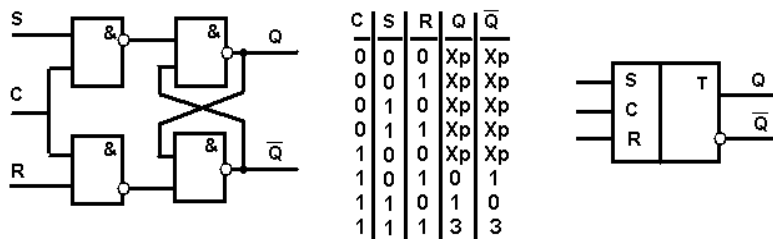
RS-триггерлерді кеңінен қолдануға кедергі болатын кемшіліктері мыналар: тиым салынған кірмелі сигналдардың болуы, ақпараттың екі бөлек тізбекпен (RS) берілуі, сырттан келетін кедергі әсерлерге орнықсыздығы.

Синхронды D-триггер.

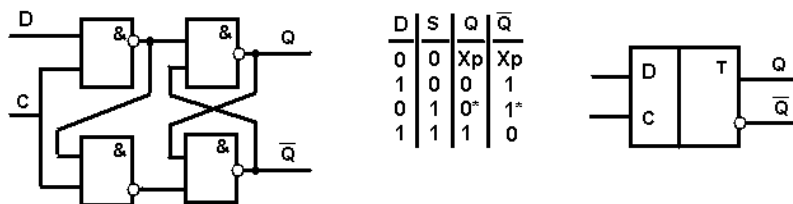
Синхронды D-триггер RS-триггердің кемшіліктерінен арылады. D-триггер (2.17.а) RS-триггерден және екі

логикалық элементтің комбинациялық кірмелік схемасынан тұрады. Триггерге ақпарат әкелуші сигналдар ақпараттық D кірмесіне түседі. C синхронизациялаушы кірмесіне ақпарат жазу мезгілін анықтайтын синхронды беріледі. Триггердің кірмелік сигналдардың әртүрлі комбинацияларындағы жұмысы 2.3-кестеде сипатталған. Ақпаратты жазу және сақтау процестері көрсетілген кесте мен мезгілдік диаграммадан D-триггері сақтау тәртібінде $C=0$ сигналы, ал жазу тәртібінде $C=1$ сигналы болғанда тағайындалатынын байқаймыз. Мұндай триггер бұрын жазылған шықпалық сигналды сол тактінің соңына дейін ұстап тұрады.

Синхронды біртақтылы бірсақтылы триггерлер.

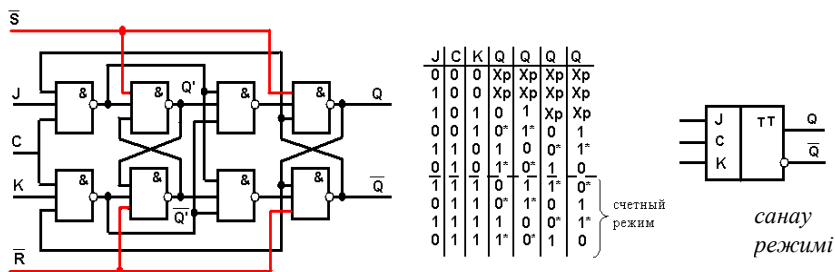


2.18 – сурет. ЖӘНЕ-ЕМЕС базисіндегі синхронный RS-триггер

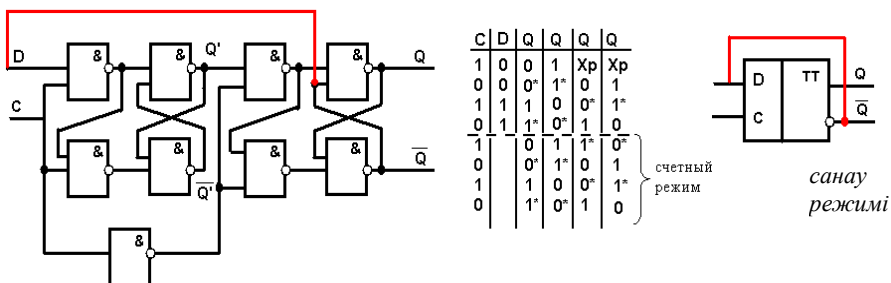


2.19 – сурет. ЖӘНЕ-ЕМЕС базисіндегі D-триггер

Синхронды біртақтылы екісақтылы триггерлер.



2.20 – сурет. Тыйым салынған байланысты сұлба бойынша құрастырылған, ЖӘНЕ-ЕМЕС базисіндегі JK-триггер



2.21 – сурет. Терістеушіні қамтитын сұлба бойынша құрылған, ЖӘНЕ-ЕМЕС базисіндегі D-триггер

Атында V – типті әріпі бар триггерлер V атты қосымша синхронды кірісті қамтыйды. Триггерлер RST, DvT: аралас функцияларды орындайды.

RST – RS және T-триггерлердің қызметтерін орындай алады,

DvT – V қосымша синхронды кіріске ие, D және T-триггерлердің қызметтерін атқара алады.

Мысалы, кірмелік D=1 сигналы бірінші және екінші, төртінші және бесінші синхронды импульстардың аралығында бітеді, ал Q=1 жағдайы екінші және бесінші тактілердің соңына дейін сақталады.

Осыдан D–триггер атауы қалыптасқан (ағылшын *delay* – кідірту, кідіргіп ұстап тұру (задержка) сөзінен шыққан).

Кірмедегі сигнал синхроимпульстің әсерлі мезгілінде өзгерген жағдайда триггерге синхроимпульстің аяқталу кезеңінің алдындағы, яғни t_3 мезгіліндегі ақпарат жазылады. Осы қасиетіне ($C=1$ болып тұрған кездегі ақпараттың өзгеруінің сақталуына қарай) қарастырып отырған триггер синхронды статикалық триггер деп аталады.

Статистикалық D-триггердің дұрыс жұмыс істеуі үшін D кірмесіндегі ақпарат өзгерісі тек қана $C=1$ сигналы кезінде орындалуы шарт.

Динамикалық синхронды D-триггер

Динамикалық синхронды D-триггер D кірмесіндегі сигналдық триггердің шықпасына тесіп өтуін болдырмайды. Ақпараттың жазылуы динамикалық басқару арқылы өтетін триггерде ақпарат синхронизация кірмесіндегі кернеудің өсіп-кемуі кезеңінде жазылады.

Динамикалық D-триггердің схемасы 2.21a суретте, ал оның әртүрлі нүктелеріндегі сигналдарының мезгілдік диаграммасы 2.21.б суретте көрсетілген. Логикалық элементтердің шықпалық сигналдары әр мезгілде

$$X_2 = \overline{D \cdot X_4}, X_1 = \overline{X_2 \cdot X_3}, X_3 = \overline{C \cdot X_1}, X_4 = \overline{C \cdot X_2 \cdot X_3}$$

болатынын ескере отырып, триггердің жұмысын қарастырайық. Әзірше C сигналы нөлге тең болса $X_3 = X_4 = 1$. Сондықтан синхроимпульстер аралығындағы үзілістерде шықпалық триггер ақпарат сақтау режимінде, ал (D_1, D_2) бірінші екі элементтің шықпаларындағы сигналдар $X_2 = \overline{\Delta \cdot 1} = \overline{\Delta}$ және $X_1 = \overline{\Delta \cdot 1} = D$ кірмелік ақпараттық сигналдармен толық анықталады.

X_2 және X_1 сигналдары өзара кері болатындықтан $C=1$ сигналы пайда болғанда олардың біреуі ғана D_3 немесе D_4 элементтері арқылы синхроимпульс өтуіне рұқсат береді.

$C=1$ және $D=1$ болғанда

$$\begin{aligned} \overline{S} &= X_3 = \overline{C \cdot D} = \overline{1 \cdot 1} = 0; \\ \overline{R} &= X_4 = \overline{C \cdot D \cdot X_3} = \overline{1 \cdot 0 \cdot 0} = 1 \text{ болады.} \end{aligned}$$

1-ді жазу режимі болады.

$C=1$ және $D=0$ болғанда

$$\begin{aligned} \bar{S} &= X3 = \overline{1 \cdot 0} = 1; \\ \bar{R} &= X4 = \overline{1 \cdot 1 \cdot 1} = 0 \text{ болады.} \end{aligned}$$

0-ді жазу режимі

2.21 б суреттегі мезгілдік диаграмма әр логикалық элементтегі сигналдың кідіруі есепке алынып тұрғызылған. Үзік сызықтармен D, X1 және X2 үшін D ақпараттық сигналының синхроимпульстық әсері болған кездегі өзгерістері көрсетілген. Қарастырылып отырған триггерде сигналды жазу синхронизация импульсының фронтымен атқарылады.

Динамикалық триггердің графикалық бейнеленілуі (2.21, в сурет) статикалық триггердің (потенциалымен басқарылатын триггердің) бейнеленуінен айырмашылығы схемадағы динамикалық кірменің үшбұрышпен кескінделетіндігінде. Егер үшбұрыштың төбесі микросхемаға бағытталса, онда триггер синхроимпульстың фронты бойынша, ал егер одан кері бағытталса, онда импульстың соңғы кесілуімен триггер іске қосылады.

Байқасақ, динамикалық D триггер үш RS-триггерлерден тұратынын көреміз. D1, D3 және D2, D4 элементтерінен құрылған алғашқы екі триггер ақпаратты дайындайды. Үшінші триггер (D5, D6) сол алдын-ала өңделген ақпаратты жазады. Динамикалық триггердің екі сатылы құрылымы D кірмесіндегі сигналдың синхроимпульстың әсерлі кезінде триггердің шықпасына бірден өтіп кетуінен құтқарады.

D-триггердің схемасына аздаған өзгерістер енгізу әрі RS-триггердің, әрі D-триггердің қызметін атқаратын әмбебап D-триггер алуға мүмкіндік береді (2.21, е). Бұл өзгерістің мәні екі кірмелі ЖӘНЕ-ЕМЕС элементтерін үш кірмелі ЖӘНЕ-ЕМЕС элементтерімен ауыстыруда. Пайда болған қосымша D1 және D5 кірмелері \bar{S} -сигналының кірмесі болады, ал D2, D3 және D6 - \bar{R} сигналының кірмелері болады. Триггердің \bar{S} және \bar{R} -дегі сигнал бірге тең бола тұрған кезде әмбебап триггер D және C кірмесі бар динамикалық D-триггер ретінде жұмыс істейді.

Ал кірменің (\bar{S} немесе \bar{R}) біреуіне, нөлге тең сигнал түссе, ол С және D сигналдарына әсерсіз болып, \bar{S} немесе \bar{R} сигналдары анықтаған жағдайды қабылдайды. $\bar{S} = \bar{R} = 0$ жағдайына бұрынғыша тиым салынады.

Санаушы Т – триггер.

Санаушы Т – триггердің (2.1, а-сурет) бір кірмесі және екі шықпасы бар. Мұндай триггердің шықпаларындағы ақпарат кернеудің Т кірмесіндегі әрбір оң аунауында кері мәнге өзгертіндіктен санаушы триггер кірмелік сигналдың жиілігін бөлуші ретінде қолданылады.

Мұндай триггерді динамикалық басқарулы D – триггерден оның кері шықпасын ақпараттық кірмесімен жалғау арқылы жасауға болады (2.1, б-сурет). Сонда, егер бастапқы уақыт мезгілінде Q-шықпасында нөлдік деңгей болса, онда D-кірмесінде $\bar{Q}=1$ деңгейі болғаны. Бірінші синхроимпульстің маңдайы бойынша D кірмесіндегі бірлік \bar{Q} шықпасына көшіріп жазылады (бір логикалық элементтің кідіртпесіне тең уақытпен кешігіп жазылады. (2.1,в және 2.1 б суреттер). Осыған сәйкес \bar{Q} шықпасында және D кірмесінде нөлдік деңгей пайда болады (екі логикалық элементтердің кідіртпесіне тең уақытпен кешігіп). Келесі тактіде \bar{Q} шықпасына D кірмесінің нөлдік мәні көшіреді және т.с.с бола береді. Статикалық D триггерден тура осылай (кері байланыс арқылы) санаушы триггер алуға болмайды.

Статикалық триггердің басқарылуы потенциалды болғандықтан $C=1$ болғанда, шықпадағы кернеу кері байланыстың әсерінен ылғи кері мәнге ауыса беретіндіктен жоғары жиілікті тербелістер пайда болады.

Триггерлердің басқа түрлері

Кірмелік логикасы біз қарастырғандардан өзгеше болатын көптеген триггерлердің түрлері бар. Мысалы, синхронды RS-триггер, екі басқарушы кірмесі бар ΔV -триггерлер, әмбебап

JK - триггерлер сияқты басқа триггерлер көп-ақ. Барлық триггерлердің құрылымы асинхронды RS-триггерлердің негізінде құрылатындықтарын тағы басып айта кетейік.

Қарастырылған триггерлердің түрлері: статикалық асинхронды RS-триггер (потенциалмен басқарылады), статикалық синхронды D триггер (потенциалмен басқарылады), динамикалық D триггер (динамикалық басқарылады) интегралдық микросхемалардың негізі болады да, және олардың негізінде кез келген цифрлық түйіндер мен тізбектелген типті құрылғыларды (цифрлық автоматтарды) құрастыруға жағдай туғызады.

Бақылау сұрақтары:

- ◇ Триггерлер дегеніміз қандай құрылғы?
- ◇ Функциональдық мүмкіндіктеріне байланысты триггерлер қандай топтарға бөлінеді?
- ◇ Ақпарат жазу тәсіліне қарай триггерлер қандай түрлерге бөлінеді?
- ◇ Асинхронды триггер дегеніміз не?
- ◇ Синхронды триггерлер дегеніміз қандай триггерлер?
- ◇ Симметриялы триггерлер дегеніміз не?
- ◇ Статикалық асинхронды RS-триггерлерге сипаттама бер.
- ◇ Статикалық синхронды D триггерлерге сипаттама бер.
- ◇ Динамикалық D триггерлерді сипатта.

2.5.Аналогты-сандық және сандық-аналогтық түрлендіргіштер.

- ↳ Регистрлер
- ↳ Динамикалық есте сақтау құрылғысы (DRAM) динамикалық есте сақтау құрылғысының сақтау элементтері.
- ↳ Динамикалық жады сұлбалары. Динамикалық жедел жады

- ↳ Динамикалық жады бақылаушысы. КЭШ жады.
- ↳ Қолданылуы, негізгі сипаттамалары және қолданылу өрісі.
- ↳ Аналогты-сандық және санды-аналогтық түрлендіргіштер.
- ↳ Аналогтық мультиплексорлар, компораторлар.

Регистрлер - ақпаратты (санның, сөздің немесес сөздің бір бөлігінің кодасын) қабылдауға, сақтауға және шығаруға арналған кеңінен таралған ЭЕМ-ң функционалдық түйіндері. Сонымен қатар, сөзді қажетті разряд санына солға және оңға жылжыту операциясын орындауға арналған. Тізбекті коданы параллельді кодаға және керісінше түрлендіру операциялары регистрлерде де орындалады, жеке жағдайларда келесідей разрядаралық операциялар орындалуы мүмкін:

- логикалық қосу;
- логикалық көбейту және екілік модуль бойынша қосу.

Практикада бірнеше көздерден, яғни оның кірісіндегі басқарушы сигналдарға байланысты әр түрлі бағыттардан келген ақпараттарды қабылдау мүмкіндігі бар мультиплексті кірістері бар регистрлер жиі қолданылады.

Регистрлер ақпаратты қабылдау (жазу), синхронизациялау және т.б. әдістер бойынша жіктелінеді.

Бір тактілі синхронды регистрлерде тактілеуші импульс фронтымен басқарылатын ішкі кідірісі бар екісатылы триггерлер қолданылады. Әдетте регистрлер D-, DV-, RS- және JK-типті триггерлер негізінде жасалынады. Регистрде сөздер «0» және «1» екілік сигналдар комбинациясы түрінде сақталады. Регистрлерде сонымен қатар логикалық элементтерден тұратын қосымша элементтер қолданылады, олар ақпаратты қабылдау, жылжыту және шығару және т.б. операцияларды орындауға арналған.

Регистрлер параллельді, тізбекті және параллельді-тізбекті болып бөлінеді.

Параллельді регистрлерде жазу және оқу әрекеттері бір уақытта барлық разрядтарда бірдей орындалады. Оларда да сөздер бойынша разрядаралық операциялар орындалады.

Тізбектелген регистрлерде жазу операциясы коданы тактілеуші импульс көмегімен тізбектеп жылжыта отырып, кіші разрядтан немесе үлкен разрядтан бастап орындалады. Сондықтан олар жылжытқыш регистрлер деп аталады. Жылжытқыш регистрлер қарапайым және реверсивті болып бөлінеді.

Параллельді-тізбекті регистрлерде сөз кодасын параллельді түрде және тізбекті түрде енгізуге арналған кірістер болады. Бұл регистрлерде де параллельді коданы тізбекті кодаға түрлендіру операциялар орындалады.

Разрядтық триггерлердің кірістеріне ақпарат келіп түсетін арналар саны бойынша регистрлер бірфазалы және парафазалы болып бөлінеді. 2.22 суретте RS-типті триггерлер негізіндегі ақпаратты бірфазалы қабылдайтын параллельді регистрдің сұлбасы келтірілген.

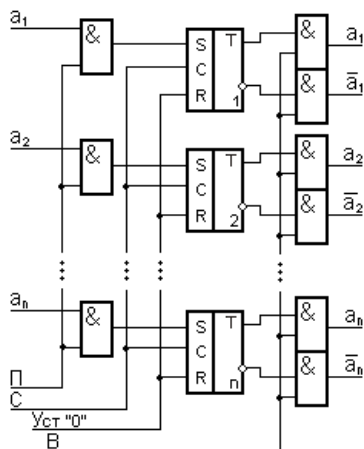


Рис. 2.22. RS-типті триггерлер негізіндегі ақпаратты бірфазалы қабылдайтын параллельді регистр

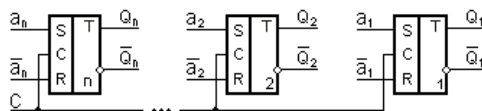
Парафазалы регистрлерде ақпарат әрбір разрядқа екі арна (тура және кері) бойынша келіп түседі. Бірфазалы регистрлерде ақпарат әрбір разрядқа бір ғана арна (тура немесе кері) арқылы беріледі. Парафазалы регистрлер RS- және JK-типті триггерлер негізінде орындалады, ал бірфазалы регистрлер D-типті триггерлер негізінде орындалады.

Мысал ретінде 2.23-суретте көрсетілген RS-типті синхронды триггерлер негізінде орындалған ақпаратты парафазалы түрде енгізетін регистр сұлбасы көрсетілген және 2.24-суретте ақпаратты бірфазалы қабылдайтын параллельді регистрдің сұлбасы көрсетілген.

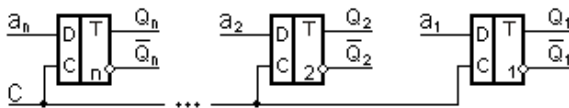
Сонымен, параллельді регистрге ақпаратты енгізу (жазу) және шығару (оқу) операциялары параллельді кодамен іске асырылады. Оқу тура немесе кері кодада орындалады.

Регистрлерде логикалық операцияларды орындау. Бір регистрден екінші регистрге ақпаратты тасымалдау үрдісі кезінде келесі операцияларды орындауға болады:

- логикалық қосу (ЛС);
- логикалық көбейту (ЛУ);
- mod 2 бойынша қосу (СЛ.2).



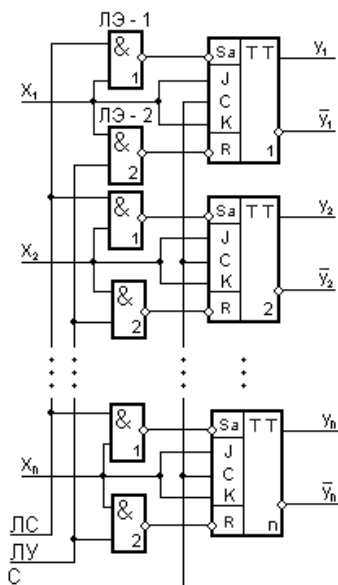
2.23-сурет. RS-типті синхронды триггерлер негізіндегі парафазалы кірісі бар параллельді регистр



2.24-сурет. Ақпаратты бірфазалы қабылдайтын параллельді регистр

Логикалық қосу «ЛС» басқару сигналын берген кезде орындалады. Мұнда бірінші қосылғыш регистрде бар болу қажет, ал екінші қосылғыш ЛЭ-1 элементтері арқылы әрбір

триггердің S кірістеріне беріледі. Нәтижесінде, қосылғыштардың ең болмағанда біреуі 1-ге тең болған жағдайда, регистрдің i-разряды 1-күйінде қалады. Осыған сәйкес логикалық көбейту операциясы «ЛУ» басқару сигналының басқаруымен орындалады.



2.25-сурет. Регистрлерде логикалық операциялардың орындалуы

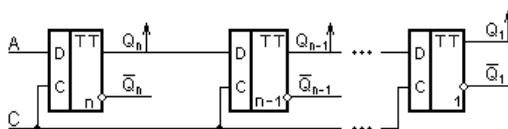
Мұнда екінші қосылғаш әрбір триггердің R кірісіне ЛЭ-2 элементтері арқылы беріледі. Сондықтан, айнымалылардың ең болмағанда біреуі нөлге тең болған жағдайда, регистрдің разрядтары нөлдік күйде қалады.

«СЛ2» қосу операциясын орындағанда екінші қосылғыш регистрдің әр разрядының триггерінің санау кірісіне келіп түседі. Бірінші қосылғыш регистрге келесі ретпен басқару сигналдары көмегімен жазылады:

- x_1, x_2, \dots, x_n кірістерінде “1” сигналы орнатылады;
- ЛУ басқару сигналының көмегімен регистрдің барлық разрядтарының алынып тасталуы орындалады.

- ЛС сигналының көмегімен ақпаратты енгізу орындалады.

Тізбекті немесе жылжытқыш регистрлерде сөз кодасын жазу тізбекті түрде орындалады, ол үшін регистрдің синхрондаушы кірістеріне жылжытқыш тактілік импульстердің сериясы беріледі. Бір тактілі жылжытқыш регистрлерде әрбір тактілеуші импульстің келуімен оның берілген фронты бойынша бірауқытта сөздің барлық кодасы бір разряд оңға жылжыту (үлкен разрядтардан бастап) орындалады. Реверсивті ркгистрлерде сөз кодасын жылжыту бағыты жылжыту бағытын анықайтын басқарушы сигналдар мәндеріне байланысты. Біртактілі сихронизациялы бірфазалы кірісі бар жылжытқыш регистрдің қарапайым сұлбасы төмендегі 2.26-суретте көрсетілген.



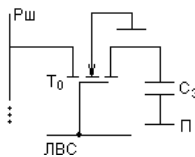
2.26-сурет. Біртактілі синхронизациялы бір фазалы жылжытқыш регистр

Динамикалық жедел жады (DRAM) қазіргі замандық компьютерлердің негізгі жадысы болып табылады. Динамикалық жадыда жады элементтері ретінде nМОП-транзисторлары және шамалы сыйымдылығы бар конденсаторлар қолданылады.

Жады элементіне қатынас құру кезіндегі жазу және оқу процестері конденсатордың зарядталуымен және разрядталуымен анықталады. Жады элементіне ұзақ уақыт құрамаған кезде тоқтың ағып кету салдарынан және де оқу кезінде конденсатор разрядталады да, онда сақталынған ақпарат уақыт өте жойылады. Сондықтан динамикалық жадыда ақпаратты сақтау үшін периодты түрде регенерациялап отыру керек, яғни жадыға үнемі циклдық түрде қатынас құрып (бос (холостой) қатынас) отыру керек, нәтижесінде конденсатор зарядталып отырады. Осымен динамикалық жады статикалық

жадыдан принципалдық түрде айырмашылығы бар. Сонымен қатар, динамикалық жады статикалық жадымен салыстырғанда жылдамдығы төмен, бірақ динамикалық жадының жады элементі көлемі кішкентай, сондықтан бір кристаллда миллиондаған жады элементтерін орналастыру мүмкіншілігі бар. Сондықтан жадының бұл түрі энергияны аз тұтынатын ең арзан жартылай өткізгішті жады болып саналады.

Қазіргі замандық динамикалық жады құрылғыларында біртранзисторлы жады элементтері қолданылады (2.27-ші сурет), мұнда деректерді оқу-жазу және енгізу-шығару шиналары біріктірілген, ал жады элементінің өзі C_3 конденсаторынан және кілт режимінде жұмыс істейтін T_0 nМОП-транзисторынан тұрады. T_0 транзисторының бекітпесі (затвор) жады элементі матрицасының қатарды таңдау желісіне қосылған, яғни қатардың адресітеу дешифраторының шығысына қосылады. Желіде жоғары деңгейлі (логикалық 1) сигналы пайда болғанда T_0 транзисторы ашылады және C_3 конденсаторы разрядтық деректер шинасына қосылады, ол сонымен қатар жазу-оқу желісі (ЖОЖ) деп аталады.



2.27-сурет. Динамикалық жадының сақтау элементі

Жұмыс істеу режиміне байланысты жады элементінде сақталынған ақпаратты оқуға немесе оған жаңа ақпарат жазуға болады. Сақтау режимінде T_0 транзисторы жабық, ал логикалық 1-ге немесе логикалық 0-ге сәйкес келетін жады элементінің күйі C_3 конденсаторындағы зарядтың бар болуы немесе жоқ болуымен сипатталады. “0”-ді оқу немесе “1”-ді оқу процестерін анализдей отырып ΔU оқылатын сигналдың мәнін анықтау

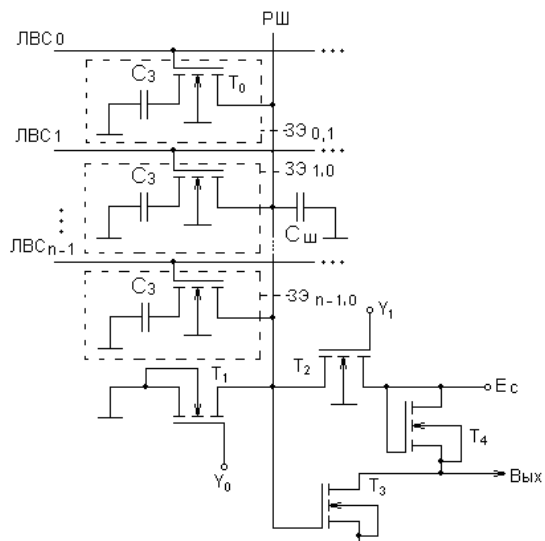
қиын емес. Ол шамамен келесідей болады:

$$\Delta U = \frac{E_c}{2} * \frac{C_3}{C_{ин}}, \text{ өте}$$

аз болады, өйткені C_3 конденсаторының сыйымдылығы $C_{ш}$ конденсаторының сыйымдылығынан мейлінше аз. Сонымен қатар, оқу кезінде және де жадылық C_3 сыйымдылығын разрядтық шинаға қосқанда зарядтың өзгеруіне байланысты ақпарат жойылады. Бұл кемшіліктерді жою үшін күшейткіш-регинераторлар пайдаланылады және де C_3 сыйымдылығын үлкейтудің (жады элементінің ауданын үлкейтпей) және $C_{ш}$ сыйымдылығын кішірейтудің түрлі әдістері қолданылады.

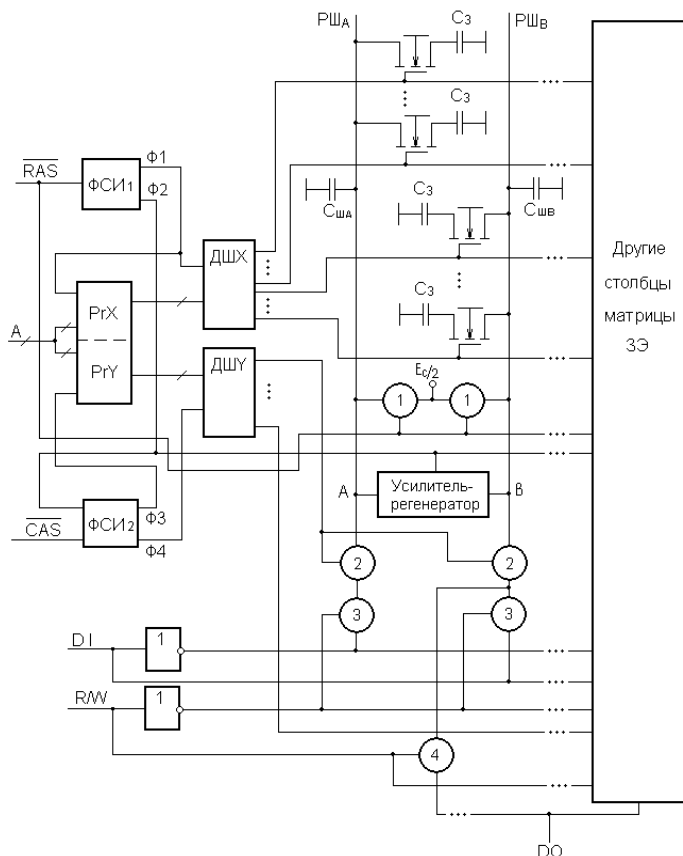
Динамикалық жады микросұлбасының жады ұяшықтары екі өлшемді матрица түрінде ұйымдастырылған. Қатар және баған адрестері мультиплексиленген адрес (Multiplexed Address) шинасы бойынша беріліп RAS (Row Address Strobe) және CAS (Column Access Strobe) сигналдарының төмендеуі бойынша сұрыпталады. Жады элементі матрицасының қатар және баған мекендерін мультиплексиру кезінде микросұлба корпусының бір шығысына кезекті түрде сигнал беріледі. Сонымен адресі мультиплексиру адресік желілер санын азайтуға, яғни микросұлба корпусының шығыс сандарын азайтуға мүмкіндік береді. Ал бұл үлкен көлемді және де адрестерінің разрядтылығы жоғары DRAM микросұлбалар үшін өте маңызды.

2.28-ші суретте сақтау элементтері жолдар мен бағаналар матрицасы түрінде ұйымдастырылған динамикалық жадының сұлбасының фрагменті келтірілген.



2.28-сурет. Динамикалық жадының құрылымдық сұлбасының фрагменті

2.29-ші суретте сақтау элементінің матрицасының бір бағанасы ашылып көрсетілген динамикалық жадының сұлбасы келтірілген.



2.29. Динамикалық жады сұлбасы

Регенерация динамикалық жадының ішкі операциясы болып табылғандықтан ақпаратты сыртқы деректер шинасына беру талап етілмейді. Регенерация циклдары түрлі әдістермен ұйымдатырылуы мүмкін. Қазіргі замандық компьютерлерде динамикалық жадыдағы регенерация процестерін жады контроллері басқарады, ол барлық микросұлбалардағы қатарларды циклді түрде таңдап отырып, регенерациялайды.

Бақылау сұрақтары:

- ◇ Регистрлер қандай разряд аралық операцияларды орындау үшін қолданылуы мүмкін?
- ◇ Регистрлерді тұрғызу үшін триггерлердің қандай түрлері қолданылады?
- ◇ Параллельді регистрде сөздерді жазу мен беру қалай орындалады?
- ◇ Тізбекті (жылжытушы) регистрге сөз кодасын жазу қалай орындалады?
- ◇ Реверсивті регистрдің қарапайым жылжыту регистрінен айырмашылығы?
- ◇ 6. Динамикалық жадыда сақтау элементінің функциясын қандай компонент орындайды? Динамикалық жадының құрылымдық сұлбасының фрагментін келтіру және оның жұмысын сипаттау.
- ◇ 7. Динамикалық жадының сұлбасын құру және оның жұмысының ерекшеліктерін сипаттау.
- ◇ 8. Динамикалық типті сақтау құрылғыларында регенерация үрдісі не үшін жүргізіледі?
- ◇ Статикалық жадымен салыстырғанда динамикалық жадының қандай артықшылықтары мен кемшіліктері бар?
- ◇ Қандай режимде динамикалық жадының модулін (микросұлбаларын) санашық басқарады?
- ◇ Динамикалық жадының модулін (микросұлбаларын) регенерация режимінде басқаратын құрылғы қалай аталады?

2.6 Негізгі техникалық операциялар элементтері.

- ↳ Негізгі техникалық операциялар элементтері.
- ↳ Санауыштар
- ↳ Регистрлер
- ↳ Цифрлық компаратор
- ↳ Сумматор

Негізгі техникалық операциялар элементтері. Негізгі қарапайым операциялар.

Күрделі жүйелердегі цифрлық ақпаратты өңдеу жекеленген қарапайым операцияларды орындалу тізбегі түрінде

өтеді. Бұл қарапайым операциялар операциялық элементтерде орындалады. Цифрлық техникалық операциялық элементтері немесе операциялық түйіндері комбинациялық және тізбектік логиканың логикалық элементтерінен құрылады.

Қарапайым операцияларды негізгі жиыны аса зор емес.

Тағайындау – операциялық элементке кез келген тұрақтылық екілік кодының жазылуы. Мысалы, санауыштың барлық разрядтарына нөл жазу, нөлді тағайындау.

Жіберу-қабылдау – бір операциялық элементтен екіншісіне санның кодын көшіріп жазу.

Ығыстыру – код разрядтарының бастапқы орналасуының өзгертілуі.

Санау – операциялық элементтің кірмесіне импульстық тізбек түскен кездегі сан кодының өсуі немесе кемуі.

Түрлендіру – сан кодының бір жүйеден екінші жүйеге ауыстырылуы.

Таратылу – көптеген ақпарат көзінен бір қабылдаушыға немесе бір ақпарат көзінен бірнеше қабылдаушыларға сигналдар жіберу.

Қосу – екілік кодтағы екі санның қосындысын табу.

Негізгі қарапайым операцияларды орындайтын түйіндер цифрлық құрылғының негізгі түйіндері деп аталады.

Бұларға: регистрлер, санауыштар, код түрлендірушілер, мультиплексорлар және сумматорлар.

Санауыштар – ЭЕМ функционалды түйіні, кірісіне келіп түскен сигналдар санын санауға және оны n -разрядты екілік код түрінде беруге арналған.

Санағыш санайтын максимальды сан $N=2^n$ санау коэффициентін түзеді, мұндағы N – санағыш разрядтылы. Санағыштар біртақтылы екісатылы Т-триггерлерінде құрылады.

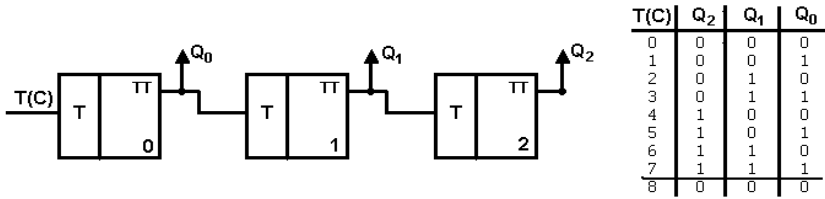
Жіктелуі:

1. санау бағыты бойынша
 - қосындылаушы;
 - азайтушы;
 - реверсивті;
2. санау жүйесі бойынша:

- екілік;
 - екілік-ондық;
 - еркін коэффициентті;
3. сигналдардың келіп түсу уақыты бойынша:
- асинхронды;
 - синхронды;
4. разрядты тасымалды ұйымдастыру тәсілі бойынша:
- тізбекті тасымалды;
 - параллель тасымалды;
 - аралас тасымалды (топтап);

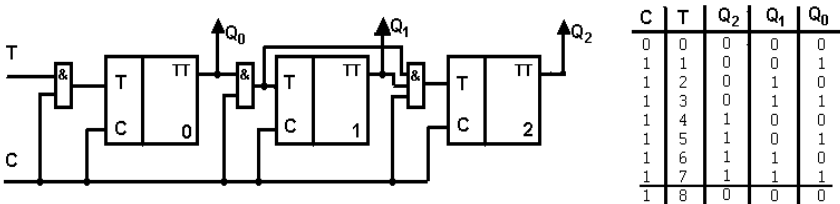
Базалық сұлбасы:

1. Тізбекті тасымалды асинхронный қосындылаушы екілік санағыш.



2.30 – сурет. Тізбекті тасымалды асинхронный қосындылаушы екілік санағыш.

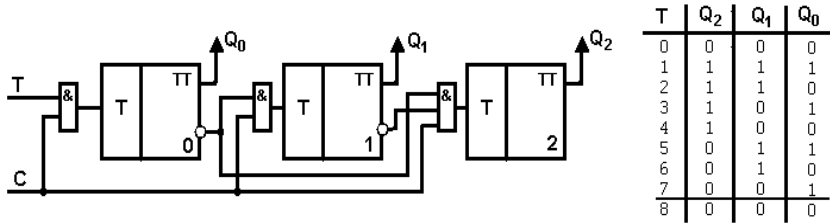
2. Параллель тасымалды синхронды қосындылаушы екілік санағыш.



2.31 – сурет. Параллель тасымалды синхрондық қосындылаушы екілік санағыш.

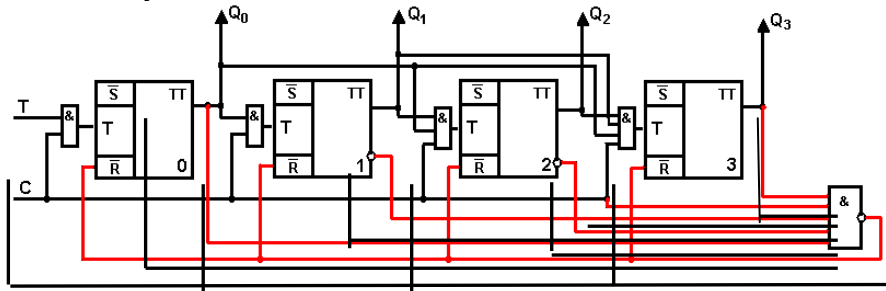
Ауыстырып қосу (кіріс сигналдарын санау) тек С синхросигналы бар болғанда ғана мүмкін болмақ.

3. Параллель тасымалды азайтушы синхрондық екілік санағыш.



2.32 – сурет. Параллель тасымалды азайтушы синхрондық екілік санағыш

4. Параллель тасымалды ондық синхрондық қосындылаушы санағыш.



2.33 – сурет. Параллель тасымалды ондық синхрондық қосындылаушы санағыш.

Регистрлер

ЭЕМ функционалды түйіні, ақпараттың n-разрядты сөзін жазу, сақтау және оқуға арналған. Регистрлер біртақтылы немесе екітақтылы екісатылы триггерлерде құрылады. Қосымша регистрлер ақпаратты түрлі модификацияларда жылжытуға мүмкіндік береді.

Сондай-ақ, регистрлерде \vee, \wedge, \oplus , сияқты логикалық операцияларды орындап, ақпаратты разрядтардың берілген санына жылжытуға болады.

Жіктелуі:

1. жазу-оқу тәсілдері бойынша регистрлер мынадай түрлерге жіктеледі:

- тізбекті – тізбектей жазады және ақпаратты оқиды;
- параллельді – параллельді жазу, ақпаратты параллельді оқумен ерекшеленеді;
- тізбекті-параллельді – тізбекті жазумен және ақпаратты параллельді оқумен ерекшеленеді;
- параллельді-тізбекті – ақпаратты параллельді жазумен және тізбектей оқумен ерекшеленеді;
- әмбебап – параллельді және тізбекті жазумен және параллельді және тізбекті оқумен ерекшеленеді.

2. келіп түсетін және жіберілетін ақпараттардың фазалығы бойынша:

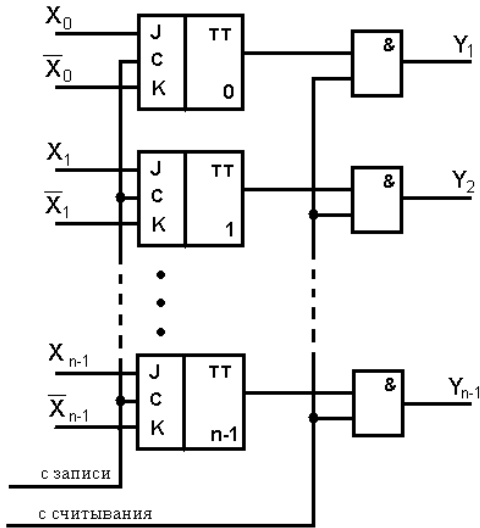
- бірфазалық – D-триггерлерде;
- жұпфазалық – RS және JK-триггерлерінде;
- аралас:
 - бір фазалы енгізу, қосфазалы шығару;
 - қосфазалы енгізу, бірфазалы шығару.

3. тактылау тәсілі бойынша:

- біртақтылы – тактылық сигналдардың бір тізбегімен басқарылады;
- көптақтылы – тактылық сигналдардың бірнеше тізбегімен басқарылады.

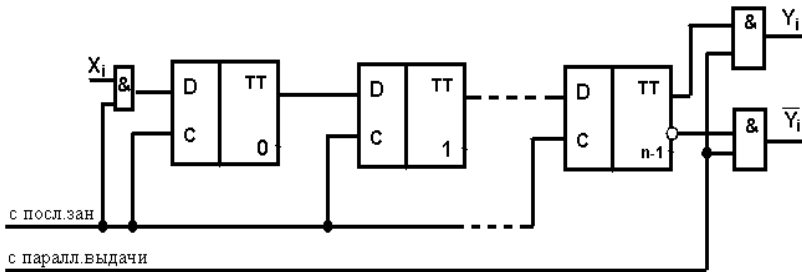
Базалық сұлбасы:

1. Ақпаратты қос фазалы енгізетін және бірфазалы шығаратын (оқитын) JK-триггеріндегі параллельді регистр. Ақпаратты қосфазалы шығару мүмкіндігі де бар.



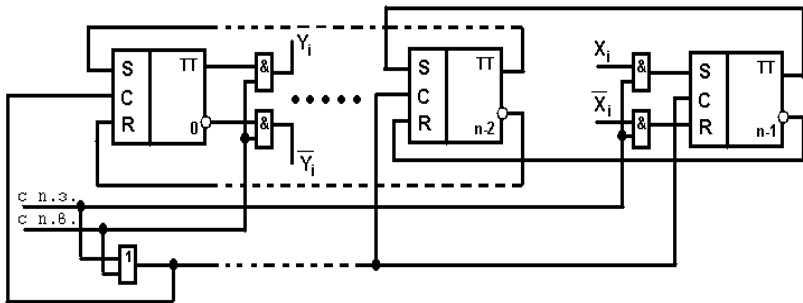
2.34 – сурет. JK-триггеріндегі параллельді регистр

2. Ақпаратты солдан оңға бір фазалы енгізетін және қос фазалы шығаратын D-триггеріндегі тізбекті регистрлер.



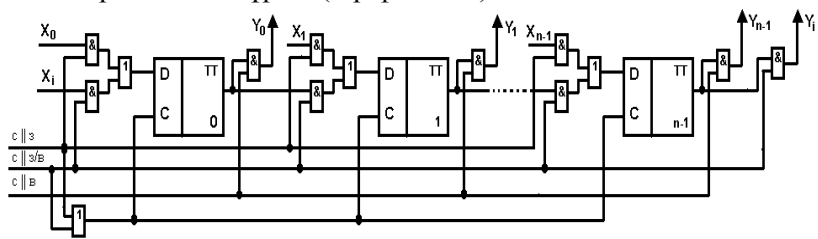
2.35 – сурет. D-триггеріндегі тізбекті регистр

Ақпаратты солдан оңға қос фазалы енгізетін және бір фазалы шығаратын RS- триггеріндегі тізбекті регистрлер.



2.36 – сурет. RS-триггеріндегі тізбекті регистр

3. Әмбебап, бірфазалы тізбекті D-триггеріндегі регистр, ақпаратты солдан оңға және параллель енгізеді, оқу тізбектей және параллельді жүреді (бір фазамен).



2.37 – сурет. D-триггеріндегі әмбебап регистр

Триггерлерден құрылған, негізгі атқаратын қызметі екілік жүйеде келтірілген разрядты цифрлар түріндегі сандарды қабылдауға және сақтауға арналған операциялық элементті регистр деп атайды. Бірақ кейбір регистрдің көмегімен тағайындау, жылжыту, түрлендіру сияқты кейбір қарапайым операцияларды орындауға болады. Регистрлердің негізгі түрлері: параллель және тізбектелген болып табылады. Тактіленуші D –триггерлерден тұратын параллель регистрде (2.37сурет) сақталынушы санның кодтары триггердің ақпараттық кірмелеріне келіп түсуі және регистрге жазылуы тактілік импульстың берілу мезгілінде атқарылады. Шықпалық ақпарат келесі ақпараттық сөздің және келесі жазу импульсының бір мезгілде келген кезде өзгереді. Ондағы

триггерлердің саны сақталынатын сөздердің разрядтылығының максимумына тең. Динамикалық басқарымды D–триггерлерден тұратын тізбектік регистрдің схемасы мен оның жұмысын сипаттайтын диаграмма 2.37 суретте көрсетілген. С әктілік импульсы келісімен бірінші триггер оның D кірмесінде осыған дейін болған x кодын (0 немесе 1) жазады да, ал әрбір келесі триггер алдыңғысының осыған дейін болған күйіне ауыстырылады.

Себебі, D –триггердің кірмесіндегі жазылатын сигнал Q шықпасына тактілік импульстық таңдайшасына (сол кезде жазу жүргізіледі) үлкен кідіrmесінен кейін жазылады. Әрбір тактілік импульс регистрдегі санның кодын бір разрядқа жылжытады. Сондықтан да n – разрядты кодты жазу үшін тактілік импульс болуы қажет.

Суреттегі диаграммадан төртторынды 1011 саны регистрдің сәйкес разрядтарына (1- Q4, Q- Q3, 1- Q2, 1- Q1) төртінші тактілік импульс келгенде жазылатынын көреміз. Келесі тактілік импульс келгенге дейін бұл сан регистрдің Q4, ..., Q1 шықпаларында паралель код түрінде сақталынады. Сақталынған ақпаратты тізбектік код түрінде Q4 шықпасынан келесі төрт импульстердің (5-8) келу мезгілдерінде біртіндеп алады. Мұндай тәтіп тізбектеп оқу тәтібі деп аталады.

Әмбебап регистрлер тізбектеп және паралель оқып, жазуға өте қолайлы.

Мұндай регистрлерді паралель кодтарды тізбекті кодтарға және керісінше түрлендіруші ретінде пайдалануға болады. KISS сериясының KISS IP1 микросхемасы төртразрядты әмбебап ығыстырушы регистр (2.37 -сурет). Регистр C1 кірмесіне түсетін тактілік импульстер бойынша жылжыту тәтібінде жұмыс істейді. Бұл кезде V басқарушы кірмесінде төменгі деңгейлі сигнал болуы қажет. DO кірмесі осы режимде ақпаратты регистрдің бірінші разрядына енгізу үшін қызмет етеді. Регистр C2 кірмесіндегі синхронимпульс арқылы ақпараттық D1, ... D4 кірмелерінен паралель жазуды V кірмесінде жоғары деңгейлі кернеу болғанда жүргізеді.

Әмбебап регистрдің негізінде реверсивті ығыстырушы регистр құрастыруға болады. Ол үшін D1, D2, D3 кірмелерін Q2, Q3, Q4 шықпаларына осы ретпен қосады. Енді ақпаратты D0 кірмесіне, ал синхрондау импульстерін C1 кірмесіне берсек, онда $V=0$ болған кезде регистр нөмірлерді өсу жағына ығыстырады. (Оңға жылжыту). Егер ақпарат D4 кірмесіне беріліп, ал синхрондық импульс C2 кірмесіне берілсе, онда $V=1$ болған жағдайда регистр нөмірлердің кемитін жағына ығыстырады (солға ығыстыру).

Әмбебап регистрлерде орындалатын қарапайым операциялардың түрлерінің көп болуы олардың қолдану аймағын кеңейтті.

Кодтардың комбинациялық түрлендірушілері

Кодтардың комбинациялық түрлендірушілері кірмедегі m –элементті паралель кодты шықпадағы n –элементті кодқа түрлендіреді. Кірмелік және шықпалық сигналдардың байланыстарын ақиқаттық кестелер немесе логикалық функциялар түрінде көрсетуге болады. Осылардың ішіндегі ең кең тараған код түрлендірушілерді қарастырайық.

Бақылау сұрақтары

- ◇ Негізгі техникалық операциялар элементтерін сипаттап бер.
- ◇ Санауыштар дегеніміз не?
- ◇ Регистрлер туралы не білесің?
- ◇ Цифрлық компаратор дегеніміз не, оның қызметі қандай?

2.7 Дешифраторлар, компараторлар олардың жұмыс істеу принциптері

- ↪ Сумматор.
- ↪ Шифраторлар.
- ↪ Дешифраторлар.
- ↪ Санауыштар.

Мультиплексор – бұл паралель цифрлық кодтарды тізбектік кодтарға түрлендіруші түйін. Автоматика

құрылғыларында мультиплексорды белгілі ақпараттық сигналдар көздерінде тізбектік немесе паралель сұраныс жасау үшін және осы сигналдарды бір шықпаға жіберу үшін қолданылады.

Төрт ақпараттық кірмелік мультиплексордың белгісі мен оның принципіалдық схемасы 2.44-суретте көрсетілген. Мультиплексордың екі түрлі кірмесі болады: ақпараттық (D) және кодтық немесе адресітік (A). Ақпараттық сызықты анықтау адресітік кірмелерге түсетін кодтар арқылы жүреді. Сондықтан осындай құрылғының Q шықпасына і нөмірі A1, A2 адресітік кірмелеріндегі кодтарға сәйкес келетін Di ақпараттық кірмесінің логикалық деңгейі жіберіледі. Принципіалдық схемадан

$$y = D0 \cdot \overline{A2} \cdot \overline{A1} \vee D1 \cdot \overline{A2} \cdot A1 \vee D2 \cdot A2 \cdot \overline{A1} \vee D3 \cdot A2 \cdot A1$$

екендігін байқаймыз.

Ақпараттық кірмелердің санын көбейту үшін адресінің разрядтылығын ұлғайту қажет.

Шифратор (кодтаушы) кірмелердің біреуіндегі бірлік сигналдар n разрядты екілік кодқа түрлендіреді. Шифратор көбінесе ақпарат енгізу құрылғыларында ондық сандарды екілік жүйеге келтіру үшін қолданылады. Мысалы, пультте 0-ден 9-ға дейін таңбаланған он перне болсын делік. Олардың кез келген біреуін басқанда шифратордың кірмесіне бірлік сигнал түседі (x0, ..., x9).

Шифратордың шықпасында осы ондық санның екілік коды (y0, ..., y3) шығуы керек. Ақиқаттық кестеден (2.4-кесте) бұл жағдайда оң кірмелі және төрт шықпалы түрлендіргіш қажет болатынын көреміз.

2.4.-кесте

Шифратор					
Ондық сан x	y3	Y2	Y1	Y0	
0					
1					
⋮					

y_0 шықпасында кез келген тақ пернелі x_1, x_3, x_5, x_7, x_9 басқанда бір пайда болуы керек, яғни $y_0 = x_1 \vee x_3 \vee x_5 \vee x_7 \vee x_9$. Қалған шықпалардың жағдайлары $y_1 = x_2 \vee x_3 \vee x_6 \vee x_7$; $y_2 = x_4 \vee x_5 \vee x_6 \vee x_7$; $y_3 = x_8 \vee x_9$ логикалық функциялармен анықталады. Сонымен, шифраторды жасау үшін бір бес кірмелі, екі төрт кірмелі және екі кірмелі яғни барлығы төрт элемент керек болады (2.38 сурет).

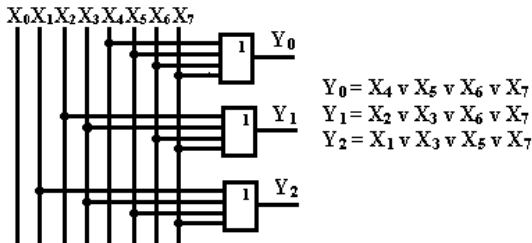
Шифратордың шартты-графикалық белгілерінде CD символы (ағылшын coder шифратор) қолданылады.

Шифратор – ЭЕМ функционалды түйіні, 2^n кіріс сигналдарының бірін n -разрядты шығыс сигналына түрлендіруге арналған. Шифратор – комбинациялық сұлба – НЕМЕСЕ логикалық элементінде құрылады. Дешифраторлар былай жіктеледі:

- сызықтық;
- көпсатылы.

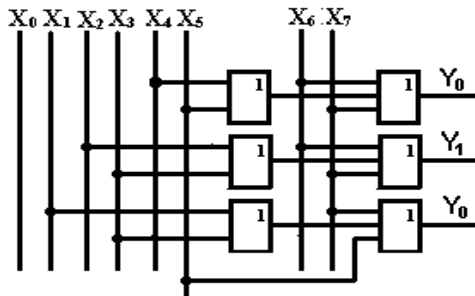
Базалық сұлбалары:

1. 8 кірісті сызықтық шифратор:



2.38 – сурет. 8 кірісті сызықтық шифратор

2. 8 кірісті көпсатылы (екі сатылы) шифратор:



2.39 – сурет. 8 кірісті көпсатылы (екісатылы)

Дешифратор (decoder) - бұл кірмелеріне түскен сигналдарды бір шықпасындағы сигналға түрлендіретін түйін.

Дешифраторлар басқару құрылғыларында, цифрлы индикациялау жүйелерінде, импульстарды әртүрлі тізбектерге таратушыларда жиі қолданылады. Дешифратордың шартты-графикалық белгілерінде DC (ағылшын decoder-дешифратор) символы қолданылады. Әрбір 2^n мәндік кірмелік кодқа дешифратордың бір шықпасында бірлік сигнал сәйкес болуы керектігінен екілік n -разрядты кодтық дешифратордың 2^n шықпасы болуы керек.

2.4. кестедегі x_3, \dots, x_0 екілік кодтарды кірмелік сөзге теңеп, ал ондық кодты шықпалық ақпарат деп ойласақ, осы кестеден дешифратор үшін ақиқаттық кесте алуға болады. Мұндай дешифратордың логикалық функцияларының сипатталуы аса қарапайым:

$$y_0 = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot \overline{x_0}; \quad y_1 = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \cdot x_0;$$

$$y_2 = \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot \overline{x_0}; \quad y_3 = \overline{x_3} \cdot \overline{x_2} \cdot x_1 \cdot x_0;$$

Дешифратор – ЭЕМ функционалды түйіні, n -разрядты кіріс сигналын 2^n шығыс сигналдарының біріне түрлендіруге арналған. Дешифратор комбинациялық сұлба болып табылады. ЖӘНЕ, НЕМЕСЕ логикалық элементтерінде құрылады.

Жіктелуі:

1. ішкі жұмысы бойынша (сатылар саны бойынша):

- сызықтық (кірістер саны $n \leq 8$);
- көпсатылы (кірістер саны $n > 8$).

Дешифратор жұмысы ақиқат кестесімен сипатталады (2.5

– кесте):

2.5 – кесте

№п	x_1	x_2	x_3	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1
	y_0	y_1	y_2	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8

$$Y_0 = \overline{X_1} \overline{X_2} \overline{X_3}$$

$$Y_1 = \overline{X_1} \overline{X_2} X_3$$

$$Y_2 = \overline{X_1} X_2 \overline{X_3}$$

$$Y_3 = \overline{X_1} X_2 X_3$$

$$Y_4 = X_1 \overline{X_2} \overline{X_3}$$

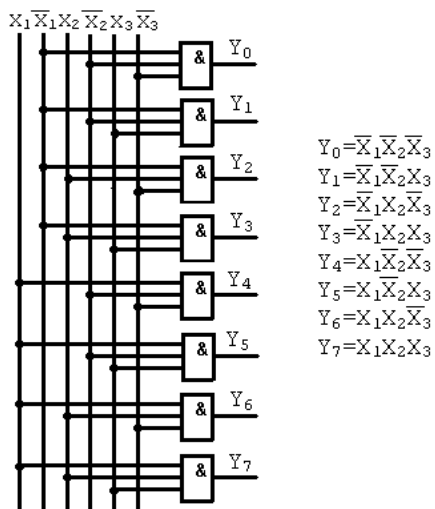
$$Y_5 = X_1 \overline{X_2} X_3$$

$$Y_6 = X_1 X_2 \overline{X_3}$$

$$Y_7 = X_1 X_2 X_3$$

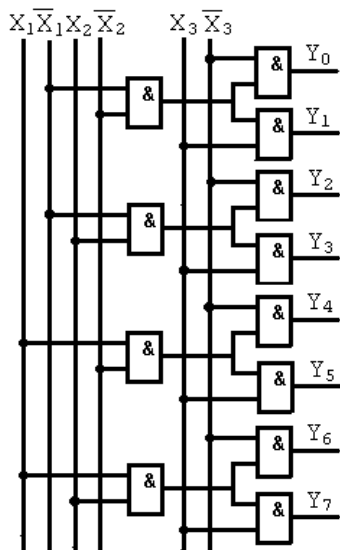
Базалық сұлбасы:

1. 3 кірісті сызықтық дешифратор:



2.40 – сурет. Кірісті сызықтық дешифратор

2. 3 кірісті көпсатылы (екісатылы) дешифратор:



2.41 – сурет. Көпсатылы (екісатылы) дешифратор 3 кіріске

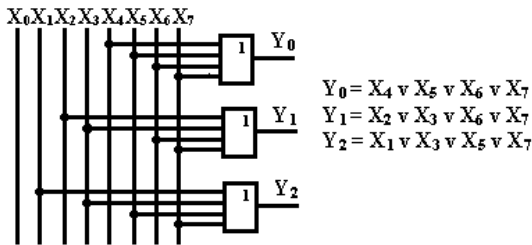
Шифраторлар.

Шифратор – ЭЕМ функционалды түйіні, 2^n кіріс сигналдарының бірін n -разрядты шығыс сигналына түрлендіруге арналған. Шифратор – комбинациялық сұлба – НЕМЕСЕ логикалық элементінде құрылады. Дешифраторлар былай жіктеледі:

- сызықтық;
- көпсатылы.

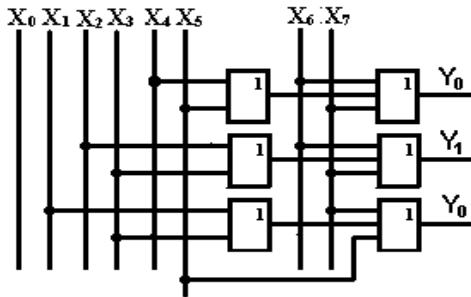
Базалық сұлбалары:

2. 8 кірісті сызықтық шифратор:



2.42 – сурет. 8 кірісті сызықтық шифратор

2. 8 кірісті көпсатылы (екі сатылы) шифратор:



2.43 – сурет. 8 кірісті көпсатылы (екісатылы)

2.8 Мультиплексорлар, демультиплексорлар.

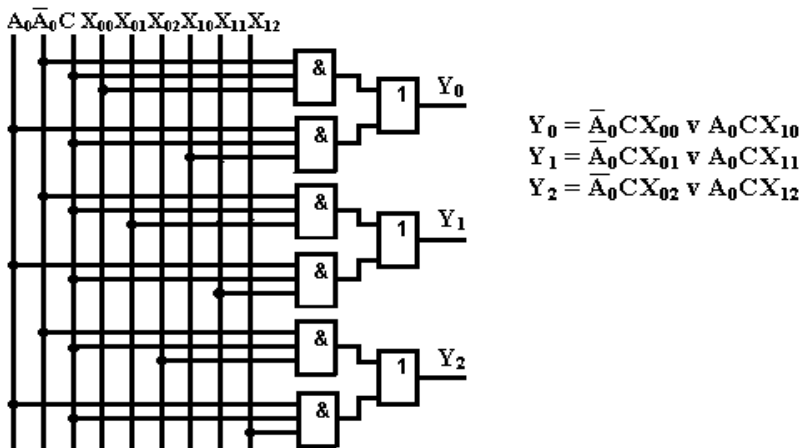
Мультиплексорлар

Мультиплексор – ЭЕМ функционалды түйіні, m – кірістердің бірінен n –разрядты кіріс сигналын n – разрядты

шығысқа коммутациялауға арналған.

Мультиплексор есептеу машинасында қолданылады, мысалы, ақпараттың қандай көзінен ақпарат процессор кірісіне келіп түседі, саны анықтайды (ақпарат көзі – процессордың қызмет етуші регистрлері, L1 деңгейлі КЭШ жады, жедел жады, винчестер, сыртқы ЕСК және т.б.)

3 разрядтан 2 каналды мультиплексордың базалық сұлбасы:



2.44 – сурет. 3 разряд бойынша 2 каналды мультиплексор мұндағы A_0 – адрестік шина, егер

$A_0 = 0$ (яғни $\bar{A}_0 = 1$), онда ақпарат 0-ші каналдан қабылдайды;

$A_0 = 1$ (яғни $\bar{A}_0 = 0$), онда ақпарат 1-ші каналдан қабылдайды.

X_{ij} – ақпарат арналары.

Демультимплексорлары.

Демультимплексор – ЭЕМ функционалды түйіні, бір кірістен n – разрядты сигналды m – шығыстың біріне (әрқайсысы n - разрядтан) коммутациялауға арналған.

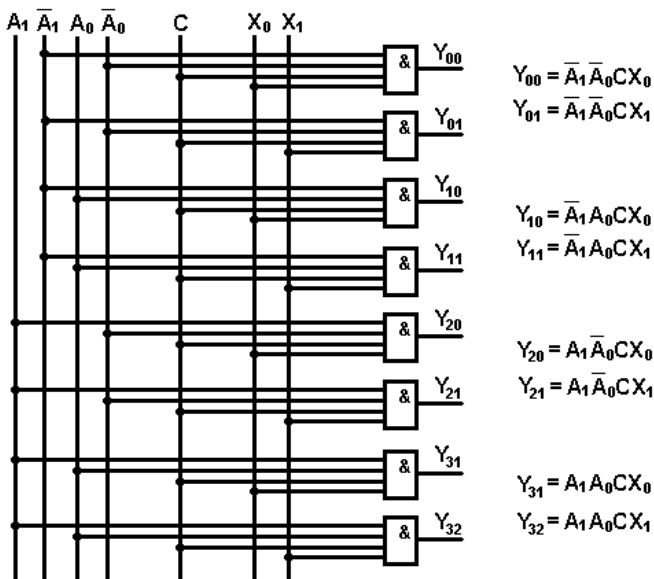
Демультимплексор есептеу машинасында процессордың шығысындағы ақпараттың қандай орынға баратынын анықтау

үшін (бұл мысал) қолданылады. Мысалы, аудио/видеоканалдар, баспа құрылғысы, сыртқы еске сақтау құрылғылары және т.б. Сондай-ақ, мультиплексорлар мен демультимплексорлар енгізу/шығару порттары мен процестерарасында алмасатын ақпаратты жаю (мультиплексор) және қаттау (демультиплексор) кезінде де қолданылады.

Тізбекті порт үшін: кірісінде – келіп түсетін бір биттік ақпаратты (демультиплексор) 32 – разрядты стандартты сөзге қаттау, шығысында 32 - разрядты сөзді (мультиплексор) 32 – битті тізбекке жаю.

Параллель порт үшін: 32 – разрядты сөзді қаттау және жаю байт бойынша жүзеге асырылады. Егер параллель порт 32 – разрядты болса – онда қаттау және жаю талап етілмейді және порт кірісіне мультиплексор (демультиплексор қойылмайды).

2 разрядтан, 4 каналды демультимплексордың базалық сұлбасы:



2.45 – сурет. 2 разряд бойынша 4 каналды демультимплексор

A_1, A_0 кіріс сигналдарында 00 комбинациясы болса, $X_0 X_1$

сигналдары 0-ші каналдың Y_{00}, Y_{01} шығысына беріледі.

$A_1, A_0 = 01$ болса – онда $X_0 X_1$ 1-ші каналдың Y_{10}, Y_{11} шығысына беріледі.

$A_1, A_0 = 10$ болса – онда $X_0 X_1$ 2-ші каналдың Y_{20}, Y_{21} шығысына беріледі.

$A_1, A_0 = 11$ болса – онда $X_0 X_1$ 3-ші каналдың Y_{20}, Y_{21} шығысына беріледі.

Қосындылағыштар.

Қосындылағыш – ЭЕМ-нің функционалды түйіні үш екілік санды қосуға (қосылатын сандар және алдыңғы разрядтан тасымал) және шығысында қосынды сигналы мен тасымалдарды қалыптастыру үшін арналған.

Жіктелуі:

1. Кірістер саны бойынша:

- жартылай қосындылағыш;
- бір разрядты қосындылағыш;
- Көпразрядты қосындылағыштар: * тізбекті;

* параллельді;

2. Разряд аралық тасымалдарды ұйымдастыру тәсілі бойынша:

- тізбекті тасымалды;
- параллель тасымалды;
- топтық құрылымды;

3. Логикалық құрылымы бойынша:

- комбинационды қосындылағыштар;
- жинақтаушы қосындылағыштар;

4. Тактілеу тәсілі бойынша:

- асинхронды;
- синхронды;

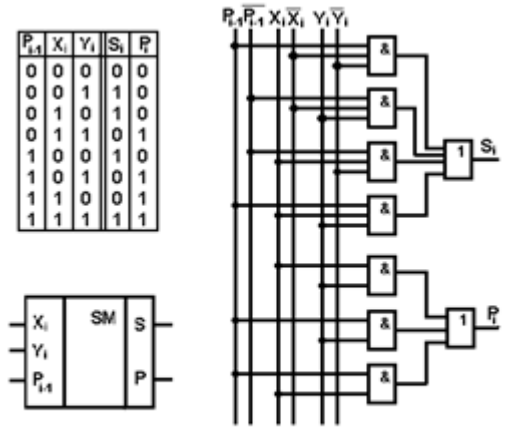
5. Санау жүйесіне байланысты:

- екілік;
- Екілік-ондық;
- басқа да.

Базалық сұлбасы:

1. Бірразрядты екілік комбинациондық қосындылағыш:

Жылдамдығы жоғары, дегенмен S_i және P_i сигналдары тек кіріс сигналдарының әсері кезінде ғана жұмыс істейді (сақтау жоқ).



$$S_i = \bar{P}_{i-1} \bar{X}_i \bar{Y}_i \vee \bar{P}_{i-1} X_i \bar{Y}_i \vee \bar{P}_{i-1} \bar{X}_i Y_i \vee \bar{P}_{i-1} X_i Y_i$$

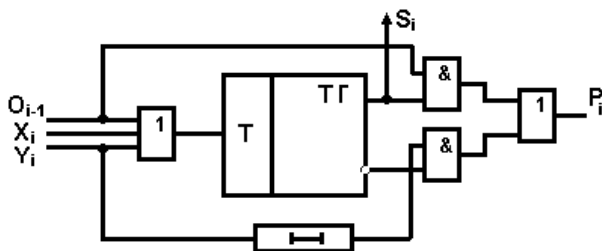
$$P_i = \bar{P}_{i-1} X_i Y_i \vee \bar{P}_{i-1} \bar{X}_i Y_i \vee \bar{P}_{i-1} X_i \bar{Y}_i \vee \bar{P}_{i-1} \bar{X}_i \bar{Y}_i =$$

$$= X_i Y_i \vee P_{i-1} Y_i \vee P_{i-1} X_i$$

2.46 – сурет. Бірразрядты екілік комбинациялық қосындылағыш

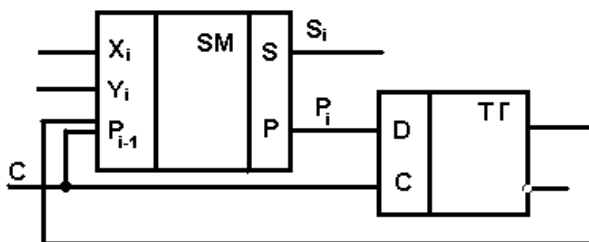
2. Бір разрядты жинақтауышты екілік қосындылағыш:

Жұп санауыш триггерлер негізінде құрылады. Комбинациялықпен салыстырғанда жылдамдығы төмен (кіріс сигналдары тізбектей келіп түседі).



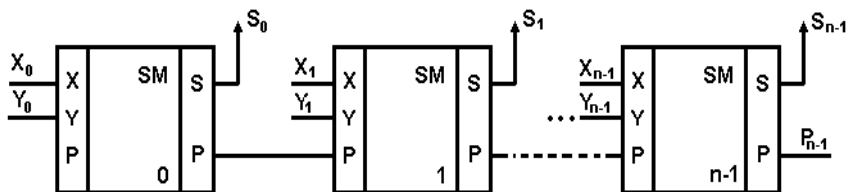
2.47 – сурет. Бірразрядты жинақтаушы екілік қосындылағыш

3. Көп разрядты тізбекті қосындылағыш:



2.48 – сурет. Көпразрядты тізбекті қосындылағыш

4. Тізбекті тасымалды көпразрядты параллель қосындылағыш:



2.49 – сурет. Тізбекті тасымалды көпразрядты параллель қосындылағы.

Санауыштар

Санауыш деп кірмесіне түскен импульстерді санын есептейтін тізбектелген амалды операциялық элементті атаймыз. Санау нәтижесі келесі импульстың келуіне дейін

санауышта сақталады. Санау нәтижесін оқу санауыш импульстардың келу аралықтарында өтуі мүмкін.

Санауыштар, жылжытушы регистрлер сияқты тізбектеліп жағасқан триггерлерден тұрады. Санауыштың разрядтылығын яғни триггерлердің саны N ол санай алатын санның максимумымен анықталады. Бұл сан санау коэффициенті (модулы) k деп аталады. Егер кірмеге келетін импульстардың саны $n > k_{\text{сан}}$ болса, онда әрбір $k_{\text{сан}}$ санынан кейін санауыш өзінің бастапқы қалпына келіп, импульстерді қайтадан санай бастайды.

Санауыштардың есептеу техникасында да және әртүрлі автоматика құрылғыларында да кең қолданылуы себепті олардың түрлері де аса көп. Олар командалардың адрестерінің тізімін құрастыруға, орындалған операциялардың санын анықтауға, аналогтық-цифрлық түрлендіргіштердің кодтарын есте сақтап қалуға және т.б. жерлерде қолданылады. Санауыштардың ең кең тараған түрлеріне тоқталайық.

Сақиналық (тұйықталған) санауыш.

Сақиналық санауышты жылжытушы регистрден оның соңғы триггерінің шықпасын бірінші триггердің D кірмесімен жалғау арқылы алуға болады. Осындай N разрядты санауыштың схемасы 2.46- суретте келтірілген. Санау басталар алдында, бастапқы тағайындау импульсымен бірге санауыштың нөлдік разрядына логикалық 1, ал қалған разрядтарына логикалық 0 орнатылады. Санау басталғанда әрбір келуші санауыш T импульстары 1-ді келесі триггерге көшіріп жазады да, келіп түскен импульстердің саны «1» коды жазылған шықпалық нөмірімен анықталады. Соңғылық алдындағы $(n-1)$ -ші импульсы ақырғы триггерді бірлік күйге келтіріп, ал n -ші импульс бірлік күйді нөлінші триггерге көшіреді де, санау қайтадан басталады. Сонымен кез келген сан санау коэффициентті сақиналық санауышты $k_{\text{сан}} = N$ болатындықтан тек триггерлер санын өзгерте отырып құрастыруға болады. Осындай санауыштардың мезгілдік диаграммалары мен шартты-графикалық белгісі 2.46-суретте көрсетілді.

Сақиналық санауыштардың негізгі қолдану аймағы басқарушы сигналдардың қажетті мезгілдік тізбегін жасайтын таратушы импульстер. Басқа жағдайларда триггерлердің аз санымен қажетті $k_{\text{сан}}$ санақтық коэффициентті алуға қолайлы санаушы триггерлер санауыштар қолданылады.

Асинхронды (тізбектік) екілік санауыш.

Асинхронды екілік санауыш тізбектеле қосылған санаушы триггерлердің тізбегінен құралады. Санау нәтижесі санауыштың $Q(n-1)$, ... , $Q0$ шықпаларында саналған импульстардың параллель оқылған екілік кодтары түрінде болады. Шықпалық айнымалылардың саны триггерлердің санына N болатындықтан және әрбір айнымалы екі мән ғана қабылдай алатындықтан жағдайлардың мүмкін саны (санау коэффициенті) $k_{\text{сан}} = 2^n$ тең болады. 2^n жағдайлардың бірі нөлдік жағдай болатындықтан санауыштың бірлікпен толтырылатын ең көп саны $(2^n - 1)$ -ге тең болады.

Бір разрядты санау коэффициенті $k_{\text{сан}} = 2$ болатын қарапайым санауыш бұрын қарастырылған бір күйін кері жағдайға кірмелік сигналдың әсерімен ауыстыра алатын Т-триггер болып табылады. Осының нәтижесінде триггердің шықпасындағы кернеудің өсіп-кемуінің жиілігі кірмедегіден екі есе аз болады. Осы өсіп-кемулермен келесі триггер іске қосылып, оның шықпасындағы күй өзгерісі бірінші триггерден екі есеге сирейді.

2.47-суретте кірмелік сигналдың соңғы кесіндісімен іске қосылатын төрт разрядты Т-триггерлі екілік санауышпен оның жұмыс тәртібін сипаттайтын мезгілдік диаграмма кескінделген. Лианграммалар санауыш толтырылғанда кез келген яғни санауыштың барлық шықпаларында бірліктер орнатылған кезден басталады. Санауышпен саналған импульстардың қосындысы $1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 15$ болып, төртразрядты санауыштың ақырғы күйін $(2^4 - 1)$ көрсетеді. 16-импульстың артқы кескісінде триггерлердің күйі аумады (кері күйге ауысады) да, санауыш бастапқы нөлдік күйіне көшеді. Сондықтан 16-шы импульсты нөлдік импульс деп те атайды. Әрбір келесі импульстың түсуімен санауыш толып кетіп

(триггерлер нөлдік күйге түсіргенге дейін), санауыштың шықпасындағы екілік код бірге артып отырады.

2.47-суреттегі диаграммада әр триггердегі кідірмені есепке алып жасалған шықпалық сигналдар бейнеленген. Диаграммдан санауыштың шықпаларындағы ақиқаттық

тактілік импульстың кескінінен кейін $N \cdot t_{кодтар}^{1.0}$ уақыт ішінде тағайындалатыны айқын көрінеді. Мұндағы, $t_{кодтар}^{1.0}$ - әр триггердегі импульстың кідіrmесінің таралу шамасы.

Санауыштың разрядтылығын бұдан әрі ұлғайту кідірменің өсуіне ықпал етіп, ақпараттың ақиқаттығының бүлінуіне келтіруі мүмкін. Сондықтан көпразрядты, бір триггерден екінші триггерге санау импульстері тізбекті тасымалданатын көп разрядты санауышта тек төменгі жиілікте жұмыс істей алады.

Осы қарастырылған қосушы санауыштардан басқа шықпалық коды әрбір санаушы импульстың келуімен бірге кеміп отыратын азайтушы санауыштар да болады. Мұндай санауыш тактілік кірмелерге инверстік сигналдарды беру арқылы іске асырылады. Ол үшін соңғы триггерлердің тактілік кірмелерін алдыңғы триггерлердің инверстік \overline{Q} шықпаларына жалғау керек. Азайтушы санауыштың жұмысын талдау үшін оқушы 2.47-суретте көрсетілгендей мезгілдік диаграмма тұрғызуы қажет.

Санауыштың құрамына триггерлердің тактілік кірмелерін алдыңғы триггерлердің инверстік шықпаларына айырма қосатын мультиплексор енгізіп, санау бағытын өзгертіп тұратын реверсивті санауыш аламыз.

Синхронды (паралель) екілік санауыш

Синхронды (паралель) екілік санауыш тактілік импульстер триггерлердің барлық кірмелеріне бір мезгілде берілетіндігінен жоғары жылдамдықта жұмыс істейді. Өзі 4.12-суретте бейнеленген, ал мезгілдік диаграммасы 2.48.б-суретте көрсетілген үшразрядты синхронды екілік санауыштың

жұмысын қарастырайық. Диаграммаларда санауыштың үш разрядының санау кірмелері мен тіке шықпалары өзара сәйкес $T1, T2, T3$ және Q_1, Q_2, Q_3 деп белгіленген. Жұмыс басталар алдында R кірмесіне берілетін бірлік сигналмен барлық шықпаларда нөлдік күй орнайды. Өзара тұйықталған T және PO кірмелеріне санауыш импульстер беріледі. Барлық триггерлер бастапқы нөлдік күйде болатындықтан бірінші импульс бірінші триггердің кірмесіне түсіп және $D1$ триггерін аунатып түсіп, бірлік күйге келтіреді де $\Delta 5$ (және) элементін екінші импульста $\Delta 2$ санау кірмесіне жіберуге дайындайды. Келесі импульстердің өтуін мезгілдік диаграммадан $\Delta 4, \Delta 5, \Delta 6$ элементтерімен орындалатын логикалық функциялардан көріп отырамыз:

$$T1 = T \cdot PO = T; T2 = T \cdot Q1; T3 = T \cdot Q1 \cdot Q2;$$

Үш триггердегі кідірме бірдей болғанда санауыштың барлық разрядтарында ақпарат алмасу бір мезгілде болатыны диаграммадан көрініп тұр. Параллель санауыштың разрядтылығын арттырған сайын көп кірмелі ЖӘНЕ элементтеріне қажеттілік туады. Сондықтан көбінесе 2.48, в суретте көрсетілген интегралдың орындалу төрт разрядты санауыштар шығарылады. Көп разрядты санауыштар жасау үшін бірнеше осындай микросхемаларды қабылдауға рұқсат беру кірмесіне P тасымал шықпасы қосылады. Мезгілдік диграммалардан ешқандай қосымша кідірмесіз $T1$ тактілік импульсын қалыптастыруға P тасымал сигналы мүмкіндік беретінін көреміз.

Кез келген санау коэффициентті санауыш

Орнықты күйлі саны 2^n - нен өзгеше санауыштарға деген қажеттілікте жиі болып тұрады. Мысалы, электрондық сағаттарда санау коэффициенті 6-ға тең ($6 \cdot 10$ минут), онға тең (минут бірлігі), жетіге тең (апта күндері). Санау коэффициенті $K_{сан} \neq 2^n$ санауыштарды $2^n > K_{сан}$ шарты орындалатындай n триггерден құрастыруға болады. Әрине мұндай санауыштың қажетінен артық ($2^n - K_{сан}$) орнықты күйлері болады. Мұндай

қажетсіз күйлерді $K_{\text{сан}}$ коэффициент санына жеткенде санауышты нөлге түсіру арқылы алып тастауға мүмкіндік беретін кері байланыс тізбектері пайдаланылады.

Коэффициент саны $K_{\text{сан}} = 10$ санауыш үшін 4 триггер қажет ($2^3 < 10 < 2^4$). Санауыштың ол орнықты күйі болуы керек (0, 1, 2, 3, ..., 9). Он бірінші орнықты күйге ауысу үшін санауышты нөлдік күйге келтіру қажет. Мұндай санауыш үшін тағайындау кірмесіне (R-кірмесіне) 10 санына сәйкес (яғни 2 және 8) шықпалары бар кері байланыс орнатылады (2.49, а сурет). 11-ші күйдің ең басында (10 саны) және элементтің микросхемасына 2 кірмесінде де барлық триггерлерді нөлдік қалыпқа келтіретін (түсіріп тастайтын) логикалық 1 пайда болады.

Қарастырылған санауыш кез келген ондық цифрды оның екілік кодына келтіретін декада санауышының баламасы болады. Сондықтан мұндай санауыштарды екілік-ондық деп, ал оның шықпалық кодтарын екілік-ондық код деп (немесе 8421 коды деп) атайды.

Егер екілік-ондық санауыш саналған импульстерді көрнекі ақпарат түрінде (мысалы әр түрлі цифрдың өлшейтін приборлар) көрсетуді қажет ететін жүйелерге арналған болса, онда санауыштан кейін екілік-ондық кодты индикатордың жеті сегменттік кодына түрлендіруші қойылады.

Алдын-ала тағайындалатын санауыш

Алдын-ала тағайындалатын санауыш 0-ден $K_{\text{сан}} - 1$ -ге дейінгі кез келген санға сәйкес күйді бастапқы күй ретінде қабылдап, орнықтырылады. Бұл операция санауышқа қажетті санның кодын параллель жазу арқылы жүзеге асырылады. Санауыштың мұндай режимі ЭЕМ-ді басқарушы құрылғысындағы командалардың бастапқы адрестен басталатын командалары адрестерінің тізбегін құруда қажет болады. Алдын ала тағайындалатын санауыштар көбінесе әмбебап санауыш болады да, қосу-азайту, бастапқы кодты тағайындау, нөлді орнату (бастапқы қалыпқа келтіру) режимдерінде де жұмыс істей береді.

Жиілік бөлгіштер схемалар мен диаграммалардан (2.46-2.49 суреттер) санауыштардың жиілікті бөлуші функциясын

атқаратынын, яғни $1_{\text{кірме}}$ жиілікті импульстер тізбегінен соңғы триггерінің шықпасынан кірме жиіліктен $K_{\text{сан}}$ есе азайтылған f шықпа жиілікті импульстер тізбегі шығатынын байқадық. Санауыштардың бұл қолданыстарында дәл осы уақыт мезгілде оған қандай сан жазылғанын білудің қажеттілігі болмайтындықтан бөлгіштердің аралық шықпаларының болуы деп қажет болмайды. Бұл жағдай олардың құрылымын және схемасын жеңілдетеді. Осындай бөлгіштердің бір мысалы 10 шықпалы К155 ИЕ1 жиілік бөлгіші боасқан шықпаларды бөлгішті коэффициентті басқаратын кірмелер орнына пайдалануға болады.

Арифметикалық-логикалық түйіндер

Сумматор - екі санның арифметикалық қосындысын алу арналған құрылғы. Көп разрядты сан мен екілік сандарды қосқанда әрбір бірінші разрядта үш санның екінші және P_i кіші разрядынан түскен тасымалдық сан тұрады да, $P_i + 1$ алдыңғы разрядының тасымал сигналы қалыптасады. Бір разрядты сумматордың ақиқаттық кестесін жасайық (2.6. кесте) кестені талдай отырып, шықпалық шамалардың логикалық функцияларын жазайық;

$$S = \bar{A} \cdot B \cdot \bar{P} \vee A \cdot \bar{B} \cdot \bar{P} \vee \bar{A} \cdot \bar{B} \cdot P \vee A \cdot B \cdot P;$$

$$P_{i+1} = A \cdot B \cdot \bar{P} \vee \bar{A} \cdot B \cdot P \vee A \cdot \bar{B} \cdot P \vee A \cdot B \cdot P = A \cdot B \vee B \cdot P \vee A \cdot P.$$

2.6 – кесте

Кірме		Шықпа	
Қосылғыштар	Тасымал	Қосынды	Тасымал
A_i	B_i	P_i	P_{i+1}

Осы функциялар бойынша сумматорды инверторлар ЖӘНЕ элементтері және НЕМЕСЕ элементтері арқылы құрастыруға болады. $A=1011$, $B=1001$ және $P_0=0$ болсын. Сонда

Операнд	Разряд
---------	--------

	4	3	2	1	0	
A_i						
B_i						
P_i						
P_{i+1}						
S_i						
Нәтиже						

i -ші разрядтың шықпасында пайда болатын әрбір тасымал сигналы бірразрядты сумматордың үш қосылғыштарының бірі болады. Аралық тасымал сигналдары (пунктирмен қоршалған) сумматордың ИМС-ң сыртқы шықпаларына түспейді. Келтірілген мысалдан байқайтынымыз қосу әлпісі тізбекті түрде ретімен орындалады (кіші разрядтан бастап әр разрядқа бөлек): i -ші разрядтағы дұрыс нәтижені алу үшін алдымен ($i-1$)-ші разрядты қосып, оның P_i тасымалдық мәнін алу керек. Сондықтан тасымал мәнін тізбектеп анықтайтын сумматордың жылдамдығы A мен B -ны қосқанда тасымал бірлігі әрбір разрядта тізбекті ретпен орындалатын жағдаймен, яғни

$T_{kig \text{ тарату}} = n \cdot t_{kig \text{ тарату}}$ (мұндағы $T_{\text{тарату}kig}$ - бір разрядтағы тасымал сигналының тарату кідіrmесі) - тең болатын жағдаймен анықталады. Сумматордың жылдамдығын арттыру үшін құрылым принципі тесіп өтпелі тасымалды (синхронды санауыш) санауыштарға ұқсас паралель тасымалды схемаларды қолданады.

Салыстыру түйіні (цифрлық компаратор).

Цифрлық компаратор – A және B екі көп разрядты екілік сандарды салыстыруға арналған түйін. Мұндай есептер автоматтық құрылғыларда жиі туындайды. Мысалы, әр тактіде 1-ге артып (немесе азайып) отыратын A айнымалы қай кезде алдын ала берілген B санына теңесуі мүмкіндігін анықтау.

Бұл есепті шығаруды (екі көпразрядты A және B сандарының теңдігін анықтауды) екі кезеңге бөлуге болады. Бірінші кезеңде бұл екі санның әр разрядтарн өзара теңдігі ($A_i=B_i=1$ немесе $A_i=B_i=0$) анықталады. Бұл операцияны

орындайтын логикалық элемент $Y = \bar{A} \cdot B \vee A \cdot \bar{B}$ теңдігі әділетті болатын екінші модульмен қосатын сумматор. Бұл теңдік Y шықпалық сигналы тек $A=B$ болғанда ғана төмен деңгейлі болатынын көрсетеді. Екінші кезеңде барлық сумматорлардың шықпалық сигналдарының екінші модуль бойыша төмен деңгейлі болуы тексеріледі. Бұл операцияны төмен деңгейлі сигналдар үшін көп кірмелі ЖӘНЕ көп кірмелі элементі орындайды. Сонда осы элементтің 0 шықпалық сигналы $Q = \bar{Y}_0 \cdot \bar{Y}_1 \cdot \dots \cdot \bar{Y}_n$ болады.

Сонымен n элементтен екінші модульмен қосатын және бір n –кірмелі ЖӘНЕ элементінен (инверстік сигналдар үшін) тұратын компоратордың шықпалық деңгейі (Q) $A=B$ жағдайында $Q=1$, ал $A \neq B$ жағдайында $Q=0$ болады.

N саны A және B сандарының разрядтылықтарының максимумына тең болуы керек.

Арифметикалық-логикалық түйін.

Цифрлық ақпаратты өңдейтін кез келген құрылғыда тізбектік және комбинациялық бөліктерден тұратын операциялық блок болады. Комбинациялық бөлік көп разрядты екі сандарға арифметикалық, логикалық операциялар орындайтындықтан сумматордан, салыстыру түйіндерінен және әртүрлі логикалық операциялар орындайтын басқа да түйіндерден тұрады. Негізінде бір микросхема түріндегі барлық операцияларды орындай алатын арнаулы арифметикалық-логикалық түйін тиімді.

Бұл ИМС төртразрядты A және B екілік сөздеріне орындалатын амалдарға арналған. Логикалық түрлендірулер мен арифметикалық амалдардың нәтижесі F шықпасына төртразрядты көз түрінде түседі. Одан басқа тасымал сигналдар үшін P_0 кірмесі мен P шықпасы, АЛҚ-ның разрядтылығын арттыру мақсатында бірнеше микросхемаларды біріктіруге қажетті G_0 және G_1 айнмалылар шықпасы бар. Разрядтылықты арттыру жұмысына жеңілдік болу үшін екі тасымал сигналы да (P_0 және P) кірмелік A және B сигналдарына инверсті (кері), яғни A мен B сигналдары жоғары деңгейлі болғанда тасымал

сигналдарында төмен деңгейлі кернеу болады. S басқарушы сигналдарының жиынына байланысты микросхема 16 логикалық операцияның біреуін ($S4=1$ болғанды) арифметикалық-логикалық операцияның бірін ($S4=0$) орындайды. Логикалық операциялар кірмелік сөздің әр разряды бойынша разрядтала орындалса, төртразрядты сөздерге орындалатын арифметикалық операцияларда тасымал сигналы ескеріледі.

АЛҚ-да орындалатын функциялар 2.7. кестеде көрсетілген
2.7 – кесте

Функцияны таңдау				Логикалық операция $S4=1$	Арифметикалық операция $S4=0$
3	2	1	0		
0	0	0	0	$F = \bar{A}$	$F = A + \bar{P}_0$

Белгілер: \vee - логикалық қосу;

\cdot - логикалық көбейту;

\oplus - 2-ші модуль бойынша қосу;

$+$ - арифметикалық қосу;

$-$ - арифметикалық азайту;

$F=A+A$ – солға бір разрядқа ығыстыру.

Бақылау сұрақтары:

- ❖ Мультиплексордың қызметі қандай?
- ❖ Сумматорлар дегеніміз не?
- ❖ Шифраторлар дегеніміз не?
- ❖ Дешифраторлар, олардың қызметі мен қолданылуы.
- ❖ Салыстыру түйіні - цифрлық компаратор туралы айт.
- ❖ Арифметикалық-логикалық түйін дегеніміз не?
- ❖ Кез келген санау коэффициентті санауыш туралы не білесің?
- ❖ Синхронды екілік санауыш туралы не білесің?
- ❖ Асинхронды екілік санауышты сипаттап бер.
- ❖ Сақиналық санауыш дегеніміз не?

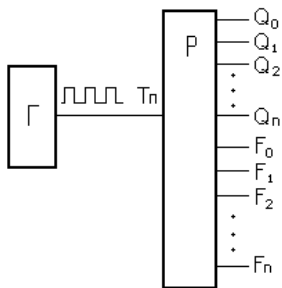
III тарау. Аналогтық электрондық құрылғылардың сұлбатехникасы

3.1. Аналогтық электронды құрылғыларды қолданылуы

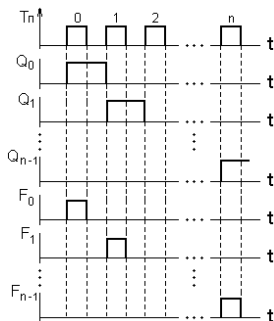
- ↪ Сигналдарды үлестіргіштер
- ↪ Аналогтық электронды құрылғыларды қолданудың ерекшеліктері.
- ↪ Операциялық күшейткіштер.
- ↪ Негізгі параметрлі, жіктелуі және сипаттамасы.

Үлестіргіштердің негізгі міндеттері цифрлық жүйе құрылғыларының жұмысын басқаруда қолданылатын сигнал тізбектілігін қалыптастыруға арналған. Үлестіргіштер сонымен қатар, программалы-уақыттық құрылғыларды, коммутаторларды және т.б. жасау кезінде қолданылады. Үлестіргіш кірісін берілген сигналдар ауыстырғыштар деп аталады да, кезекпен үлестіргіштің (арнаның) қандай да бір кірістеріне беріліп оларды активті күйге ауыстырады. Жұмысшы арналарда қалыптастыратын сигналдар түріне байланысты деңгей (потенциал) үлестіргіштері және импульс үлестіргіштері болады.

3.1-суретте сигнал үлестіргішінің құрылымдық сұлбасы және оның жұмысының уақыттық диаграммасы көрсетілген, мұнда Γ – импульс генераторлары; P – потенциалды (Y_0, Y_1, \dots, Y_{n-1}) және импульсті (F_0, F_1, \dots, F_{n-1}) шығыстары бар сигнал үлестіргіші. 3.4-суреттегі уақыттық диаграммадан деңгей үлестіргіштері арнаның активті күйлері арасында үзілістер болмауымен сипатталатынын көруге болады. Үлестіргіштің әрбір n -арналарының сигнал ұзақтықтары T_n ауысушы импульстер периодына тең. Деңгей үлестіргіштің активті арнасында сигналдың жұмысшы деңгейін қалыптастыру кезекті ауысушы импульс әсері кезінде немесе оның әсері аяқталған соң болады.



а)

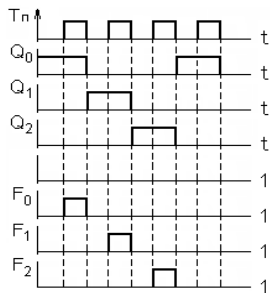
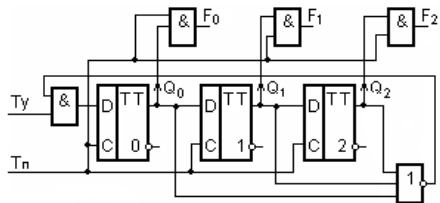


б)

3.1-сурет. Сигнал үлестіргіштерінің құрылымдық сұлбалары (а) және уақыттық диаграммасы (б)

Денгей үлестіргіштері импульс үлестіргіштерін сұлбатехникалық түрде іске асыру кезінде негіз етіп алынады, олар жұмысшы импульс активті арнада ауысушы немесе арнайы стробтаушы импульс әсері кезінде қалыптасуымен сипатталады. Бұл жағдайда активті арнада қалыптасатын импульстер ұзақтығы әдетте стробтаушы импульс ұзақтығына тең болды.

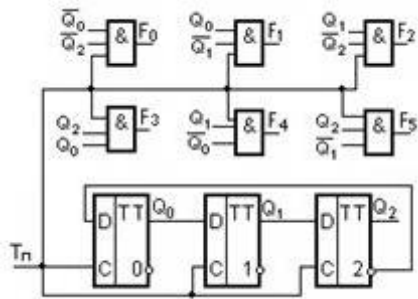
Сақиналы біртақтылы регистрде орындалған үлестіргіштің кеңінен қолданылатын сұлбасын қарастырайық. (3.2 сурет). Үлестіргіштің арналарының саны (n) регистрдің N разрядтарының санына тең. Үлестіргіштің сұлбасын орындауға жіберу $T_y = 1$ басқару сигналымен және T_n импульсімен орындалады, олардың көмегімен регистрдің кіші (нөлдік) разрядына 1 жазылды (алдын-ала регистр нөлдік күйде тұр деп есептелінеді), яғни үлестіргіште 001 жұмыс кодасы орнатылады. Ары қарай T_n келесі ауыстыратын импульстер келіп түскенде сақиналы регистрде 1 циклдық жылжыту орындалады (мұнда $T_y = 1$).

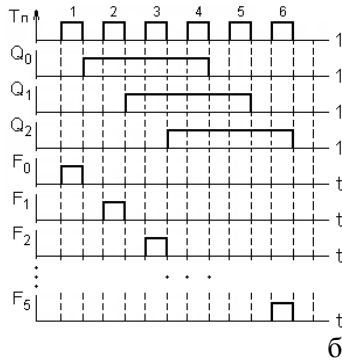


a)

б)

3.2-сурет. Сақиналы біртактылы регистрдегі үлестіргіштің сұлбасы (а) және оның жұмысының уақыт диаграммалары (б)





3.3-сурет. Айқас байланыстары болатын регистрде жасалынған импульстарды үлестіргіші (а) және оның жұмысының уақыттық диаграммасы (б)

3.3, а суретте ішкі кідіртулері болатын D-триггерлерде орындалған, айқас байланыстары болатын үшразрядты регистрде жасалынған импульстарды үлестіргіштің сұлбасы келтірілген. Джонсон санағышының кодасын “N-нен 1” кодасына түрлендіру үшін үлестіргіштің шығыстарында ЖӘНЕ дешифреудің элементтері қолданған, және кірістерінің біріне T_n тактілейтін импульс беріледі. Джонсон санағышы ішкі кідіртулері болатын D-триггерлерде орындалғандықтан, оның әрбір жаңа күйі T_n ауыстыратын ипульстің әрекеті аяқталғаннан кейін ғана қалыптасады (3.3,б суреттегі уақыттық диаграмманы қар.). 3.3 кестенің талдауынан Джонсон санағышының шығыс кодасын “N-нен 1” кодасына түрлендіру үшін біріліктер мен нөлдердің зоналарының арасындағы шекарада екі разрядтың күйін талдаса жеткілікті болады. Джонсон санағышының күйі 000 немесе 111 күйлерімен сипатталған екі жағдайда ғана, осы кодалардың дешифрлеуі шеткі разрядтарды талдау жолымен орындалады.

Сонымен, (3.4 сурет) күйлер кестесінің негізінде импульстар үлестіргішінің шығыс арналарында іске асырылатын функцияның өрнегін құрастыру қиынға соқпайды. (3.3, а сурет):

$$\begin{aligned}
 F_0 &= \overline{Q_0} \cdot \overline{Q_2} \cdot T; & F_1 &= Q_0 \cdot \overline{Q_1} \cdot T; & F_2 &= Q_1 \cdot \overline{Q_2} \cdot T; \\
 F_3 &= Q_0 \cdot Q_2 \cdot T; & F_4 &= \overline{Q_0} \cdot Q_1 \cdot T; & F_5 &= \overline{Q_1} \cdot Q_2 \cdot T.
 \end{aligned}
 \tag{3.1}$$

Номера импульсов Тп	Q ₀	Q ₁	Q ₂	Номера импульсов Тп	Q ₀	Q ₁	Q ₂
0	$\overline{0}$	0	$\overline{0}$	3	$\overline{1}$	1	$\overline{1}$
1	$\overline{1}$	$\overline{0}$	0	4	$\overline{0}$	$\overline{1}$	1
2	1	$\overline{1}$	$\overline{0}$	5	0	$\overline{0}$	$\overline{1}$

3.4-сурет. Үлестіргіштің күйлерінің кестесі

Бақылау сұрақтары:

- ◇ Сигнал үлестіргіштерінің негізгі тағайындауы?
- ◇ Сақиналы жылжытқыш регистрінде сигнал үлестіргішінің сұлбасын құрыңыз және оның жұмысының ұстанымын түсіндіріңіз.
- ◇ Джонсон типті санағыш негізінде сигнал үлестіргішінің сұлбасын құрыңыз және оны құру ерекшеліктері мен жұмысының ұстанымын түсіндіріңіз.
- ◇ Шығыстарында қалыптасыратын сигналдардың түрлеріне байланысты үлестіргіштерді қалай жіктейді?
- ◇ Сигнал үлестіргішінің сұлбасында «артық» бірліктердің, сонымен қатар жалғыз бірліктің жоғалуынан пайда болатын ақауларды қалай болдыртпайды?

3.2. Операциялық күшейткіш негізінде жасалған аналогтық сигнал түрлендіргіштер.

- ⊕ Жартылай өткізгішті жады құрылғылары
- ⊕ Операциялық күшейткіштің құрылымдық сұлбасы.
- ⊕ Статикалық жады. Кэш-жады
- ⊕ Аналогтық сигналды салыстыру құрылғысы.
- ⊕ Компараторлар.

- ↳ Сигналдарды үлестіргіштер
- ↳ Аналогтық электронды құрылғыларды қолданудың ерекшеліктері.
- ↳ Операциялық күшейткіштер.
- ↳ Негізгі параметрлі, жіктелуі және сипаттамасы.

Жады құрылғылары (ЖҚ) ақпаратты – команда кодаларын және деректерді қабылдауға, сақтауға және шығаруға арналған. Жады құрылғысында ақпарат ұяшықтарда екілік кода түрінде сақталынады. Ақпаратың өлшем бірлігі бит болып табылады, ол логикалық “0” немесе логикалық “1” мәндерін қабылдайды. Әдетте бір битке тең ақпарат жады элементі деп аталатын қарапайым ұяшықта сақталады. Жады құрылғысының әрбір ұяшығының өз адресі болады. Жады құрылғысында ақпаратты сақтаудың минимальді адресітеуші бірлігі 8 ақпаратты биттен тұратын байт.

Жады құрылғысының негізгі параметрлері: жады сиымдылығы және жылдамдығы, сонымен қатар, деректер бірлігін сақтаудың салыстырмалы бағасы (сақтау бірлігіне қатысты, яғни байттың мбайтқа қатысты тасымалдағыштары бар жинақтағыш бағасы). ЭЕМ-ң ақпараттық және программалық жабдықтарын қолдану тиімділігі жады құрылғыларының осы параметрлеріне байланысты. Жады құрылғыларының сиымдылығы (С) сақталынатын ақпараттық максимальді көлемін сипаттайды және жады ұяшықтары сонымен анықталады. ЖҚ-ң сиымдылығы ұзындығы көрсетіле отырып, (L-разрядтылық) бит немесе сөз санымен көрсетіледі. Үлкен көлемді ақпаратты өлшеу үшін кило (К) және мега (М) тіркестері қолданылады, яғни 1Кбит=1024 бит және 1Мбит =1 048 576 бит. Сақталынатын сөздердің саны және разрядтылығы ЖҚ ұйымдастыру әдісіне (N*L) байланысты. Мысалы, С=16 Мбиттік сыймдылығы бар жады құрылғысында келесідей таңдаулар ұйымдастырылуы мүмкін: 1*16М, 2*8М, 4*4М, 8*2М және 16*1М. Сонымен қатар, жады құрылғысының ұйымдастырылуына байланысты ақпаратты жазу-оқу

операциялары бір (бір арзрядты таңдау) немесе бірнеше (сөздік таңдау) жады элементінде орындалуы мүмкін. Сөздік таңдау кезінде, бір уақытта жады элементінің 2, 4, 8 және т.б. орындарда толық сөз немесе оның бөлігі таңдалады.

Жылдамдық – $t_{к.к.}$ -қатынас құру уақытымен, ал оқу-жазу физикалық процесстерінің ұзақтығы – оқу кезінде зақымдалған ақпаратты қалпына келтіруге қажетті $t_{рег}$ -регенарация уақытымен анықталады. Оқу процесі ақпаратты зақымдамай орындалатын кейбір типті жады құрылғыларында (мысалы, статикалық жады құрылғысында) регенарация операциясы орындалмайды, $t_{рег}=0$. Қатынас құру уақыты деп деректерді жазуға немесе оқуға сұраныс беретін сигналдың келу уақытына байланысты пайдалы ақпаратты алмастырудың басталуының орташа кідірісін түсіну керек.

Қазіргі замандық ЭЕМ құрамында түрлі типті жады құрылғылары қолданылады, олар міндеті, қатынас құру әдістеріі, жұмыс істеу принциптері және ақпаратты сақтау әдістері бойынша жіктелінеді.

Қатынас құру (таңдау) әдісі бойынша жады құрылғылары: еркін (тікелей), тура және тізбектеп қатынас құратын жады құрылғылары болып бөлінеді. Еркін қатынас құруы бар немесе еркін таңдауы бар жады құрылғылары жады ұяшықтарының матрицалық жиынын бейнелейді. Мұндай жады құрылғыларында қатынас құру уақыты, яғни жазу немесе оқу үшін кез келген ұяшыққа қатынас құру циклі матрицалық жиындағы ұяшықтардың орналасқан орнына (адресіне) тәуелді емес. Тура қатынас құратын жады құрылғыларына мысал ретінде дискідегі жадыларды (сыртқы жадылар) алуға болады, мұнда қатынас құру еркін тәртіппен орындалады, айырмашылығы, мұнда ұяшықтарға емес деректер блогына (файлдарға) қатынас құру орындалады. Дискілік жады бағасы салыстырмалы түрде арзан болады және ішкі жадыға қарағанда қатынас құру уақыты ұзағырақ болады. Тура қатынасты дискілік жады ішкі жады сияқты дербес компьютердің міндетті атрибуты болып табылады.

Тізбектеп қатынас құрумен сипатталатын магнитті ленталы тасымалдағыштардағы жады құрылғыларында ақпарат дискілік жадылардағыдай блоктық түрде сақталынады және олардың адресі тізбектеліп орналасқан. Мұнда берілген адрес бойынша қандайда-бір блокқа қатынас құру үшін магнитті лентаның (томның) маркерін табу керек. Содан соң тізбекті түрде (бос оқып өту) қажетті блокқа жеткенше барлық блоктарды қарап шығу керек, нәтижесінде қатынас құру уақыты ұзарады. Осындай нақты кемшіліктеріне (қатынас құру уақытының өте үлкен болуына және деректер алмасу жылдамдығының өте төмендігіне) қарамастан тізбектеп қатынас құратын жады құрылғылары бағасының арзандығына байланысты жедел қатынас құруды қажет етпейтін үлкен көлемді ақпараттарды (архивтерін) сақтау үшін қолданылады.

Тізбекті жады құрылғыларына процессор құрамына кіретін регистрлік ЖҚ, зарядты байланысы бар аспаптағы ЖҚ және де түрлі жылдам әрекетті құрылғылар арасында ақпарат алмасу кезінде деректеерді сақтауға арналаған буферлік ЖҚ кіреді. Буферлік жадыға мысал ретінде дисплейлі адаптердің бейне жадысын, СОМ-порттың “бірінші келген-бірінші шығады” тәртібімен ұйымдастырылған FIFO буферлерін, “бірінші келген-соңғы шығады” (LIFO) тәртібімен ұйымдастырылған стектік жадыларды алуға болады.

Еркін түрде қатынас құратын жады құрылғыларында ақпаратқа қатынас құру оның адресі бойынша орындалады. Ассоциативті ЖҚ-да, адрестік жадыларға қарағанда ақпаратты іздеу операциясы оның жадыда орналасқан орнымен (адресі немесе кезектегі орнымен) емес, қандай да бір ассоциативті белгісі бойынша жүргізіледі. Ол белгі бойынша кіріс сөзінің (тегтік адресінің) белгісімен сәйкес болып келетін сөздің (тегінің) белгілі бір өрістері салыстырылады.

Жады құрылғылары орындайтын функциялары бойынша жедел (оперативті) және тұрақты болып бөлінеді. Жедел жады құрылғылары процессор кез келген уақытта өзгертуі мүмкін ақпараттарды жазу, сақтау және оқу үшін қолданылады. Тұрақты жады құрылғылары процессор тек оқи алатын тұрақты

түрде жазылған ақпаратты сақтау және беру функцияларын орындайды. Сонымен, процессор жедел жадыда және тұрақты жадыда сақталынған ақпараттарға тікелей түрде қатынас құра алады.

Әдетте, жедел жады еркін қатынас құратын ЖҚ деп аталады (Random Access Memory, RAM). Еркін қатынас құру деп жедел жадыдағы кез келген ұяшықта жазу және оқу операцияларын еркін тәртіппен орындауды түсіну керек. Тұрақты жады да (Read Only Memory, ROM) еркін таңдау тәртібімен жұмыс істейді, яғни барлық ұяшықтарға тең қатныас құру мүмкіндігі бар. Алайда, тұрақты жадыда жұмыс кезінде жүйе алдын ала жазылған ақпаратты өзгертпейді немесе оның өзгертілу оқу процессіне қарағанда айтарлықтай ұзақ уақытты талап етеді.

Жады элементтерінің жұмыс істеу принципі бойынша және жады элементінде ақпараттың сақталуы бойынша жедел жадылар динамикалық және статикалық бөліп бөлінеді. Динамикалық жедел жадыларда жазылған ақпаратты қалпына келтіру және сақтау үшін регенерация процесін периодтты түрде қайталап отыру керек. Статикалық жедел жадыларда динамикалық жадыға қарағанда, ақпарат сақтау режимінде, яғни қатынас құру орындалмаған кезде де (бірақ тоқ көзі қосылған болуы керек) тиісті уақыт аралығында (регенерация процесінсіз) сақталады.

Жалпы жағдайда еркін қатынас құратын немесе еркін таңдайтын жады құрылғылары бірнеше модульдерден тұрады, олар биполярлы немесе МОП-технологиялар негізінде үлкен интералды сұлбалар (ҮИС) және аса үлкен интергралды сұлбалар (АҮИС) түрінде жасалынатын бір типті микросұлбалардан жобаланады.

Жады микросұлбаларының сөздік түрде ұйымдастырылуы (бір координаттық таңдау, бір өлшемді адресация) немесе матрицалы түрде (екі координаттық таңдау, екі өлшемді адресация) түрде ұйымдастырылуы мүмкін. Жады микросұлбасының сөздік түрде ұйымдастырылуы екі 2D типті

құрылымы бар жады құрылғыларына тән, ал матрицалық ұйымдастырылу 3D типті жады құрылғыларына тән.

Жады микросұлбаларын сөздік түрде ұйымдастыру кезінде бір өлшемді адресация орындалады, бұл кезде микросұлбаның таңдалынған қатарының барлық жады элементтеріне қатынас құру орындалады. Микросұлбаның жады элементтері матрицасының қатарын таңдау бір адрестік дешифратор (DC) көмегімен орындалады. Бұл дешифратор 2^m комбинация ішінен біреуін таңдау логикасы бойынша \overline{CS} микросұлба таңдау сигналы бар кезде жұмыс істейді, мұнда m – дешифратордың кіріс желілер саны; 2^m – сөзді (қатарды) таңдау желілері деп аталатын дешифратордың шығыс желілерінің саны. 2^m саны жады микросұлбасында сақталынған K сөздерінің санына тең. Дешифратордың m -кіріс желілеріне қажетті қатардың, яғни микросұлба ұяшығының адресі беріледі де, осығын сәйкес 2^m шығыс желілерінің біреуінде логикалық 1, ал қалғандарында логикалық 0 сигналы орнатылады. Таңдау желісіндегі логикалық 1 сигналы осы таңдалынған қатардағы барлық жады элементтерінде оқу немесе жазу операцияларын орындауға рұқсат береді.

Сөздік түрде ұйымдастырылатын (бір өлшемді адресация) микросұлбалар – салыстырмалы түрде ақпараттық сыйымдылықпен сипатталатын 2D типті құрылымдық жады құрылғыларында қолданылады.

Сақталынатын сөздің берілген разрядтылығы кезінде сөздік түрде ұйымдастырылатын жады микросұлбасының сыйымдылығын үлкейту сөз санын, яғни матрица қатарының санын көбейту арқылы ғана мүмкін болады. Бұл дешифратордың шығыс санының көбеюіне (көлемінің үлкеюіне) себеп болады, демек құрылымының күрделенуіне әкеліп соғады. Мысалы, $m=10$ адрестік кірісі бар дешифраторда $2^{10} = 1024$ шығыс бар, олардың әрқайсысы қатардағы жады элементімен бірігуі керек.

Сонымен, адрестік дешифратордың көлемін кішірейту үшін, яғни жады құрылғысы микросұлбасының сыртқы шығыстарының санын азайту үшін, сондай-ақ сұлбаны

қарапайымдату үшін матрицалы түрде ұйымдастырылған жады құрылғыларының микросұлбалары қолданылады, бұларда ақпаратты оқу-жазу операциялары бит бойынша орындалады. Бұл үшін матрицалы түрде ұйымдастырылған микросұлбада $m/2$ адрестік кірістері және $2^{m/2}$ шығыстары бар екі DC_x және DC_y дешифраторлары қолданылады (m -жұп сан, ал жады элементінің матрицасы квадратты деп саналады). Бұл екі DC_x және DC_y дешифраторларының көмегімен екі координаттық таңдау (екі өлшемді адресация) орындалады. DC_x дешифраторының шығыс желілері матрица қатарын таңдауға, ал DC_y – матрица бағанын таңдауға арналған. Екі дешифратордағы шығыс желілерінің жалпы саны келесідей анықталады: $2 \cdot 2^{m/2} = 2^{m/2+1}$, нәтижесінде сөздік түрде ұйымдастырылған микросұлбадағы бір адрестік дешифратор шығысына қарағанда айтарлықтай азаяды. Матрицалы түрде ұйымдастырылған микросұлбалар негізінде 3D типті жады құрылғылары жасалынады, олар “үш өлшемділік” сипатқа ие болады. Бұл жағдайда бірнеше микросұлбалар (осы микросұлбаның жады элементтерінің матрицасы) DC_x және DC_y дешифраторларымен басқарылады. Әрбір жады элементінің матрицасынан бір бит ақпарат оқылады, ал матрицасы саны сақталынатын сөздік разрядтылығына тең.

Матрицалы түрде ұйымдастырылған жады құрылғысына қатынас құру кезінде 2^m жады элементінің логикалық 1 сигналы орнатылған желісінің қатарымен бағаны қиылысуындағы тек біреуі ғана таңдалынады. Жады элементтерінің қалғандары сақтау режимінде болады да, барлық жады элементтеріне ортақ деректер шинасынан кесіледі. Егер W/R жұмыс режимін басқарушы сигнал 0-ге тең болса, сәйкес адресі бойынша таңдалынған жады элементінен биттік ақпарат оқылады. Ол деректер шинасы арқылы оқу күшейткіші көмегімен DO шығысына беріледі. Жады элементіне жаңа ақпарат жазу үшін логикалық 1-ге тең W/R жазуға рұқсат беру сигналы беріледі, ол жазу күшейткішін ашады. Бұл жағдайда биттік информация жазу күшейткіші арқылы ортақ деректер шинасына келіп түседі де, таңдалынған жады элементіне жазылады. Аталған оқу және

жазу операциялары $CS=1$ кезінде ғана орындалады. Бұл сигнал жоқ кезде ($CS=0$) DC_x дешифраторының, сондай-ақ жады микросұлбасының өзі жабылады. Басқаша айтқанда, жады микросұлбасы сақтау режиміне енеді, ал оның шығысындағы оқу күшейткіші жоғары импендансты үшінші күйге ауысып шинадан кесіледі. Екі координаттық таңдау әдісін қолдану жады микросұлбасының құрылымын қарапайымдатады, яғни кристалдың берілген ауданында жады құрылғысының максималды үлкен сыйымдылығын алуға себеп болады.

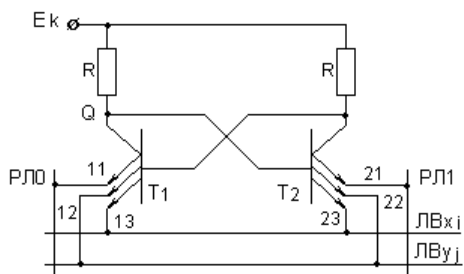
Сөздің разрядтылығын көбейте отырып және жады элементі матрицасының қатар санын азаята отырып адресі дешифрацияны қарапайымдату селекторлы (димультиплексоры және мультиплексоры бар) сұлбаларда іске асырылады. Олар 2DM (2D модифицерленген) типті құрылымы бар жады құрылғыларында қолданылады, мұнда сөздің әрбір биті үшін бір екі бағыттағы желі қолданылады. 2DM типті жады құрылғыларының құрылымында 2D және 3D құрылымдарының артықшылықтары қамтылған. Осыған байланысты адресі дешифрациялау қарапайымдатылған және екі координаттық таңдауы бар жады элементтері қажет емес.

2DM типті жады құрылғысында жады элементтері матрицасының қатарының ұзындығы үлкен болғандықтан оның қатарлар санын қысқарту мүмкіндігі бар, яғни дешифратордың шығыс сандарын қысқартуға болады. Сондықтан 2DM типті жады құрылғысы микросұлбасының құрылымын үлкен разрядты ақпараттық сөздерді жазуда-оқуда қолдану тиімді болады. Қарсы жағдайда 2DM типті жады құрылғысы құрылымын сұлбатехникалық іске асыру жұмыстары үлкен аппараттық шығындармен ұласады.

Статикалық жады SRAM - (Static Random Access Memory) динамикалық (DRAM) жадыға қарағанда статикалық режимде (яғни оған қатынас құру орындалмаған кезде) қорек көзіне қосылған жағдайда ақпаратты қажетті уақытқа дейін ұзақ түрде сақтай алады. Еркін түрде таңдайтын статикалық жадының жады элементтері ретінде қарапайым статикалық триггерлер

қолданылады. Бұл элементтер динамикалық жадының жады элементтерімен салыстырғанда айтарлықтай күрделі және кристаллда көп орын алады, бірақ олар басқаруда қарапайым және регенерация процесін талап етпейді. Статикалық жады құрылғыларының сыйымдылығы, жылдамдығы және тұтынатын қуаты дайындау технологиясымен және жады элементінің сұлбатехникасымен анықталынады, олар биполярлы транзисторлар және МОП-сұлбалар негізінде жасалынады.

Биполярлы ТТЛ-, ЭБЛ- және И²Л сұлбаларынан жасалынған жады элементтерінің жылдамдығы өте жоғары, бірақ бағасы қымбат. Мұндай жады элементтеріндегі статикалық жады құрылғысының қатынас құру уақыты бірнеше нано секундты құрайды, бұл процессордың жүйелік шинасы жиілігінде жұмыс істеуге мүмкіндік береді, бұл жағдайда олардан тактілік күтулер қажет болмайды. nМОП- және kМОП сұлбаларынан жасалынған жады элементтері экономикалық тұрғыдан тиімді болып келеді, олар аз қуатты батареялармен қоректену кезінде ақпаратты ұзақ уақыт сақтауға мүмкіндік береді. Сондықтан олардың қатынас құру уақыты 100 наносекундтан асқанымен, РС конфигурациясы жадысында кеңінен қолданылады. Статикалық жады құрылғыларының қазіргі замандық аса үлкен интегралды сұлбасы 1 Мбит құрайды. Жоғары тығыздықпен орналасуы, қорек көзін көп тұтынуы және ақпаратты сақтау бағасының жоғарлығы статикалық жадыларды дербес компьютерлердің негізгі жадысы ретінде қолдануға мүмкіндік бермейді. IBM РС-мен үйлесімді 80446 және Pentium процессорларында статикалық жады құрылғылары негізгі жадының екінші реттік екі жадыларын жасау үшін қолданылады, оларда тікелей бейнелеу немесе жинақты-ассоциативті архетиктура қолданылады. Екінші реттік кеш жадыны қолдану компьютердің жалпы өнімділігін айтарлықтай өсіреді.



3.5-сурет. Биполярлы транзисторлар (ТТЛ-технологиялар) негізіндегі статикалық жадының сақтау элементінің құрылымы

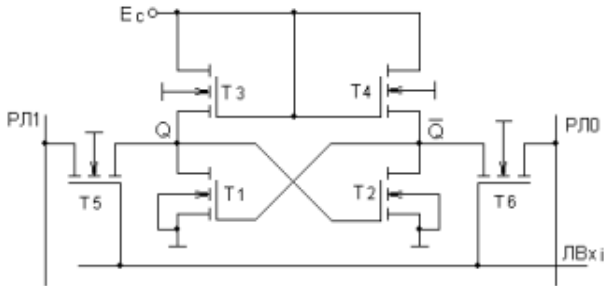
3.5-ші суретте ТТЛ-технологияны қолданатын сақтау элементінің принципіальді электрлі сұлбасы келтірілген, ол 3 D типті матрицалық ұйымдастырылған статикалық сақтау құрылғыларында қолдануға арналған.

3.6-ші суретте бірретік таңдауы болатын 2 D типті статикалық сақтау құрылғысының сақтау элементінің ең кеңінен таралған сұлбасы келтірілген.

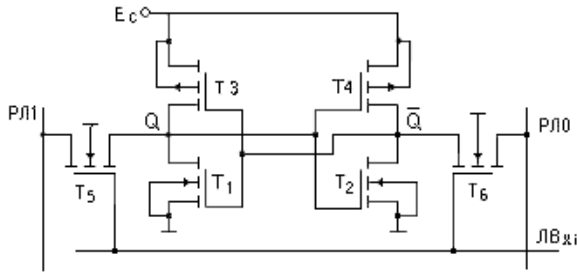
Сақтау режимінде қолданылатын қуатты біршама азайту мақсатымен комплементарлы МОП (КМОП)-құрылымдардағы сақтау элементтерінің сұлбасы кеңінен таралған (3.7-сурет).

Кеш-жады жылдамдығы салыстырмалы түрде баяу құрылғылар жұмысын (мысалы, динамикалық жады) жылдамдығы салыстырмалы түрде жылдам құрылғылар жұмысымен (мысалы, процессор) келістіріп ұйымдастыру үшін арналған. Кеш-жадыны қолдану жұмыс барысында бүкіл жүйенің өнімділігін төмендететін күту циклдарын болдырмауға мүмкіндік береді. Сонымен кеш-жады ең алдымен процессор жағынан қатынас құрылуы мүмкін негізгі жадының жиі қолданылатын ақпарат блоктарының көшірмесін сақтауға арналған. Негізгі жадымен салыстырғанда кеш-жадының жылдамдығы жоғары, өйткені ол табиғаты бойынша статикалық жадыға жатады және триггерлі сұлбалардан жасалынады. Сондықтан кеш-жадының сыйымдылығы кішкентай, оларда деректер және каталогтар (cache-directory) блоктарының шектелген саны ғана сақталады. Сонымен жүйелік тақтаның

динамикалық жадының тек бір бөлігі ғана кештелінеді, мысалы Pentium үшін DRAM негізгі жадысының бірінші 64 Мбайт бөлігі ғана кештелінеді. Кеш-жадының сыйымдылығы ондағы қатарлар санымен анықталады, мұнда өлшемдері көрсетілген деректер блогы бейнеленеді.



3.6-сурет. nМОП-транзисторларда жасалынған статикалық жадының сақтау элементінің сұлбасы



3.7-ші сурет. КМОП-транзисторларында жасалынған сақтау элементі

Кештеу процесінен ұтыс табамыз, егер бір деректер көп рет қолданылса, мысалы, қолданбалы программалардағы деректер көбінесе циклдік сипатқа ие. Бұл жағдайда кеш-жадыға бірінші оқылымнан кейінгі екінші қатынас құру алынып тасталынады, немесе процессордың тактісінің саны қысқарады. Сонымен қатар, процессор мен кеш-жады арасында деректер алмасу кезінде негізгі динамикалық жады бос болады да, оны

басқа құрылғылар қолдануы мүмкін немесе онда регенерация циклдары орындалуы мүмкін.

Бақылау сұрақтары:

◇ Жады элементтерінің жұмыс принципі және ақпаратты сақтау әдісі бойынша жедел жады құрылғылары қалай бөлінеді?

◇ Сақталынатын сөздердің (санын) разрядтылығы арттыру кезінде жады модулінің ұйымдастыру сұлбасын келтіріңіз және бұл үрдіс қалай орындалатынын сипаттаңыз.

◇ 2D типті құрылым 3D типті құрылымнан қалай өзгешеленеді?

◇ Матрицалы түрде ұйымдастырылған жады микросұлбасы қандай құрылымды жады құрылғысында қолданылады?

◇ TTL базисінде статикалық типті жадының сақтау элементінің сұлбасын құрыңыз және оның жұмысының ерекшеліктерін сипаттаңыз.

◇ nМДП-транзисторларындағы статикалық типті жадының сақтау элементінің сұлбасын құрыңыз және оның жұмысының ерекшеліктерін сипаттаңыз.

◇ Статикалық типті жадының сақтау элементіне қандай жұмыс режимдері сәйкес келеді?

◇ Динамикалық жады мен статикалық жадылардың принципалды айырмашылықтарын көрсетіңіз?

◇ Кэш-жады не үшін арналған және негізгі жадымен салыстырғанда оның жылдамдығы қандай?

◇ Кэш-жады өзінің табиғаты бойынша жадының қандай түріне тиісті және жады сыйымдылығы қандай?

3.3.Қоректендіру блоктарының сұлбатехникасы және ЭЕМ құрылғыларын программалық басқару элементтері

↳ Тұрақты маскалық, программаланылатын және қайта программаланылатын жады құрылғылары

↳ Үзіліссіз жұмыс істейтін қорек көздері.

↳ Қоректендіру блоктарының сұлбатехникасы.

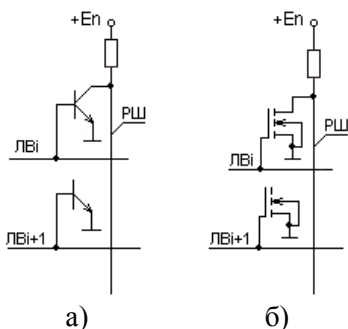
- ↳ PC қоректендіру блоктары.
- ↳ Қосымша қорек көздері.
- ↳ Түзеткіштер.
- ↳ Қоректі басқару.
- ↳ Импульсті қоректендіру режимі.

Тұрақты жады құрылғылары (ТЖҚ) құрылғының барлық жұмыс істеу кезінде өзгеріссіз қалатын ақпараттарды сақтауға және оқуға арналған. Бұл ақпарат қорек көзі өшкенде де жойылмайды. Сондықтан тұрақты жады статикалық және динамикалық типті еркін қатынас құратын жады құрылғыларына қарағанда энергияға тәуелсіз жадылар деп аталады. Тұрақты жады құрылғысы жады элементтерінің матрицалық жиынын бейнелейді және өзінің құрылымы бойынша еркін қатынас құратын құрылғыларға жатады. Тұрақты жады құрылғысында еркін қатынас құратын жады құрылғыларындағыдай кезкелген жады элементінен ақпаратты таңдау уақыты жиындағы орналасқан орнына (адресіне) тәуелді емес. Тұрақты жады құрылғысының негізгі режимі – ақпаратты оқу режимі. Кейбір тұрақты жады құрылғыларында ақпаратты енгізген соң тек оқу операциясы ғана орындалады. Осы себептен бұл жадылар ROM (Read Only Memory – тек оқуға арналған жады) немесе ТЖҚ (тұрақты жады құрылғысы) деп аталады. Тұрақты жады құрылғысында статикалық типті жады құрылғысындағыдай ақпарат оқылған кезде жойылмайды. Тұрақты жады құрылғысына ақпаратты жазу “программалау” деп аталады және оқуға қарағанда айтарлықтай күрделі орындалады, сонымен қатар үлкен уақыт, энергия және жабдықтар шығындарын қажет етеді. Программалау әдісі бойынша тұрақты жадының келесідей негізгі типтері болады: маскалық, программаланылатын және қайта программаланылатын. Маскалық тұрақты жадыларға дайындау процесінде программаланатын ROM микросұлбалары жатады. Программаланатын тұрақты жадыларға ақпарат тұтынушы қасиеттеріне және қолдану саласына сәйкес құрылғыны орнату алдында бір рет жазылатын PROM микросұлбалар түрінде

шығарылады. Қайта программаланылатын тұрақты жадылар немесе бірнеше рет программаланылатын жадылар өшірілетін тұрақты жадылар деп аталады. өшіру процедурасы жазу процедурасына қарағанда ұзағырақ болады.

Маскалық тұрақты жадыларда ақпарат технологиялық сатылардың соңғыларының біреуінде жазылады. Тұрақты жадыда жады элементтері биполярлы және МОП транзисторлар негізінде жасалынады, олар адрес шинасымен деректер шинасының арасындағы түйінде орналасақан. Бастапқы материалға “суретті” енгізу бірнеше тізбектелінген фотолитография циклдары көмегімен орындалыды және бұл жағдайда жартылай өткізгішті аспаптарды қалыптастыратын жеке элементтер (мысалы, биполярлы транзисторлардың эмиттерлі және коллекторлы өткелдері немесе МОП транзисторларының құймасы мен бастауының шықпалары) маскалы-фотошаблондарды қолдану арқылы орындалады, сондықтан бұл типті тұрақты жадылардың маскалық деп аталады.

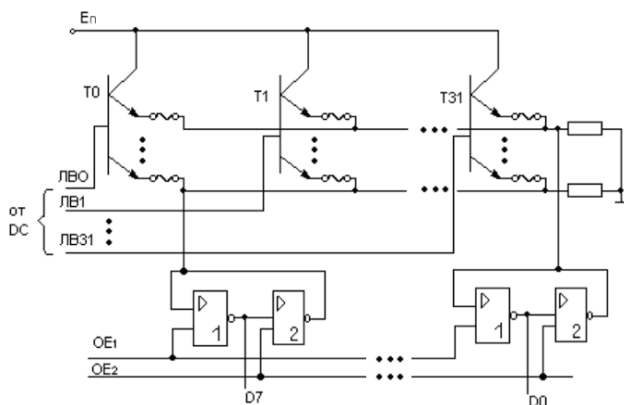
3.8-ші суретте биполярлы МОП-транзисторларында жасалынған маскалық тұрақты сақтау құрылғыларының сақтау элементтерінің матрицаларының фрагменттері келтірілген.



3.8-сурет. Биполярлы (а) және nМОП-транзисторларда орындалған маскалық тұрақты сақтау құрылғыларының фрагменттері

Маскалық тұрақты жадылар ірі көлемді сериялы өндірісте, бір маска көмегімен үлкен санды микросұлбаларды

программалау мүмкіндігімен рентабельді болып келеді. Маскалық тұрақты жадылардың жылдамдығы ең жоғары екенін айта кету керек (қатынас құру уақыты 30-70 мс). Сонымен қатар олардың құрылымы қарапайым, сондықтан үлкен көлемді ақпараттарды сақтау қабілеті бар микросұлбаларды дайындауға мүмкіндік береді. Алайда, ROM микросұлбалары біріншіден, масклардың қымбаттылығынан, яғни олардың мазмұнын модификациялау күрделілігінен қазіргі замандық компьютерлерде кеңінен қолданылмайды.



3.9-сурет. Балқымалы ауыстырып-қосқыштары болатын программаланатын ТСК сұлбасы

PROM типті тұрақты жадыда программалау (бір реттік) арнайы ілгіштерді (перемычек) жою немесе қалыптастыру арқылы орындалады. Ілгіштер металлдық немесе поликристаллдық (кремнилі) болуы мүмкін. Металдық ілгіштер нихромнан, кейінгі кездерде титандивольфрамды және басқада қоспалар негізінде жасалынады. Ілгіш ретінде жұқа диэлектрикалық қабат немесе екі бір – біріне қарама –қарсы түрде қосылған диодтар қолданылады. Қайта программаланылатын тұрақты жады микросұлбаларын өшіру және прораммалау программатор көмегімен немесе мақсаттық құрылғының өзінде (егер онда сәйкес жабдықтар қарастырылған

болса) орындалады. Ақпаратты өшіру не барлық микросұлба үшін, немесе нақты бір блок үшін, немесе бір ұяшық (байт) үшін жүргізіледі. Өшіру өшірілетін аймақтағы барлық биттерді бір күйге (әдетте, барлығын бірлік күйге, сирек жағдайда нолдік күйге) әкеледі. Әдетте, өшіру процедурасы жазу процедурасынан ұзақ.

Сақтау элементінің матрицасы біркоординатты ұйымдастырылған, 2D типті құрылымды балқымалы алып-қосқыштары болатын программаланатын тұрақты сақтау құрылғысы (ПТСҚ) 3.9-ші суретте келтірілген.

Бақылау сұрақтары:

◇ Маскалық тұрақты сақтау құрылғыларында ROM(M) сақтау элементтері ретінде қандай компоненттер қолданылады?

◇ Биполярлы және nМДП-транзисторларда құрылған маскалық ТСҚ фрагментін құру және олардың жұмыстарының ерекшеліктерін, артықшылықтары мен кемшіліктерін сипаттау және оларды қолдану аймағын көрсету.

◇ Балқымалы перемычкалары (жалғаулары) болатын программаланатын ТСҚ сұлбасын құру және программалау мен оқу режімдерінде оның жұмысын түсіндіру.

◇ Ақпаратты өшіру әдісі бойынша қайта программаланатын ТСҚ қалай жіктелінеді және қайта программаланатын ТСҚ-ның микросұлбаларында сақтау элементі ретінде қандай транзисторлар қолданылады?

◇ EPROM және EEPROM қайта программаланатын ТСҚ жұмыстарының ерекшеліктерін түсіндіріңіз.

◇ Жады элементінің типі және негізгі жұмыс принципі бойынша Флэш-жады қандай класты жады құрылғыларына жатады?

3.4.Қоректендіру блоктарының сұлбатехникасы және ЭЕМ құрылғыларын программалық басқару элементтері

- ↳ Аналогты электронды құрылғылар сұлбатехникасы
- ↳ Үзулерді басқару, plug and play тәріздес үзулер.

♣ Видеокұрылғылар, интерфейстік, мультимедиялық және стандартты емес құрылғылар

Аналогты интегралды сұлбалар үзіліссіз функциялар заңы бойынша өзгертін сигналдарды салыстыруға, өңдеуге, түрлендіруге арналған түрлі аналогты электронды құрылғыларды жасау үшін қолданылады. Қазіргі кезде ортақ мақсатта қолданылатын, сондай ақ арнайы мақсатта қолданылатын көптеген аналогты микросұлбалар жасалынған. Оларға ең алдымен операциялық күшейткіштердің (ОК), компараторлардың және аналогты сигнал түрлендіргіштерінің, тізбекте қолданылатын кернеу тұрақтандырғыштарының аналогты микросұлбалары жатады. Сондай ақ аналогты көбейткіштер, мысалы амплитудалы және фазалы модуляторлар мен демодуляторлар (детекторлар) негізінде түрлі радиотехникалық түрлендіргіштер мен тұрмыстық аппаратураларды жасауға арналған арнайы аналогты интегралды сұлбалар тобы кіреді. Алайда, қолданылатын аналогты интегралды сұлбалардың, олардың функционалды міндеттерінің және дайындау технологиясының өзгешелігіне қарамастан олардың көбісінің негізін тұрақты тоқтың дифференциалды күшейткіші негізінде жасалынатын операциялық күшейткіштер сұлбатехникасы болып табылады. Операциялық күшейткіштер қазіргі замандық интегралды аналогты электрониканың негізгі сұлбатехникалық элементі болып саналады.

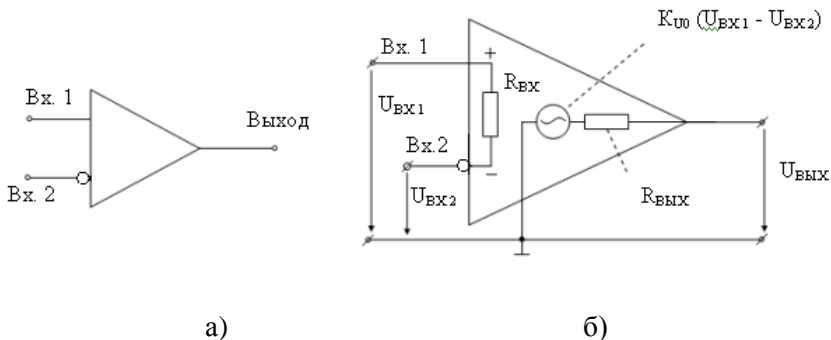
Операциялық күшейткіштің шартты графикалық белгісі және оның эквивалентті сұлбасы 3.10-суретте көрсетілген. Онда операциялық күшейткіштің екі кірісі, бір шығысы бар екеніні көреміз. 1-ші кіріс терістемейтін кіріс деп аталады, өйткені 1-ші кіріске берілген оң бағыттағы кернеудің өзгеруі операциялық күшейткіштің шығысындағы кернеудің оң өзгеруіне әкеліп соғады. 2-ші кіріс терістейтін кіріс деп аталады, өйткені бұл кірістегі кернеудің оң өсімі шығыстағы кернеудің теріс бағытта өзгеруіне себеп болады. Егер $U_{к1}$ және $U_{к2}$ кіріс

кернеулерінің айырмашылығы аз болса, онда операциялық күшейткіштің шығыс кернеуі келесідей анықталады

$$U_{\text{шығ}} = K_{UO} (U_{\text{кір1}} - U_{\text{кір2}}) = K_{UO} U_{\text{диф}}, \quad (3.2)$$

мұнда, K_{UO} – операциялық күшейткіштің $U_{\text{диф}}$ кернеуі бойынша меншікті күшейту коэффициенті; $U_{\text{диф}}$ – терістемейтін және терістейтін кірістердегі кернеулер арасындағы айырмашылықтарды анықтайтын кіріс дифференциалды кернеу.

(5.1) өрнектен операциялық күшейткіш шығыстағы кіріс кернеулерінің синфазалық өзгерістеріне реакция бермейтінін K_{UO} мәні әдетте үлкен болғандықтан, операциялық күшейткіштің дифференциалды кіріс кернеуі үшін жеткілікті түрдегі жоғары күшейтуі коэффициентімен қамтамасыз етеді.



3.10-сурет. Операциялық күшейткіштің шартты графикалық белгіленуі (а) және оның эквивалентті сұлбасы (б).

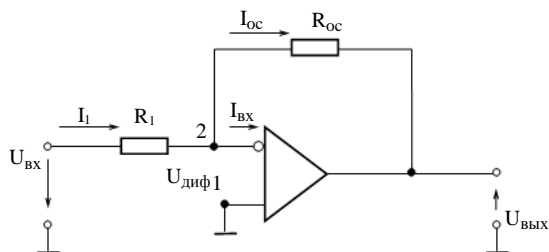
Операциялық күшейткіштердің кеңінен таралған қосылу сұлбаларын қарастырайық. Сұлба анализдерін қарапайымдату үшін төменде келтірілген электрлік параметрлерге қойылатын талаптарды қанағаттандыратын идеалды операциялық күшейткішпен жұмыс істейміз деп аламыз:

- кіріс кедергісі шексіздікке тең $(R_{\text{кір}} = \infty, I_{\text{кір}} = 0)$;

- шығыс кедергісі нөлге тең ($R_{шығ} = 0$);
- кернеу бойынша күшейту коэффициенті (дифференциалды сигналды күшейту коэффициенті) шексіздікке тең;
- күшейту режимінде дифференциалды кернеу нөлге тең;
- синфазалық кіріс кернеуі шығысқа реакция бермейді.

Операциялық күшейткіштер негізіндегі типтік сұлбалар. Терістегіш күшейткіш. Операциялық күшейткіш негізінде жасалынған терістегіш күшейткіш сұлбасы 3.11-суретте көрсетілген. Операциялық күшейткішті терістегіш күшейткіш ретінде қосқан кезде оның шығыс кернеуі кіріс кернеуіне қатысты фаза бойынша 180° -қа ығысқан. Операциялық күшейткіш идеалды деп алайық, онда Кирхгофтың бірінші заңына сәйкес потенциалы 1-нүкте (жер) потенциалына тең 2-түйін үшін келесі теңдікті жазуға болады $I_1 = I_{ок}$ немесе

$$\frac{U_{кір}}{R_1} = -\frac{U_{шығ}}{R_{ок}}$$



3.11-сурет. Терістегіш күшейткішінің сұлбасы.

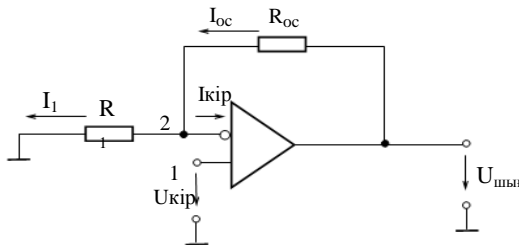
Бұл жерден терістегіш күшейткіштің K_{UOK} кернеу бойынша тасымалдау коэффициенті келесідей анықталады

$$K_{UOK} = \frac{U_{шығ}}{U_{кір}} = -\frac{R_{ок}}{R_1}$$

және ол операциялық күшейткіштің

өзіне тәуелді емес, ол кіріс тізбегінің және кері теріс байланыс тізбегінің параметрлерімен сипатталады. Терістегіш күшейткішінің көмегімен бірнеше кіріс кернеулеріне қосындылау операцияларын орындауға болады.

Операциялық күшейткіштің терістемейтін сұлбасы (3.12-сурет) жоғары кедергісі бар қорек көзін төменгі кіріс кедергісі бар сигналды өңдеу сұлбасымен келістіру қажет жағдайларда қолданылады. Операциялық күшейткішті терістегіш күшейткіш ретінде қосқанда оның шығыс кернеуі фаза бойынша тікелей операциялық күшейткіштің терістемейтін кірісіне берілетін кіріс кернеуімен сәйкес келеді.



3.12-сурет. Терістемейтін күшейткіш сұлбасы

Операциялық күшейткіштің терістегіш кірісіне R_1 және R_{OK} резисторлары арқылы қалыптасқан кернеу бөлектегіші арқылы кері теріс байланысқа беріледі. Сонымен қатар, мұнда да терістегіш күшейткіш жағдайындағыдай операциялық күшейткіш идеалды ($I_{кiр}=0$) деп алынады да, 2-түйін үшін Киргхофтың бірінші заңын жазамыз:

$$I_1 = I_{OK} \text{ немесе } \frac{U_2}{R_1} = \frac{U_{шығ}}{R_1 + R_{OK}} \quad (3.3)$$

$U_{диф}=0$ және $U_2=U_{кiр}$ екенін ескере отырып, (2) өрнекті келесі түрде қайта жазамыз:

$$\frac{U_{kip}}{R_1} = \frac{U_{шығ}}{R_1 + R_{OK}} \quad (3.4)$$

Бұдан терістемейтін күшейткіштің кернеу бойынша күшейту коэффициенті келесідей анықталатынын білуге болады

$$K_{UOK} = \frac{U_{шығ}}{U_{kip}} = 1 + \frac{R_{OK}}{R_1} \quad (3.5)$$

Кері теріс байланыс нөлге тең болатын нақты жағдайда кернеу бойынша тасымалдау коэффициенті бірге тең. Онда күшейткіштің шығыс кернеуі кірісіне тең болады да, терістемейтін күшейткіш кернеу қайталағышы ретінде бейнеленеді. Терістегіш күшейткішке қарағанда терістемейтін күшейткіште операциялық күшейткіш шығысында синфазалы сигнал болатынын ескерте кеткен жөн, бұл оның кемшілігі болып саналады. Жоғарыда қарастырылған терістейтін және терістемейтін күшейткіштер комбинациясын қолдана отырып, қосу және азайту операцияларын орындауға болады. Бұл үшін операциялық күшейткіштің терістейтін және терістемейтін кірістеріне бір уақытта бірнеше кернеулер беру керек.

Интегралды операциялық күшейткіштердің күшейту коэффициенттері жеткілікті түрде жоғары (10^5 - 10^6), сондықтан көптеген жағдайларда осы параметрді идеализациялау есебінен ($K_{UO} \rightarrow \infty$) туындайтын кіріс сигналын түрлендірудің қателіктерін ескермесе де болады.

Интегратор шығысында кіріс сигналына уақыт бойынша интегралына пропорционал болатын сигнал қалыптасатын терістегіш күшейткіш.

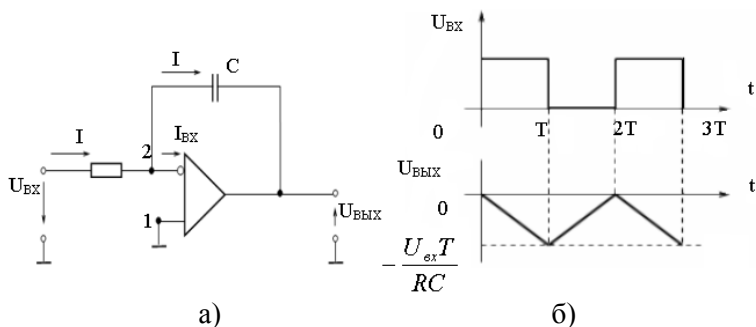
Терістегіш кірісіндегі виртуалды жерге байланысты («2» нүкте потенциалы ортақ «1» нүкте потенциалына тең, өйткені

$U_{\text{диф}} = 0$) Резисторы арқылы өтетін ток $\frac{U_{\text{кір}}}{R}$ қатынасына тең. Бұл ток сонымен қатар, интегратордың $U_{\text{шығ}}'$ шығыс кернеуіне тең U_C кернеуін қалыптастыра отырып C конденсаторы арқылы да өтеді (өйткені $I_{\text{кір}}=0$). C конденсаторының U_C кернеуінің мәні

$$U_C = \frac{1}{C} \int Idt$$

I тоғына пропорционалды және келесіге тең $U_{\text{шығ}}' = -\frac{1}{RC} \int U_{\text{кір}} dt$, онда шығыс кернеуі келесідей анықталады

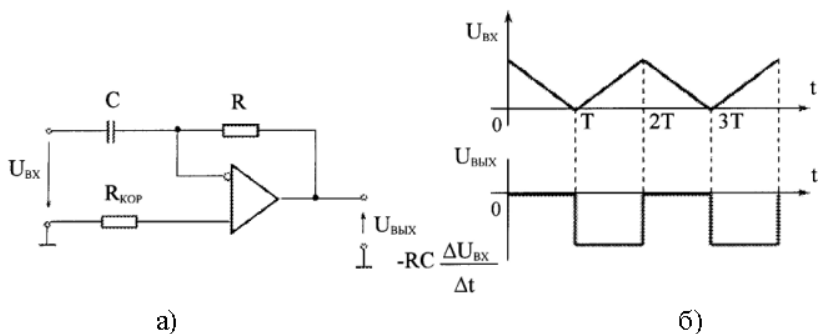
$$U_{\text{шығ}} = -\frac{1}{C} \int \frac{U_{\text{кір}}}{R_{U_{\text{кір}}}} dt = -\frac{1}{RC} \int U_{\text{кір}} dt \quad (3.6)$$



3.13-сурет. Интегратор сұлбасы (а) және тікбұрышты периодтық сигнал интеграциясының уақыттық диаграммасы.

Түрлі аналогты электронды құрылғыларды жасау кезінде көп жағдайларда бірнеше кернеулер қосындысының интегралына пропорционал шығыс кернеуін алу керек болады. Кіріс кернеулерінің қосындысының терістелген интегралына пропорционал кернеуді алу үшін операциялық күшейткіштер кірісіне (3.13-сурет) бір уақытта бірнеше кернеу береді. Сондай ақ, практикада шығыс кернеуі кіріс кернеуілерінің айырымының интегралына пропорционал сұлбалар да қолданылады.

Дифференциатор интегратор функциясына кері функцияны орындайтын операциялық күшейткіштен жасалынған аналогты құрылғы. Басқаша айтқанда, ол кіріс сигналдары үстінен дифференцирлеу операциясын орындайды және оның шығыс сигналы кіріс сигналының көбейтісіне пропорционал болады. Операциялық күшейткіш негізінде жасалынған қарапайым дифференциатордың сұлбасы 3.14, а – суретте көрсетілген. Бұл сұлба терістегіш күшейткіш болып саналады, оның кірісіне R_1 резисторының орнына C конденсаторы қосылған. Егер операциялық күшейткіш идеалды деп санасақ, «2» нүкте потенциалы ортақ «1» нүкте потенциалына тең (виртуалды жер) және конденсатор арқылы өтетін тоқ келесідей анықталады $C * dU_{кір} / dt$. Бұл тоқ R резисторы арқылы да өтеді, ондағы тоқ интегратор шығысындағы кернеуге тең. Бұдан $U_{шығ} = -RC * dU_{кір} / dt$ екенін көруге болады. Егер кіріс сигналы белгілі бір диапазонда сызықты түрде өзгертін болса, онда шығыс кернеуін келесі қатынас арқылы бейнелеуге болады $U_{шығ} = -RC(\Delta U_{кір} / \Delta t)$. Интегратор аналогиясы бойынша қосындылағыш күшейткіш негізінде қосындылағыш дифференциаторды да жасауға болады.



3.14-сурет. Дифференциатор сұлбасы (а) және үшбұрышты формалы сигналды дифференцирлеу (б)

Жоғарыда айтылғандай, операциялық күшейткіштер түрлі аналогты электронды құрылғыларда қолданылады. Бұл сигналдарды тасымалдаудың тура және кері тізбектеріне түрлі сызықты және сызықты емес элементтер енгізе отырып, кіріс сигналын қалаған алгоритм бойынша түрлендіретін құрылғыларды синтездеуге болатынымен түсіндіріледі. Операциялық күшейткіш негізінде жасалынатын сигнал түрлендіргіш құрылғыларының кеңінен тараған түрлерін қарастырық және де бұл жағдай да операциялық күшейткіш идеалды деп алайық.

Логарифмдік түрлендіргіш деп кері байланысында сызықты емес элемент (диод немесе ортақ базалы сұлба бойынша қосылған транзистор) қолданылатын операциялық күшейткіштен жасалынған терістегіш күшейткішті айтамыз. Мұндай түрлендіргіштің шығыс кернеуі оның кіріс кернеуінің логарифміне пропорционалды болады.

Экспоненциалды түрлендіргіште диод немесе транзистор операциялық күшейткіш негізіндегі терістегіш күшейткіштің кіріс тізегіне қосылады, өйткені кернеуді кері түрлендіруді орындайды және антилогарифмдік түрлендіргіш деп те аталады.

Логарифмдік және экспоненциалды түрлендіргіштер кеңінен қолданысқа ие, мысалы, көбейту және бөлу сияқты математикалық операцияларды іске асыру кезінде. Екі санды көбейту операциясы олардың логарифмдерін қосу операциясымен алмастырылады, ол үшін терістейтін және терістемейтін қосындылағыштар сұлбасы қолданылады.

Сызықтық емес түрлендіргіштер де операциялық күшейткіштер негізінде жасалынған терістейтін күшейткіштерден орындалады. Бұл жағдайда операциялық күшейткіштердің кіріс кернеулерінің шығыс кернеулерінен бейсызықты тәуелділігін алу үшін күшейткіштің кіріс тізбегіне немесе кері байланыс тізбегіне сызықты резисторлармен қатар, бейсызықты элементтер: диодтар мен стабилитрондар қолданылады. Терістейтін күшейткіштерде сызықты және бейсызықты элементтер комбинациясын қолдану күшейткіштің кіріс және шығыс кернеулерінің берілген сызықты

тәуелділіктерінің үзінді-сызықты аппроксимациясын алуға мүмкіндік береді.

Аналогты сигналдарды салыстыру құрылғылары. Аналогты компараторлар. Аналогты функциялардың негізгілерінің бірі салыстыру функциясы болып табылады, оны іске асыру үшін әдетте кеңінен таралған компаратор деп аталатын аналогты интегралды сұлбалар қолданылады. Және бұл жағдайда екі аналогты сигналдар салыстырылады, ал аналогты сигналдар деп көп жағдайда кернеуді түсінеді. Сондай ақ салыстырылатын сигналдардың бірі айнымалы (уақыт бойынша қандай да бір заңдылықтар бойынша өзгертін) болуы мүмкін, ал екіншісі эталонды қорек көзі функциясын орындай алатын тұрақты шама болуы мүмкін.

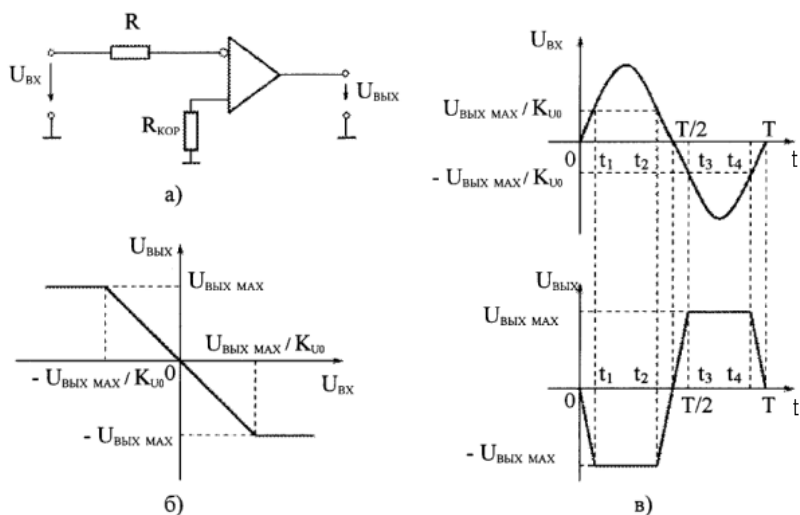
Кіріс сигналдардың мәндеріне байланысты (салыстырылатын сигналдардың біреуі екіншісінен үлкен, тең немесе кіші) компаратор шығысында бірі біріне қарама қарсы өрістегі кернеулер (ереже бойынша модулі мәндері бойынша тең) қалыптасуы мүмкін, немесе бір өрістегі кернеулер қалыптасуы мүмкін. Бірінші жағдайда екі аналогты сигналды салыстыру үшін ортақ қолдану мақсатындағы операциялық күшейткіш негізінде орындалған компараторлар қолданылады. Екінші жағдайда арнайы аналогты интегралды сұлбаларды қолданған компараторлар пайдаланады. Бұл жағдайда мұндай компараторлардың шығыс кернеулері цифрлық техникада қолданылатын сигналдардың деңгейі мен өрістіліктеріне үйлесімді болуы керек, яғни логикалы «1» және логикалық «2» деңгейлеріне сәйкес болуы керек. Сонымен, компараторлар қазіргі замандық аналогтық және цифрлық техникалардың, сондай ақ, аналогты және цифрлық сигналдардың өзара түрлендірудің аналогты-цифрлық сұлбалар классының негізгі функционалды блоктары (түйіндері) болып табылады.

Компараторларды аппаратуралық түрде қолданудың себебі операциялық күшейткіштердің транзисторларын қанықтыратын кіріс сигналдарының үлкен амплитудалары (деңгейлері) кезінде жұмыс істеу қажеттілігімен түсіндіріледі.

Кіріс сигналы нөлге тең эталонды кернеу деңгейімен салыстырылатын компаратор сұлбаларының біреуін қарастырайық (3.15, а сурет). Симметриялы беріліс сипаттамасы (3.15, б сурет) бар мұндай компаратор сұлбасын нөл детекторы деп те атайды. 3.15, в – суретте кірісіне

$$U_{\text{кір}} = U_m \sin \omega t$$

шамасындағы айнымалы кернеу берілген жағдайдағы операциялық күшейткіш негізінде орындалған компаратордың жұмысын түсіндіретін уақыттық диаграммалар берілген, мұнда U_m – кіріс сигналының амплитудалық шамасы.



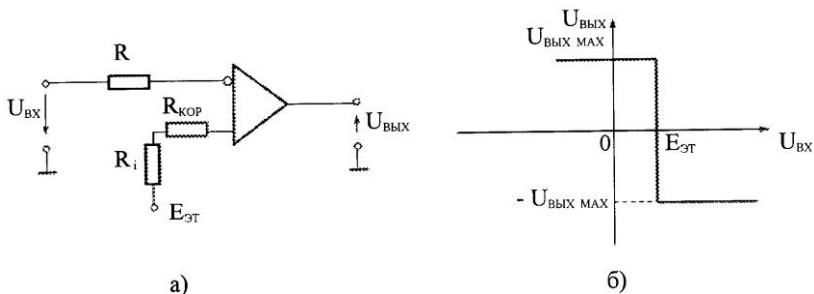
3.15-сурет. Нөл детекторының сұлбасы (а), оның беріліс сипаттамасы (б) және кіріс және шығыс кернеулері өзгеруінің уақыттық диаграммасы (в)

3.15-суреттегі уақыттық диаграммадан модуль бойынша синусоидалы түрде өзгертін кіріс кернеуі $|U_{\text{шығ max}}| / K_{\text{УО}}$ қатынасымен анықталатын $|U_{\text{кір max}}|$ кіріс кернеуінің қандайда бір ашушы мәнінен кіші болса, шығыс кернеуі

$U_{шығ} = K_{УО} U_m \sin \omega t$ өрнегіне сәйкес кіріс кернеуіне пропорционалды абсолютті шама бойынша өзгереді. Кіріс кернеуі өзінің ашушы мәніне жеткенде, компаратордың шығыс кернеуі $|U_{шығ\ max}|$ шамасымен шектеледі және $|U_{кір}|$ шамасының әрі қарай өсіуіне қарамастан тұрақты болып қалады. Сонымен, компаратор шығысында екіөрісті кернеу қалыптасады, ол кіріс сигналының жылдамдығы өскен сайын формасы бойынша үшбұрышты түрге жақындайды.

Енді кіріс кернеуі қандай да бір алдын ала берілген нөлден өзгеше эталонды кернеу деңгейімен салыстырылатын компаратор сұлбасын қарастырайық. Бұл сұлба бірашушы (однопороговая) салыстыру сұлбасы деп, кейде оң ашушы іске қосушы деңгей детекторы деп аталады. Беріліс сипаттамасынан көретініміздей (3.16, б -сурет) оның іске қосылуы кіріс кернеуі берілген эталонды кернеумен салыстырылғанда орындалады, яғни операциялық күшейткіштің терістейтін және терістемейтін кернеулері арасындағы айырмашылық нөлге теңелгенде болады.

3.16-суреттегі компаратор үшін $U_{шығ\ max}$ шамасына тең бастапқы күйден жаңа күйге ауысу кіріс кернеуі эталонды кернеу деңгейіне $E_{ЭТ} (U_{кір} = E_{ЭТ})$ жеткенде орындалады.



3.16-сурет. Оң ашушы іске қосушы деңгей детекторының сұлбасы (а) және оның беріліс сипаттамасы (б)

Кері ашушы іске қосушы сұлбада осылай жұмыс істейді, оның айырмашылығы тек оның бастапқы күйдегі және басқа жаңа күйге ауысқандағы шығыс кернеулері тең болуы $U_{шығ} = U_{шығ\ max}$ кіріс $U_{кір}$ және эталонды $-E_{ЭТ}$ кернеулерінің теңдігі ($U_{кір} = -E_{ЭТ}$) кезінде болады. Салыстыру сұлбасында $\beta_{OK} > 1/K_{УО}$ шартын қанағаттандыратын тасымалдау коэффициенті бар оң кері айланысты тізбекпен қамтылған операциялық күшейткішті қолдану регенеративті құрылғыларды жасауға мүмкіндік береді. Мұндай регенеративті құрылғыларда беріліс сипаттамасы бірмәнді емес, яғни кіріс және шығыс кернеулері арасында бірмәнді емес сейкес аймақтары (гистерезис) бар.

Жоғарыда қарастырылған ортақ міндетті операциялық күшейткіш негізінде жасалынған салыстыру сұлбалары баяу өзгертін кіріс сигналдарымен жұмыс істейтін жоғары дәлдікті компараторларды жасауда қолданылады. Бұл сұлбалар шығысында қажетті сигналдарды, мысалы цифрлық деңгейлерді қалыптасыра алады. Алайда бұл үшін сұлба құрамына көптеген қосымша элементтер енгізу керек және бұл жағдайда қажетті жылдамдық қамтамасыз етілмейді. Бұл кемшіліктердің шешу үшін шығыс кернеулері цифрлық техникалардағы логикалық «1» және логикалық «0» сигналдарын бейнелеуге арналған сигналдармен сәйкестендірілген жоғары дәлдікті және жоғары жылдамдықты интегралды компараторлар қолданылады.

Бақылау сұрақтары

◆ Аналогты электронды құрылғылар сұлбаларының арналған анализін қарапайымдату үшін идеалды операциялық күшейткіштің негізгі параметрлерін қандай талаптар қойылады?

◆ Операциялық күшейткіш негізінде орындалған терістейтін күшейткіштің кернеу бойынша тасымалдау коэффициентіне арналған өрнекті жазып беріңіз.

◆ Интегратордың шығыс кернеуіне арналған өрнекті жазып беріңіз.

◇ Терістемейтін күшейткіштің кернеу бойынша күшейту коэффициентіне $K_{УО}$ арналған өрнекті жазыңыз.

◇ Дифференциатордың сұлбасын салыңыз және оның жұмысын түсіндіретін уақыттық диарамманы тұрғызыңыз.

3.5.Электрондық құрылғылар сұлбатеchnикасының даму перспективалары

- ↳ Аналогты-цифрлық және цифрлы-аналогтық түрлендіргіштер
- ↳ Үлкен және аса үлкен интеграциялы интегралдық сұлбалар (УИС және АУИС)

Ақпаратты цифрлық өңдеу әдістерін қолданатын қазіргі есептеу жүйелерінде аналогтық және цифрлық сигналдарды өзара түрлендіру жабдықтары кеңінен қолданылады. Мұндай жабдықтардың қызметін аналогты-цифрлық және цифрлы-аналогтық түрлендіргіштер атқарады.

Көбінесе аналогтық сигналдар деп ток немесе кернеуді айтады, ал цифрлық – тура немесе екілік-ондық кодаларында бейнеленген екілік сигналдарды.

Цифрлы-аналогтық түрлендіргіштер (ЦАТ) цифрлық сигналдарды аналогтыға айналдыру үшін қолданылады. ЦАТ негізгі параметрлеріне разрядтар саны, рұқсат ету қабілеті, түрлендіру қателігі, орнату уақыты, сызықсыздық пен нөлдің ығысу кернеуі жатады. Аналогтық сигналды бейнелейтін және ЦАТ кірісіне беріле алатын екілік кода разрядтарының саны (N) шығыс аналогтық сигналдың кванттау қадамының максималды санына кері мән болып табылады. Рұқсат ету қабілеті цифрлық сигналдың кіріс екілік кодасының разрядтар санына және шығыс аналогтық сигнал сатыларының санына байланысты (нұсқайды). Басқа сөзбен айтқанда, рұқсат ету қабілеті шығыс аналогтық сигналдың кванттау қадамдарының максималды санына кері мәнді анықтайды. Сонда, кванттау қадамы шамамен $U_{он}$ тіректі кернеудің осы санға қатынасына тең болады. Сөйтіп, N-разрядты ЦАТ рұқсат ету қабілеті $U_{он} / 2^N$.

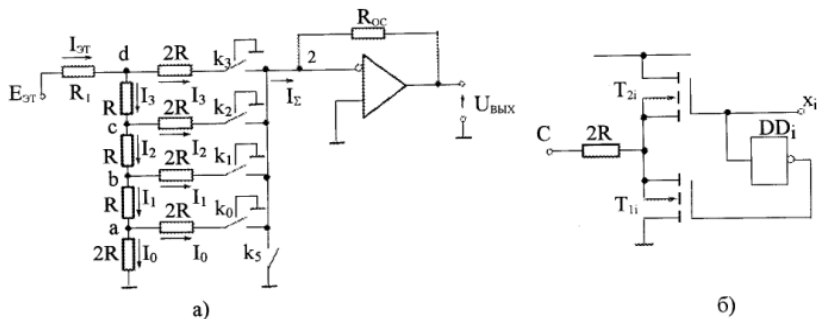
Цифрлық сигналды оған сәйкес аналогтық сигналға (ток немесе кернеу) айналдыру үшін, жабдықтың шығысында әртүрлі сұлбалар қолданылады, солардың арасындағы ең көп тарағаны салмақты токтарды (кернеулерді) қосу сұлбасы мен резистивтік матрицаны қолданатын ЦАТ сұлбасы болып табылады.

Салмақты токтарды қосу ЦАТ сұлбасы түрлендірілетін кіріс екілік коданың разрядтарымен басқарылатын кілттік сұлбалардың көмегімен шығыс шинаға қосыла алатын ток көздерінің тізбегімен сипатталынады. Әр ток көзі кіріс екілік коданың бір разрядына сәйкес келеді. Сонда әртүрлі разрядтарға сәйкес келетін ток көзінің салыстырмалы салмақтарын алудың бірнеше тәсілі болады. Солардың бірі кедергілері кіріс екілік коданың салмақтық коэффициенттеріне пропорционал болатын екілік-өлшенген резисторларды қолдануға негізделген. Мұндай ЦАТ сұлбасы қарапайым болып келеді, дегенмен оның кемшіліктері бар: кілттердегі кернеудің айтарлықтай өзгерістері мен дәлділігін қамтамасыз ету күрделі болатын кедергілері тым өзгешеленетін резисторлардың қолданылуы.

Құрамында $E_{эт}$ эталонды кернеу көзі мен $R-2 R$ резистивтік матрицасы бар ЦАТ сұлбасын қарастырайық (3.17-сурет). Бұл ЦАТ сұлбасында тек екі мәнді резисторлар қолданылады: R және $2 R$, бұл жайт оны кедергілері әртүрлі болатын екілік-өлшенілген резисторларды қолданатын салмақты токтарды қосу ЦАТ сұлбасынан едәуір ерекшелендіреді. $R-2 R$ матрицасының басқа ерекшелігіне кез келген түйінге (a, b, c, d) қатысты кедергісі R -ге тең болатындығы жатады. Бұл мәселе матрицаның кез келген түйініне әрқайсысының кедергісі $2 R$ болатын екі параллель тізбектерді жалғанатындығымен түсіндіріледі. Осы сұлбаның, $R-2 R$ матрицасымен қатар, n МОП-транзисторларында орындалынған басқарылатын $K_3...K_0$ электронды кілттері, $DD_3...DD_0$ инверторлары мен теріс кері байланыс тізбегі бар ОУ болады. $K_3...K_0$ кілттерінің қалпы екілік-ондық ЦАТ кірісіне берілетін цифрлық сигналға байланысты.

3.17-суретте көрсетілген ЦАТ сұлбасының жұмысын қарастырайық. Бастапқы қалпында, яғни ЦАТ кірісіне нөлдік кода (0000) берілгенде, K_5 кілті тұйықталған (кіріс екілік коданың басқа мәндерінде K_5 кілті ашық тұрады) және 2 R резисторларының оң жақ шығарымдары $K_3...K_0$ кілттерінің T_{1i} ($i = 0, 1, 2, 3$) ашық транзисторлары арқылы ортақ құрсымға қосылады.

Сонда ортақ құрсымға қатысты келесі әрбір «a», «b», «c» және «d» түйіндерінің кернеуі алдындағы түйіннен екі есе көп болады. Мысалы, «b» түйіндегі кернеу (U_b) «a» түйіндегі кернеуден (U_a) 2 есе көп, ал «c» түйіндегі кернеу мәні U_b -дан 2 есе көп болады және т.с.с. Осыдан $E_{эТ}$ көзінің R_i ішкі кедергісі нөлге тең деп алсақ, белгіленген түйіндердегі кернеулерді келесі түрде анықтаймыз: $U_d = E_{эТ}$; $U_c = E_{эТ} / 2$; $U_b = E_{эТ} / 4$; $U_a = E_{эТ} / 8$. Дәл осы жолмен матрицаның түйіндеріне келіп құйылатын токтардың мәнін де анықтауға болады, олар i -ші түйіннен шығарда екіге бөлінеді. Мысалы, «d» түйініне құйылатын және $I_{эТ} = E_{эТ} / R$ етіп анықталатын ток мәндері бірдей екі бөлікке бөлінеді, яғни $I_3 = I_{эТ} / 2 = E_{эТ} / 2 \cdot R$. Өз кезегінде «c» түйінінен шыққан ток та екіге бөлініп кетеді, әр-қайсысының мәні I_3 -тің жартысына тең болады, яғни $I_2 = I_3 / 2 = E_{эТ} / 2 \cdot 2 \cdot R$. Дәл осылай келесі токтар да анықталады: $I_1 = I_2 / 2 = E_{эТ} / 4 \cdot 2 \cdot R$ и $I_0 = I_1 / 2 = E_{эТ} / 8 \cdot 2 \cdot R$.



3.17-сурет. R-2 R матрицасы бар ЦАТ сұлбасы (а) мен і-ші разрядты басқарылатын электронды кілт (б)

3.17-суреттегі сұлбадан көріп тұрғанымыздай, $2R$ резисторлы бұтақтарындағы токтар $K_3 \dots K_0$ кілттері «2» түйінге қосылған кезде өзгермейді, себебі ОУ-дың терістейтін $U_{и}$ және терістемейтін $U_{н}$ кірістерінің арасындағы кернеу шамамен нөлге тең. Сондықтан, «2» түйінге келіп құйылатын және Кирхгофтың бірінші заңына сәйкес I_0, I_1, I_2, I_3 токтарының қосындысына тең болатын I_{Σ} тогы келесідей анықталынады:

$$I_{\Sigma} = \left(\frac{1}{2^1} + \frac{1}{2^2} + \frac{1}{2^3} + \frac{1}{2^4} \right) \cdot \frac{E_{\text{ЭТ}}}{R} \quad (3.7)$$

Осыдан ЦАТ шығыс кернеуі:

$$U_{\text{ВЫХ}} = - \left(\frac{1}{2^1} x_3 + \frac{1}{2^2} x_2 + \frac{1}{2^3} x_1 + \frac{1}{2^4} x_0 \right) \cdot \frac{E_{\text{ЭТ}} \cdot R_{\text{ОС}}}{R}$$

немесе

$$U_{\text{вых}} = - (8x_3 + 4x_2 + 2x_1 + x_0) \cdot \frac{E_{\text{эт}} \cdot R_{\text{ос}}}{16R} \quad (3.8)$$

мұндағы X_0, X_1, X_2, X_3 - кіріс екілік коданың разрядтарының сигналдары, олар тек 0 немесе 1 мәндерін қабылдай алады. (15.2) өрнегінен шығыс кернеуі цифрлық сигналдың кіріс екілік кодасының салмақтық коэффициенттеріне тура пропорционал екендігі көрініп тұр.

Кіріс екілік коданың i -ші разрядының X_i сигналы 1-ге тең болса, K_i кілті тұйықталады (T_{2i} ашылады да, T_{1i} жабылады) және сәйкес бұтақтың $2R$ резисторы ОУ терістейтін кірісіне қосылады. Кері жағдайда, екілік кода $X_i = 0$ болса, K_i ашылады (T_{2i} жабылады). Нәтижесінде (1) өрнегіндегі токтың i -ші құрамасы жоқ болады, сондықтан да сәйкесінше шығыс кернеудің мәні де өзгереді. ЦАТ сұлбасының параметрлерінің дәлдігі мен тұрақтылығы негізінен резисторлар кедергілерінің жасалу дәлдігі мен тұрақтылығына байланысты. Көбінесе кері байланыс тізбегі резисторының $R_{\text{ос}}$ кедергісі $R_{\text{ос}} / R = 1$ шартынан анықталады. Екілік-ондық сандарды түрлендіретін ЦАТ сұлбасында ондық санның әрбір разрядына өзінің $R-2R$ матрицасы сәйкес келеді.

Аналогты-цифрлық түрлендіргіштер (АЦТ) аналогтық сигналдарды цифрлыққа айналдыру үшін қолданылады. Аналогты-цифрлық түрлендіру үрдісі келесі кезеңдердің орындалуын көздейді:

- аналогтық сигналды уақыт бойынша дискретизациялау, яғни оның алдын-ала белгіленген кейбір дискреттік уақыт аралықтарындағы лездік мәндерін таңдау;

- аналогтық сигналдың дискреттік мәндерінің деңгейі бойынша кванттау;
- дискреттік сигналдың кванттық мәндерін кейбір сандық кодалармен кодалау.

Дискреттік сигнал деңгейімен кванттау үрдісі әрдайым белгілі бір ε_1 қателігін ескертуді қажет етеді, оның мәні $\varepsilon_1 \leq h / 2$ етіп анықталады, мұндағы h – кванттау қадамы.

АЦТ негізгі параметрлері ЦАТ-тегідей, дегенмен, кейбір айырмашылықтары бар. Разрядтар саны – АЦП шығысында пайда болатын аналогтық сигналды белгілейтін екілік коданың разрядтар саны. Рұқсат ету қабілеті бұл жағдайда да АЦТ цифрлық шығысының разрядтар санын сипаттайды және, осыған орай, кіріс сигналдың сатыларының санын анықтайды. Көбінесе АЦТ рұқсат ету қабілетін АЦТ шығысындағы кодалық комбинацияларының максималды санына кері мән етіп анықтайды. Мысалы, 10-разрядтық АЦТ рұқсат ету қабілеті ($2^{10} = 1024$)⁻¹, яғни 10В сәйкес келетін «кіріс сигналдың толық шкаласында» кванттау қадамының абсолюттік мәні 10мВ

аспайды. Түрлендіру уақыты $t_{\text{ПР}}$ - АЦТ кірісінде сигналдың берілген өзгерісі мезетінен оның шығысында сәйкес екілік кода пайда болғанға шейін есептелінетін уақыт аралығы. ЦАТ үшін мұндай параметр орнығу уақыты $t_{\text{УСТ}}$ деп аталады.

АЦТ шығысында аналогтық сигналдың оған сәйкес цифрлық сигналдың екілік кодасына түрленуі әр-түрлі әдістермен жүзеге асырылады, солардың негізгілеріне мыналар жатады: аналогтық сигналды параллель түрлендіру әдісі, тізбекті жақындату (түрлендіру) әдісі және «интегрирование» әдісі. Түрлендіру операциясын осы айтылған әдістер бойынша жүзеге асыратын жабдықтардың сәйкесінше атаулары болады. Кіріс аналогтық сигналды параллель түрлендіретін АЦТ қарастырайық. Мұндай түрлендіргіштің сұлбасы 3.17-суретте келтірілген. Мұндай АЦТ-тің 7 компараторы болады, олардың терістейтін кірістеріне мәндері белгілі бір кванттау деңгейіне сәйкес келетін, және, сондықтан да, екілік коданың белгілі бір

үйлесімдеріне де сәйкес келетін, тіректі кернеулер беріледі. Компараторлардың біріккен терістемейтін кірістеріне түрлендірілетін кіріс кернеуі (аналогтық сигнал) беріледі, оның берілген дискреттік уақыттағы мәні бір мезетте n тіректі кернеулермен (біздің жағдайымызда $n=7$) салыстырылады. Осындай салыстырудың нәтижесінде, қателігі кванттау деңгейінің жартысынан аспайтындай ($\varepsilon_i \leq h / 2$) етіп, мәні кіріс аналогтық сигналдың ағымдағы лездік мәнінен кіші болатын тіректі кернеулер анықталынады. Осындай тіректі кернеулердің санына бір уақыт аралығында барлық компараторлардың шығыстарынан алынатын n -разрядты унитарлы кодадағы бірліктердің саны сәйкес келеді. Алынған n -разрядты кода кодаларды түрлендіргіштің кірісіне беріледі де, оның шығысында разрядтар саны $N = \lg_2 n$ арқылы анықталатын екілік кода ретінде пайда болады. Сосын бұл екілік кода C синхронизирлейтін сигналдың рұқсатымен D -триггерлерінен құрастырылған үшразрядты параллельді регистрде есепке алынады. Регистрдің шығыстары АЦТ-тің шығыстары болып табылады. АЦТ шығысындағы екілік кода бір уақытта барлық разрядтарда қалыптастырылады, сол себептен жоғары шапшаңдылық қамтамасыз етіледі. Мұндай АЦТ-тегі түрлендіру уақыты, ең алдымен, ПК элементтеріндегі кідірістермен анықталады. Дегенмен, сұлба айтарлықтай күрделі болып шығады. Әсіресе, бұл түрлендірудің жоғары дәлдігін қамтамасыз етуде ықпалын тигізеді. Мысалы, 8-разрядты АЦТ құрастыру үшін $2^8 - 1 = 255$ компаратор қолдану қажет. Сөйтіп, параллель түрлендіретін АЦТ айтарлықтай үлкен аппараттық шығындарға соқтырады.

Егер аналогтық сигналды түрлендіру үшін тізбекті есеп АЦТ қолданылса, аппараттық шығындарды едәуір төмендетуге болады. Бақылайтын байланысы бар АЦТ деп те атайтын мұндай АЦТ-те такттық импульстер генераторы (ГТИ), ЦАТ, салыстыру сұлбасы (компаратор), «ЖӘНЕ» логикалық элементі (ЛЭ) және разряд бойынша шығыстарының сигналдары ЦАТ шығысындағы кернеудің өзгерісін қамтамасыз ететін қарапайым

(немесе реверсивті) санағыш қолданылады (санағыштың құрамына ЦАТ шығысындағы аналогтық сигналдың белгілі бір мәні сәйкес келеді).

АЦТ жұмыс істеу принципін қарастырайық. Бастапқы калпында санағыш \bar{R}_a асинхронды кірісі бойынша «Пуск» сигналы арқылы нөлге орнатылады. Санағыштың нөлдік калпына ЦАТ шығысындағы кернеудің нөлдік мәні сәйкес келеді. Егер АЦТ кірісінде ЦАТ шығыс кернеуінен үлкен болатын (яғни $U_{\text{кпр}} > 0$) кіріс аналогтық сигналдың кейбір дискреттік мәні $U_{\text{кпр}}$ орнатылса, онда компаратордың шығысындағы бірлік сигнал ГТИ импульстарының ЛЭ «ЖӘНЕ» арқылы санағыштың санау кірісіне өтуіне рұқсат береді.

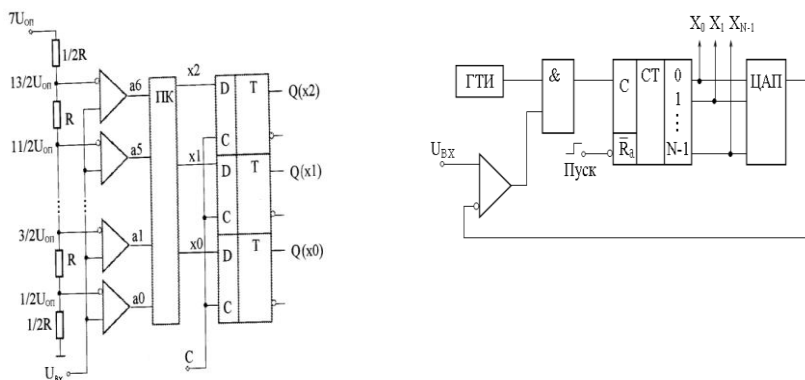
Содан соң, \bar{R}_a кірісінен «Пуск» сигналының белсенді деңгейін алғаннан кейін, санағыш инкременттің операциясын орындай бастайды. Оның көрсетуі (шығыс кода) үлкейеді және, сол себептен, ЦАТ шығысында кернеу мәні ұлғаяды. Аналогтық сигналды цифрлыққа айналдырудың бұл үрдісі ЦАТ шығысындағы кернеу берілген $U_{\text{кпр}}$ мәнімен сәйкес келмегенше жалғаса береді. Нәтижесінде, ЛЭ «ЖӘНЕ» шығысында «0» логикалық сигналы қалыптасады да, ГТИ импульстарының санағыштың кірісіне берілуі мен калпының өзгертілуі тоқтатылады. Сонда, санағыштың шығыс кодасының мәні АЦТ кірісінде орнатылған кернеудің $U_{\text{кпр}}$ дискреттік мәніне тура пропорционал болады. $U_{\text{кпр}}$ кіріс кернеудің келесі дискреттік мәндері үшін түрлендірудің жаңа айналымын қайталаған кезде, әр кезде де санағышты нөлге түсірген жөн. Сондықтан АЦТ жұмысының қарастырылған режімі айналмалы деп аталады.

Егер 3.18-суреттегі сұлбада қосындылайтын екілік санағыштың орнына реверсивтікті қойсақ, АЦТ жұмысының айналмалы емес режімін жүзеге асыруға болады, ол одан да жоғары шапшаңдылығымен сипатталады. Бұл жағдайда, реверсивтік санағыштың шығысында әрдайым кіріс кернеудің ағымдағы мәніне пропорционалды кода қатысып тұрады. Айналмалы емес АЦТ сұлбасына сонымен қатар инвертор, тағы бір ЛЭ «ЖӘНЕ» мен қосындылайтын санағыштың орнына

реверсивтікті енгізеді. Айналмалы АЦТ-пен салыстырғанда, айналмалы емес АЦТ кіріс кернеудің өзгерісін ұдайы бақылап тұрады.

Тізбекті түрлендіру АЦТ сұлбаларының екеуінің де кемшілігі олардың салыстырмалы төмен шапшаңдылығынан болып табылады, оның себебі санағыштың шығыс кодасы кіріс кернеуіне баламалы мәніне жетуге кететін уақыт аралығының үлкен болуында.

Тізбекті түрлендіруді де жүзеге асыра алатын қос интегрирлеу АЦТ жоғарыда айтылған айналмалы және айналмалы емес тізбекті санау АЦТ-терден одан да жоғары помехаға төзімділігі мен дәлдігімен ерекшеленеді.



3.18-сурет. Параллель түрлендіру АЦТ құрылымдық сұлбасы

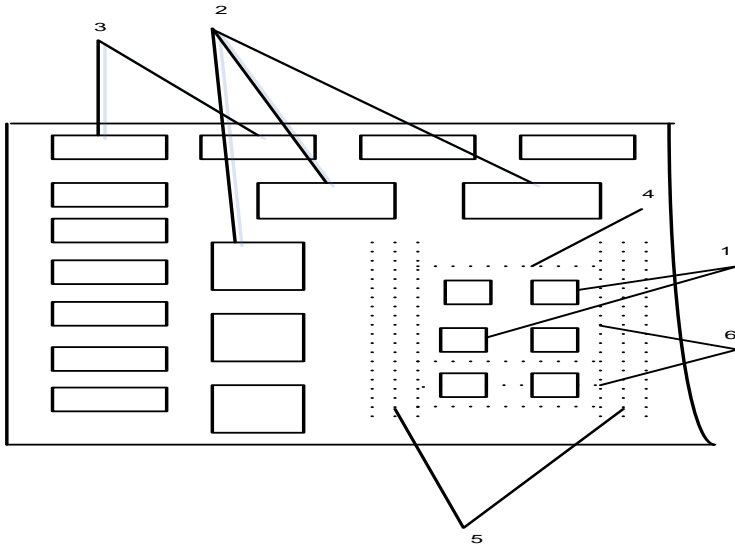
Бақылау сұрақтары

1. Цифрлы-аналогтық түрлендіргіштер не үшін қолданылады?
2. $R-2R$ матрицасы бар цифрлы-аналогтық түрлендіргіштің (ЦАТ) негізгі құрамдас бөліктерін тізіп айтыңыз.
3. $R-2R$ матрицасының ерекшелігі неде?
4. Аналогты-цифрлық түрлендіргіш не үшін қолданылады?
5. Аналогты-цифрлық түрлендіргіштердің қандай түрлері болады?
6. Параллель түрлендіру АЦТ құрамдас бөліктерін тізіп айтыңыз.

3.6 ҮИС сұлбатехникасы

Цифрлық есептеу техникасының дамуы техникалық жабдықтарға үлкен интегралды сұлбаларды (ҮИС) енгізумен сипатталады.

Әмбебапты микропроцессорлық комплектілер негізінде цифрлық құрылғыларды жобалауда ҮИС-ды қолдану көптеген проблеммаларды шешуге мүмкінді береді. Басқару логикасын проблеммалық жүзеге асыру мұнда салыстырмалы түрде қарағанда баяу жүзеге асырылады және микропроцессор кейбір жағдайларда қажетті жылдамдықты қамтамасыз ете алмайды. Осыған байланысты, қазіргі уақытта жоғары өнімділікті ЭЕМ-н элементтік базалары жартылай тапсырытын матрицалық ҮИС-ды құрайды. (базалық матрицалық кристалдар негізіндегі ҮИС, сонымен қатар программаланатын логикалық интегралдық шағынсұлбалар).



3.19 – сурет.

Жылдам жұмыс жасайтын матрицалық ҮИС. Матрицалық ҮИС-да шағынсұлбалар базалық матрицалық кристалл (БМК)

негізінде жобаланады.

БМК-ды өзара байланыспаған активті және пассивті компоненттер (транзистрлар, диодтар, резисторлар және т.б.) базалық ұяшық (БҰ) түзе отырып, жартылай өткізгішті кристалдың тұрақты позицияларында орындалады.

Бұның белгілі бір саны топологиялық ұяшық (ТҰ) түзе отырып, топталады. БМК-дағы топологиялық ұяшықтар бірдей, қайталанатын ұяшықтар матрицасын түзе отырып, жүйелі түрде рналасады. Бұлар арасында трассироваланатын кеңістік болады, онда бұларды ҮИС-ға біріктіретін металл өткізгіштер трассасы орналасады. БМК-ң прифериялық аумақтарында ҮИС жұмысын қамтамасыз ететін көмекші сұлбалар және сыртқы шығыстарды қосуға арналған байланыс алаңы орналасады. 3.19 суретте екі қабатты разводиалы типтік биролярлы БМК мополбиясының үзіндісі берілген.

Мұндағы, 1-базалық ұяшықтар; 2-көмекші сұлбалар; 3-байланыс алаңдары; 4-топологиялық ұяшықтар; 5-вертикалды трассаға арналған камал; 6-горизонталды трассаға арналған камал.

БМК М-300 негізінде құрылған к1520хm2 сериясы материялық ЭБЛ ҮИС-ны қарастыралық. БМК И – 300 өлшемі 5.1*5.3 мм. Кристал шарты түрде екі бөлімнен тұрады: ішкі және шеткі. Ішкі бөлім Ұ2 ТҰ-дан тұрады, бұлар 8*9 матрицасы түрінде орналасады.

Әр ТҰ 4 базалық ұяшықтардан тұрады, онда 17 транзистор және 10 резистор (3.16 сурет) болады. БМК И-300-дың шет бөлігінде тірек (опорный) кернеуінің 8 көзі, сигналдарды күшейту үшін 50 шығыс элементтері, 90 кіріс резисторлары және корпус шығыстарына қосу үшін 108 байланыс алаңдары орналасады.

Бұлардың компаненттері ЖӘНЕ/ЖӘНЕ – ЕМЕС, ЖӘНЕ – НЕМЕСЕ/ЖӘНЕ, НЕМЕСЕ – ЕМЕС. Логикалық элементерінің үлкен жиынын, екілік модуль бойынша қосуды жүзеге асырып, мультиплексорымен, демультимплексорлар, жартылай қосындылағыштар, тригерлер және т.б. жұмыс қолдайды.

Мысалы ҮИС логикалық сұлбаларын жобалау

функционалды ұяшықтар (ФҰ) кітапханасының көмегімен орындалады. функцияның кейбір түрлері 3.18 суретте берілген.

БМК И-300 интеграциялау дәрежесі 1100 эквивалентті элементтерді құрайды. функцияларды ауыстырып қосу кезіндегі сигналдардың кідіріс уақыты 0.7-1.55 нс көлемінде тербеледі, ал тұтынатын қуат 6.5-2.75МВт көлемінде. КИ 520хм2 сериялы ЭБЛ ма БИС конструктивті түрде планарлы шығысты 10В-шығысты металокерамикалық корпуста орындалады.

Схематехника негіздері пәні бойынша тест сұрақтары

\$1. Логика...

- А) Ойлаудың заңдылықтары мен формаларын зерттейтін ғылым
- В) Ойлау тәсілдері
- С) Тұжырым жасау
- Д) Логика алгебрасы

\$2. Логика алгебрасы ...

- А) Тұжырым жасау
- В) Математикалық логиканың информациялық-логикалық саласы
- С) Ойлау тәсілдері
- Д) Математикалық логиканың информациялық – логикалық есептерді қолданылатын саласы

\$3. Айтылым...

- А) бөлшек; аралас
- В) оң; теріс; натураль
- С) ақиқат немесе жалған деп айтуға болатын сөйлем
- Д) қысқа; ұзын; орташа

\$4. Айтылым ... белгіленеді

- А) =
- В) Ағылшынның бас әріптерімен: А,В,С,..
- С) >=
- Д) <=

\$5. Екі айтылымның ақиқаттық мәндері бірдей болса , онда олар ...

- А) өзара байланысты деп аталады
- В) бірмәнді деп аталады
- С) өзара тұрақты деп аталады
- Д) өзара эквиваленті деп аталады

\$6. Екі айтылымның эквиваленттілігі былай белгіленеді :

- A) =
- B) ==
- C) ≈
- D) ≡

\$7. $A=B$ жазылуы:

- A) өзара тұрақты деп аталады
- B) А және В айтылымдарының екеуі де ақиқат немесе екеуі де жалған болатындығын білдіреді
- C) бірмәнді деп аталады
- D) өзара байланысты деп аталады

\$8. Логика алгебрасында жалған мән былай белгіленеді:

- A) 0
- B) 2;
- C) 0;
- D) А

\$9. Логика алгебрасында ақиқаттық мән былай белгіленеді:

- A) 0
- B) 9
- C) 1
- D) 8
- E) 1

\$10. Келесі өрнектің $0 \wedge 1$ мәні мынадай болады:

- A) 0
- B) 2
- C) 1
- D) 3
- E) 11

\$11. А-ның ақиқаттық мәні нешеге тең?

- A) 1
- $\overline{A} = 1$

- B) 4
- C) 3
- D) 0
- E) 2

\$12. Келесі өрнектің ақиқаттық мәні нешеге тең?

$$0 \wedge 1 \vee 1$$

- A) 0
- B) 10
- C) 1
- D) 12

\$13. Келесі өрнектің ақиқаттық мәні нешеге тең?

$$(0 \vee 1) \wedge 1$$

- A) 0
- B) 7
- C) 3
- D) 1
- E) 2

\$14. Келесі өрнектің ақиқаттық мәні нешеге тең?

$$(1 \vee 0) \wedge (1 \vee 0 \wedge 1)$$

- A) 3
- B) 1
- C) 4
- D) 0

\$15. Келесі өрнектің ақиқаттық мәндері қандай болады:

$$0 \rightarrow 1$$

- A) 1
- B) 4
- C) 2
- D) 0

\$16. Басқа айтылымдарға тәуелді айтылымдар ... білдіреді:

- A) айнымалыны

- B) өрнекті
- C) функцияны
- D) айтылымды

\$17. Функциялар мынадай мәндерді қабылдай алады:

- A) ақиқат, жалған
- B) кездейсоқ
- C) нақты
- D) бүтін

\$18. Тұрақты функциялар мынадай мәндерді қабылдай алады:

- A) бүтін
- B) әрқезде ақиқат (жалған);
- C) кездейсоқ
- D) нақты

\$19. Тек екі мән (0 немесе 1) қабылдайтын айнымалылар... деп аталады

- A) ақиқат, жалған
- B) кездейсоқ
- C) Екілік айнымалылар
- D) бүтін

\$20. Мына кестедегі функциялардың ішіндегі тепе-тең тұрақтысы :

		1	2	3	4

- A) F_2
- B) F_1

- C) F_3
- D) F_4

\$21. Мына кестедегі функциялардың ішіндегі тепе-тең тұрақтысы:

		1	2	3	4

- A) F_1
- B) F_2
- C) F_3
- D) F_4

\$22. Схема талдау (анализ) есебінің көмегімен:

- A) Дайын схеманың жұмысын талдайды
- B) Компьютер құрастырылады
- C) Логикалық схема құрастырылады
- D) Логикалық функцияға лайықты схеманы анықтау

\$23. Схеманы синтездеудің мақсаты :

- A) Дайын схеманың жұмысын талдайды
- B) Компьютер құрастырылады
- C) Формула құрастыру
- D) логикалық функцияны сипаттайтын логикалық өрнекке лайық қарапайым схемаларды анықтау

\$24. Келесі өрнектің ақиқаттық мәні нешеге тең:

$\overline{0}$

- A) 1
- B) 2
- C) 0
- D) 4

\$25. Келесі өрнектің ақиқаттық мәні нешеге тең:

- $\overline{1}$
- A) 1
 - B) 3
 - C) 2
 - D) 0

\$26. Теріске шығару белгіленеді ...:

- A) \overline{A}
- B) A
- C) a
- D) a емес

\$27. Келесі өрнектің ақиқаттық мәні нешеге тең:

- $0 \wedge 0 =$
- A) 1
 - B) 2
 - C) 3
 - D) 0

\$28. Келесі өрнектің ақиқаттық мәні нешеге тең:

- $0 \wedge 1 =$
- A) 1
 - B) 2
 - C) 3
 - D) 0

\$29. A=1, B=0, C=1, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

- $(A \wedge B) \vee C =$
- A) 1
 - B) 2
 - C) 3
 - D) 0

§30. Екі айтылымның конъюнкциясы ... деп оқылады

- A) "А және В"
- B)
- C) "А немесе В"
- D) "А тең В"
- E) "А және В"

§31. Екі айтылымның дизъюнкциясы ... деп оқылады

- A) "А және В"
- B) "А және В"
- C) "А тең В"
- D) "А немесе В"

§32. Айтылымның терістеуі ... деп оқылады:

- A) "А және В"
- B) "А және В"
- C) "А емес"
- D) "А немесе В"

§33. Екі айтылымның тепе-теңділігі ... деп оқылады

- "А және В"
- "А және В"
- "А емес"
- "А В-ға тепе-тең"

§34. Екі айтылымның тепе-теңділігін терістеу ... деп оқылады:

- A) "А В-ға тепе-тең емес"
- B) "А және В"
- C) "А емес"
- D) "А В-ға тепе-тең"

§35. Екі айтылымның импликациясы ... деп оқылады:

"A және B"

"A және B"

"A емес"

"Егер A онда B "

\$36. Екі айтылымның үйлесімсіздігі ... деп оқылады:

A) "A B-ға үйлесімсіз"

B) "A және B"

C) "A емес"

D) "A немесе B"

\$37. Екі айтылымның дизъюнкциясы ... деп белгіленеді:

A) $A = B$

B) $A \wedge B$

C) $A \vee B$

D) $A = B$

\$38. Екі айтылымның конъюнкциясы ... деп белгіленеді:

A) $A = B$

B) $A \wedge B$

C) $A \vee B$

D) $A = B$

\$39. Айтылымның терістеуі ... деп белгіленеді:

A) $A = B$

B) \bar{A}

C) $A \vee B$

D) $A = B$

\$40. Екі айтылымның тепе-теңділігі ... деп белгіленеді:

A) $A = B$

B) $A \wedge B$

C) $A \vee B$

D) $A \equiv B$

\$41. Екі айтылымның тепе-теңділігі ... деп белгіленеді:

- A) $A \sim B$
- B) $A = B$
- C) $A \wedge B$
- D) $A \vee B$

\$42. Екі айтылымның импликациясы ... деп белгіленеді:

- A) $A \rightarrow B$
- B) $A \wedge B$
- C) $A \vee B$
- D) $A = B$

\$43. Екі айтылымның үйлесімсіздігі ... деп белгіленеді:

- A) A / B
- B) $A \wedge B$
- C) $A \vee B$
- D) $A = B$

\$44. Екі формула мөндес формулалар деп аталады, егер...

- A) Олардың ақиқаттық мәндері айтылымдардың барлық мәндерінің комбинациясы үшін бірдей болса
- B) Екі айтылым үйлесімсіз болса
- C) Екі айтылым үйлесімді болса
- D) Екі айтылым тепе-тең болса

\$45. $A=1, B=0, C=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

- $(A \sim B) \vee C$
- A) 1
 - B) 0
 - C) B
 - D) A

\$46. $A=1, B=0, C=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$(\bar{A} \vee C) \wedge \bar{B}$$

- A) A
- B) 1
- C) C
- D) 0

\$47. $A=1, B=0, C=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең: $A/(B \wedge C)$

- A) A
- B) 0
- C) 1
- D) C

\$48. $A=1, B=0, C=1, D=1$ болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$D \wedge A \vee B \wedge C$$

- A) 1
- B) 0
- C) 2
- D) A

\$49. $A=1, B=0, C=1, F=0$ болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$(A \vee B) \wedge (C \vee F)$$

- A) C
- B) F
- C) A
- D) 0
- E) 1

\$50. $A=1, B=0, C=1, F=0$ болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$(A \vee B) \wedge F \vee C$$

- A) 0
- B) 1
- C) P

- D) I
E) X

\$51. $L=1, U=0, E=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$(L \vee U) \wedge E$$

- A) L
B) U
C) 0
D) 1

\$52. $T=1, B=0, C=1, E=0$ болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$L \vee B \vee (C \wedge E) \wedge T$$

- A) T
B) L
C) Z
D) 1

\$53. $A=1, B=0, C=1, D=0$ болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$A \vee B \vee (C \wedge D)$$

- A) 0
B) 1
C) 2
D) D

\$54. $A=1, B=0, C=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$A \rightarrow C \wedge B$$

- A) C
B) 1
C) 0
D) A

\$55. $T=1, K=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$T/K \vee S$

- A) T
- B) K
- C) S
- D) 0

\$56. $\neg, \rightarrow, \sim, \vee$ операцияларының орындалу реті:

- A) $\neg, \vee, \sim, \rightarrow$
- B) $\neg, \rightarrow, \sim, \vee$
- C) Бәрібір
- D) $\vee, \neg, \rightarrow, \sim$

\$57. $\neg, \rightarrow, \sim, \wedge$ операцияларының орындалу реті:

- A) $\neg, \rightarrow, \sim, \wedge$
- B) $\neg, \wedge, \sim, \rightarrow$
- C) $\neg, \rightarrow, \sim, \vee$
- D) $\neg, \rightarrow, \sim, \vee$

\$58. $\neg, \rightarrow, \sim, /$ операцияларының орындалу реті:

- A) $\neg, \rightarrow, \sim, /$
- B) $\neg, \sim, \rightarrow, /$
- C) Бәрібір
- D) $\neg, \rightarrow, \sim, /$

\$59. $\wedge, \rightarrow, \sim, /$ операцияларының орындалу реті:

- A) $\wedge, \rightarrow, \sim, /$
- B) $\wedge, \sim, \rightarrow, /$
- C) $\wedge, /, \rightarrow, \sim$
- D) Бәрібір

\$60. $\overline{\overline{A}}$ = өрнегінің мәндес формуласы:

- A) 1
- B) 0
- C) B
- D) A

\$61. $A \wedge B$ өрнегінің мәндес формуласы:

- A) 1
- B) $B \wedge A$
- C) A
- D) B

\$62. $A \wedge 0$ өрнегінің мәндес формуласы:

- A) 0
- B) 1
- C) 2
- D) A

\$63. $A \wedge 1$ өрнегінің мәндес формуласы:

- A) 0
- B) 1
- C) 2
- D) A

\$64. $A \wedge A$ өрнегінің мәндес формуласы

- A) $2A$
- B) 0
- C) A
- D) 1

\$65. $A \wedge \bar{A}$ өрнегінің мәндес формуласы:

- A) 0
- B) 1
- C) A
- D) $2A$

\$66. $A \wedge (B \wedge C)$ өрнегінің мәндес формуласы:

- A) $A \vee (B \wedge C)$
- B) $(A \wedge B) \wedge C$
- C) $A \wedge (B \vee C)$
- D) $(A \wedge \vee B) \wedge C$

\$67. $A \vee B$ өрнегінің мәндес формуласы:

A) $A \wedge (B \vee C)$

B) $B \vee A$

C) $B \vee \wedge A$

D) 1

\$68. $A \vee 0$ өрнегінің мәндес формуласы:

A) A

B) 1

C) 0

D) B

\$69. $A \vee 1$ өрнегінің мәндес формуласы:

A) 1

B) A

C) B

D) 0

\$70. $A \vee A$ өрнегінің мәндес формуласы:

A) A

B) 1

C) 0

D) $A \wedge A$

\$71. $A \vee \bar{A}$ өрнегінің мәндес формуласы:

A) 0

B) 1

C) A

D) \bar{A}

\$72. $A \vee (B \vee C)$ өрнегінің мәндес формуласы:

A) $(A \vee B) \vee C$

B) $A \vee (B \vee \vee C)$

C) $A \wedge (B \vee C)$

D) $(A \wedge B) \vee C$

\$73. $\overline{A \wedge B}$ өрнегінің мәндес формуласы:

- A) $(A \vee B) \vee C$
- B) $\overline{A} \vee \overline{B}$
- C) $A \wedge (B \vee C)$
- D) $(A \wedge B) \vee C$

\$74. $\overline{A \vee B}$ өрнегінің мәндес формуласы:

- A) $\overline{A} \wedge \overline{B}$
- B) $\overline{A} \vee \overline{B}$
- C) 1
- D) 0

\$75. $A \wedge (B \vee C)$ өрнегінің мәндес формуласы:

- A) 1
- B) 0
- C) $(A \wedge B) \vee (A \wedge C)$
- D) $A \vee (B \vee C)$

\$76. $A \vee (B \wedge C)$ өрнегінің мәндес формуласы:

- A) $A \wedge (B \vee C)$
- B) $(A \vee B) \wedge (A \vee C)$
- C) $(A \wedge B) \vee (A \wedge C)$
- D) 1

\$77. $A \sim 0$ өрнегінің мәндес формуласы:

- A) \overline{A}
- B) $\overline{\overline{A}}$
- C) 1
- D) 0

\$78. $A \sim 1$ өрнегінің мәндес формуласы:

- A) \overline{A}
- B) A

- C) 0
- D) 1

\$79. $A \sim B$ өрнегінің мәндес формуласы:

- A) \bar{A}
- B) 0
- C) $(A \vee \bar{B}) \wedge (\bar{A} \vee B)$
- D) 1

\$80. $A \neq B$ өрнегінің мәндес формуласы:

- A) 0
- B) 1
- C) B
- D) $\neg(A \sim B)$

\$81. $A \rightarrow B$ өрнегінің мәндес формуласы:

- A) 1
- B) $\bar{A} \vee B$
- C) 0
- D) A

\$82. A/B өрнегінің мәндес формуласы:

- A) 0
- B) $\frac{\neg(A \sim B)}{A \wedge B}$
- C) $A \wedge B$
- D) 1

\$83. A/A өрнегінің мәндес формуласы:

- A) 1
- B) 0
- C) A/B
- D) \bar{A}

\$84. $W=1, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$(W \sim R) \rightarrow S$$

- A) 1
- B) W
- C) R
- D) 0

\$85. $W=1, R=0, S=1$ болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$(R \sim S) \rightarrow W$$

- A) 0
- B) 1
- C) S
- D) R

\$86. $R=0, S=1$ болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$R \sim S$$

- A) 1
- B) S
- C) 0
- D) R

\$87. $R=1, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$R \sim S$$

- A) 0
- B) 1
- C) R
- D) S

\$88. $W=1, R=1, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$R \rightarrow S$$

- A) R
- B) S
- C) 1
- D) Begin Next

\$89. $W=1, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

- R/S
- A) 1
 - B) 0
 - C) R
 - D) V

\$90. $W=1, R=1, S=0$ болса, келесі өрнектің ақиқаттық мәні нешеге тең:

- R/S
- A) 1
 - B) 0
 - C) W
 - D) R

\$91. $W=1, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

- R/S
- A) 1
 - B) 0
 - C) W
 - D) S

\$92. $W=1, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

- W/S
- A) U
 - B) T
 - C) L
 - D) 0

\$93. $W=1, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$(W \vee R) \wedge (S \vee R)$$

- A) 1
- B) 2
- C) 0
- D) W

\$94. $W=1, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$W \vee R \wedge (S \vee R)$$

- A) 0
- B) 5
- C) R
- D) 1

\$95. $W=1, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$W \vee R \wedge S \vee R$$

- A) 0
- B) R
- C) 1
- D) S

\$96. $W=1, R=0, S=0$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$W \vee R \wedge (S \vee R)$$

- A) W
- B) S
- C) 1
- D) 52

\$97. $W=1, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$W \wedge R \wedge (S \vee R)$$

- A) 1
- B) 0
- C) W
- D) S

\$98. $W=1, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$W \wedge S \vee R$$

- A) W
- D) S
- E) 0
- D) 1

\$99. $W=1, R=0, S=0$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$W \wedge S \vee R$$

- A) W
- B) 1
- C) 0
- D) R

\$100. $W=0, R=0, S=1$, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$W \wedge S \vee R$$

- A) 0
- B) 0
- C) W
- D) R

\$ 101. Логикалық формула дегеніміз...

- A) кестелік процессор;
- B) логикалық пікірлер мен жалған және ақиқат символдармен берілген өрнектер;

- С) математикалық формула;
- Д) логикалық пікірлер емес жалған және ақиқат емес символдармен берілген өрнектер ;

§ 102. Екілік сандардың бір танбасы қалай аталады?

- А) байт;
- В) Гбайт;
- С) Мгбайт;
- Д) бит;

§ 103. Логика дегеніміз - ...

- А) адамның ойлау нысандары мен заңдары туралы ғылым;
- В) информациялар жиыны;
- С) логикалық пікірлер мен жалған және ақиқат символдармен берілген өрнектер
- Д) логикалық пікірлер емес жалған және ақиқат емес символдармен берілген өрнектер ;

§ 104. Пікір дегеніміз -

- А) адамның ойлау нысандары мен заңдары туралы ғылым;
- В) жалған және ақиқат болатын кейбір пайымдаулар;
- С) жалған емес және ақиқат болатын кейбір пайымдаулар;
- Д) адамның ойлау нысандары мен информация туралы ғылым;;

§ 105. “емес ” операциясының нәтижесі

- А) логикалық квадраттау;
- В) логикалық көбейту;
- С) логикалық теріске шығару;
- Д) логикалық қосу;

§ 106. “және ” операциясының нәтижесі

- А) логикалық квадраттау;
- В) логикалық көбейту;
- С) логикалық теріске шығару;
- Д) логикалық қосу;

§ 107. “немесе” операциясының нәтижесі

- A) логикалық квадраттау;
- B) логикалық көбейту;
- C) логикалық теріске шығару;
- D) логикалық қосу;

§ 108. Жинақтаушы сумматор регистрі не үшін қолданылады?

- A) көбейту үшін;
- B) көбейту амалы қайталанып отыратын сандарды қосу мен жылжыту өрнек әрекеттері тізбегі;
- C) азайту үшін;
- D) қосу амалы қайталанып отыратын сандарды қосу мен жылжыту;

§ 109. Логикалық амалдар

- A) қосу, алу;
- B) бөлу, көбейту;
- C) және, жоқ;
- D) және, немесе, емес;

§ 110. “НЕМЕСЕ” үшін де Морган заңы

- A) $\overline{x \vee y} = \bar{y} \cdot \bar{x}$;
- B) $\overline{x \vee y} = ux$;
- C) $\overline{x \vee y} = x \cdot y$;
- D) $\overline{x \vee y} = x \cdot y$;

§ 111. “ЖӘНЕ” үшін екі рет терістеу заңы?

- A) $\overline{\overline{x}} = \bar{x}$;
- B) $\overline{\overline{x}} = x$;

- C) $\bar{x} = \bar{f}$;
 D) $x = a$;

\$ 112. W=1, R=0, S=1, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

- | | R/S |
|----|-----|
| E) | 1 |
| F) | 0 |
| G) | W |
| H) | R |

\$ 113. Қанша логикалық операцияны қарастырдық?

- A) 7 ;
 B) 2;
 C) 3;
 D) 4;

\$ 114. $A \wedge 0$ өрнегінің мәндес формуласы:

- A) 0
 B) 1
 C) 2
 D) A

\$ 115. “ЕМЕС” операциясын қалай белгілейміз?

- A) $(-, \neg)$;
 B) $(-, \wedge)$;
 C) (\wedge, \neg) ;
 D) (\vee, \rightarrow) ;

\$ 116. “ЖӘНЕ” операциясын қалай белгілейміз?

- A) $(“.”, \vee, \&)$;
 B) $(“.”, \wedge, \&)$;
 C) $(“*”, \vee, \bar{A})$;
 D) $(“*”, \bar{A}, \neg)$;

\$ 117. Айтылым...

- A) бөлшек; аралас
- B) оң; теріс; натураль
- C) ақиқат немесе жалған деп айтуға болатын сөйлем
- D) қысқа; ұзын; орташа

\$ 118. Айтылым ... белгіленеді

- A) =
- B) Ағылшынның бас әріптерімен: А,В,С,..
- C) $>=$
- D) $<=$

\$ 119. Екі айтылымның ақиқаттық мәндері бірдей болса ,
онда олар ...

- A) өзара байланысты деп аталады
- B) бірмәнді деп аталады
- C) өзара тұрақты деп аталады
- D) өзара эквиваленті деп аталады

\$ 120. $A=B$ жазылуы:

- A) өзара тұрақты деп аталады
- B) А және В айтылымдарының екеуі де ақиқат немесе екеуі де жалған болатындығын білдіреді
- C) бірмәнді деп аталады
- D) өзара байланысты деп аталады

\$ 121. Логика алгебрасында жалған мән былай белгіленеді:

- A) 0
- B) 2;
- C) 1;
- D) А

\$ 122. Логика алгебрасында ақиқаттық мән былай
белгіленеді:

- A) 0
- B) 9

- C) 1
- D) 8

§ 123. A -ның ақиқаттық мәні нешеге тең?

$$\overline{A} = 1$$

- A) 1
- B) 4
- C) 3
- D) 0

§ 124. Келесі өрнектектің ақиқаттық мәні нешеге тең?

$$0 \wedge 1 \vee 1$$

- A) 0
- B) 10
- C) 1
- D) 12

§ 125. Келесі өрнектектің ақиқаттық мәні нешеге тең?

$$(0 \vee 1) \wedge 1$$

- A) 0
- B) 7
- C) 3
- D) 1

§ 126. Басқа айтылымдарға тәуелді айтылымдар ...

білдіреді:

- A) айнымалыны
- B) өрнекті
- C) функцияны
- D) айтылымды

§ 127. Функциялар мынадай мәндерді қабылдай алады:

- A) ақиқат, жалған
- B) кездейсоқ
- C) нақты
- D) бүтін

§ 128. Екі айтылымның дизъюнкциясы ... деп оқылады

- A) "А және В"
- B) "А және В"
- C) "А тең В"
- D) "А немесе В"

§ 129. Айтылымның терістеуі ... деп оқылады:

- A) "А және В"
- B) "А және В"
- C) "А емес"
- D) "А немесе В"

§ 130. Екі айтылымның тепе-теңділігі ... деп оқылады

- A) "А және В"
- B) "А және В"
- C) "А емес"
- D) "А В-ға тепе-тең"

§ 131. Екі айтылымның тепе-теңділігін терістеу ... деп оқылады:

- A) "А В-ға тепе-тең емес"
- B) "А және В"
- C) "А емес"
- D) "А В-ға тепе-тең"

§ 132. Екі айтылымның импликациясы ... деп оқылады:

- A) "А және В"
- B) "А және В"
- C) "А емес"
- D) "Егер А онда В "

§ 133. ЖӘНЕ схемасы нені көрсетеді?

- А) екі немесе көптеген логикалық элементтерінің дизъюнкциясы ;
- В) екі немесе көптеген логикалық элементтерінің конъюнкциясы ;
- С) екі немесе көптеген логикалық элементтерін теріске шығару ;
- Д) екі немесе көптеген логикалық элементтерінің символдық тексті;

§ 134. НЕМЕСЕ схемасы нені көрсетеді?

- А) екі немесе көптеген логикалық элементтерінің дизъюнкциясы ;
- В) екі немесе көптеген логикалық элементтерінің конъюнкциясы ;
- С) екі немесе көптеген логикалық элементтерін теріске шығару ;
- Д) екі немесе көптеген логикалық элементтерінің символдық тексті;

§ 135. ЕМЕС схемасы нені көрсетеді?

- А) екі немесе көптеген логикалық элементтерінің дизъюнкциясы ;
- В) екі немесе көптеген логикалық элементтерінің конъюнкциясы ;
- С) теріске шығару инвертор операциясы ;
- Д) екі немесе көптеген логикалық элементтерінің символдық тексті;

§ 136. ЖӘНЕ – ЕМЕС схемасы неден тұрады?

- А) екі немесе көптеген логикалық элементтерінің дизъюнкциясы мен ЖӘНЕ схемасы ;
- В) екі немесе көптеген логикалық элементтерінің конъюнкциясы мен ЖӘНЕ схемасы ;
- С) екі немесе көптеген логикалық элементтерін теріске шығару мен ЖӘНЕ схемасы ;
- Д) ЖӘНЕ схемасының нәтижесін теріске шығару

§ 137. НЕМЕСЕ - ЕМЕС схемасы нені көрсетеді?

А) НЕМЕСЕ схемасының нәтижежесін теріске шығару (НЕМЕСЕ элементтерінің инверторлары) ;

В) екі немесе көптеген логикалық элементтерінің конъюнкциясы мен НЕМЕСЕ схемасы;

С) екі немесе көптеген логикалық элементтерін теріске шығару мен НЕМЕСЕ схемасы ;

Д) екі немесе көптеген логикалық элементтерінің символдық тексті НЕМЕСЕ схемасы;

§ 138. “Бүгін ауа райы жақсы болады” айтылымы логикалық пікірге жатама жоқпа?

А) жатады ;

В) мүмкін;

С) жатпайды;

Д) айта алмаймын;

§ 139. “Темір - металл” айтылымы логикалық пікірге жатама жоқ па?

А) жатпайды ;

В) жатады;

С) айтаалмаймын ;

Д) мүмкін;

§ 140. Егер a және b ақиқат болса, онда c – ақиқат. Бірақ c – жалған болса, онда a немесе b - жалған ” айтылымның формуласын жазыңыз:”

А) $((a \cdot b \rightarrow c) \cdot \bar{c}) \rightarrow (\bar{a} \wedge \bar{b})$;

В) $((a \cdot b \rightarrow c) \cdot \bar{c}) \leftrightarrow (\bar{a} \wedge \bar{b})$;

С) $((a \cdot b \leftrightarrow c) \cdot c) \rightarrow (\bar{a} \vee \bar{b})$;

Д) $((a \cdot b \rightarrow c) \cdot \bar{c}) \rightarrow (\bar{a} \vee \bar{b})$

§141. Мына $a \cdot b$ формула бойынша a – “күн ашық”, $a \cdot b$ – “күн жылы” айтылым түрінде жазыңыз

- A) күн ашық және жылы;
- B) күн ашық емес және жылы ;
- C) күн ашық және жылы емес ;
- D) күн ашық емес және жылы емес;

\$142. Мына $a \cdot \bar{b}$ формула формула бойынша a=”күн ашық”, a b= “күн жылы” айтылым түрінде жазыңыз

- A) күн ашық және жылы;
- B) күн ашық және ол жылы емес ;
- C) күн ашық және жылы емес ;
- D) кү ашық емес және жылы емес;

\$143. Мына $\bar{a} \cdot \bar{b}$ формула формула бойынша a=”күн ашық”, ал b= “күн жылы” айтылым түрінде жазыңыз

- A) күн ашық және жылы;
- B) күн ашық және ол жылы емес ;
- C) күн ашық емес немесе ол жылы емес ;
- D) күн ашық емес және жылы емес;

\$ 144 . Мазмұны ақиқат (1-ге тең) немесе жалған (0-ге тең) деп айтуға болатын аяқталған сөйлемді ... деп айтамыз.

- A) тұжырым;
- B) конъюнкция;
- C) дизъюнкция;
- D) жоққа шығару (отрицание);
- E) функция.

\$ 145. Логикалық операциялармен біріктірілген логикалық айнымалылар ... құрайды.

- A) логическалық өрнек;
- B) логическалық функция;
- C) логическалық операция;
- D) логическалық мән;
- E) логическалық қатынас.

\$ 146. Логическалық конъюнкция операциясы ... схемасының көмегімен іске асырылады.

- A) НЕТ(жоқ);

- В) ИЛИ (немесе);
- С) НЕ(емес);
- Д) И(және);
- Е) ДА(иә).

§ 147. Логическалық дизъюнкция операциясы ... схемасының көмегімен іске асырылады.

- А) И(және);
- В) ИЛИ (немесе);
- С) НЕ(емес);
- Д) НЕТ(жоқ);
- Е) ДА(иә).

§ 148. Айнымалылардың мәні $a=0$, $b=1$ болғанда $a \wedge b$ логикалық өрнегі қандай мән қабылдайды?

- А) 1;
- В) -1;
- С) 0;
- Д) 2;
- Е) -2.

§ 149. Айнымалылардың мәні $a=0$, $b=1$ болғанда $a \vee b$ логикалық өрнегі қандай мән қабылдайды?

- А) 1;
- В) -1;
- С) 0;
- Д) 2;
- Е) -2.

§ 150. Айнымалылардың мәні $a=0$, $b=0$ болғанда $a \vee b$ логикалық өрнегі қандай мән қабылдайды?

- А) 0;
- В) -1;
- С) 1;
- Д) 2;
- Е) а.

§ 151. Төмендегі кесте қандай функцияның ақиқаттық кестесі (таблица истинности) болып табылады?

	?
0	1
1	0

- А) дизъюнкции;
- В) конъюнкции;
- С) жоққа шығару (отрицания);
- Д) біріктіру (сцепления);
- Е) ережелерді қолану (следования).

§ 152. Төмендегі кесте қандай функцияның ақиқаттық кестесі (таблица истинности) болып табылады?

	Y	?
0	0	0
0	1	1
1	0	1
1	1	1

- А) дизъюнкции;
- В) конъюнкции;
- С) жоққа шығару (отрицания);
- Д) біріктіру (сцепления);
- Е) ережелерді қолану (следования).

§153. Төмендегі кесте қандай логикалық схеманың күй кестесі болып табылады?

	?
0	1
1	0

- А) «ЕМЕС»;
- В) «ЖӘНЕ»;
- С) «НЕМЕСЕ»;
- Д) «ЖӘНЕ-ЕМЕС»;

\$154. Төмендегі кесте қандай логикалық схеманың күй кестесі болып табылады?

	Y	?
0	0	0
0	1	1
1	0	1
1	1	1

- A) «ЕМЕС»;
- B) «ЖӘНЕ»;
- C) «НЕМЕСЕ»;
- D) «ЖӘНЕ-ЕМЕС»;

\$155. Төмендегі кесте қандай логикалық схеманың күй кестесі болып табылады?

	Y	?
0	0	0
0	1	0
1	0	0
1	1	1

- A) «ЕМЕС»;
- B) «ЖӘНЕ»;
- C) «НЕМЕСЕ»;
- D) «ЖӘНЕ-ЕМЕС»;

\$156. .

\$157. Төмендегі кесте қандай логикалық схеманың күй кестесі болып табылады?

	Y	?
0	0	1
0	1	1
1	0	1
1	1	0

- A) «ЕМЕС»;

- В) «ЖӘНЕ»;
- С) «НЕМЕСЕ-ЕМЕС»;
- Д) «ЖӘНЕ-ЕМЕС»;

\$158. ЭЕМ-дегі негізгі тізбектер ... деп аталады.

- А) «ЕМЕС»;
- В) «ЖӘНЕ»;
- С) логикалық элементтер;
- Д) «ЖӘНЕ-ЕМЕС»;

\$159. Логикалық элементтердің кірмесіндегі ескерілетін шама ...;

- А) кернеудің бары не жоғы;
- В) деңгей;
- С) тоқтың шамасы;
- Д) кедергі;

\$160. Логикалық элементтердің кірмесіндегі ескерілетін шама ...;

- А) кернеудің потенциалдық деңгейі;
- В) деңгей;
- С) тоқтың шамасы;
- Д) кедергі;

\$161. Логикалық элементтерге ... санау жүйесі қолданылады;

- А) ондық;
- В) екілік;
- С) сегіздік;
- Д) үштік;

\$162. «ЖӘНЕ» логикалық элементі ... операциясын орындайды.

- А) пайымдалған тұжырымды логикалық қосу
- В) пайымдалған тұжырымды логикалық көбейту
- С) пайымдалған тұжырымды логикалық терістеу

D) «ЖӘНЕ-ЕМЕС»;

\$163. Логикалық элементтердегі кернеудің жоғарғы деңгейі ... деп алынады;

- A) 0;
- B) 1;
- C) 8;
- D) 3;

\$164. Логикалық элементтердегі кернеудің төменгі деңгейі ... деп алынады;

- A) 0;
- B) 1;
- C) 8;
- D) 3;

\$165. Логикалық элементтердің шықпасындағы ескерілетін шама ...;

- A) кернеудің потенциалдық деңгейі;
- B) деңгей;
- C) тоқтың шамасы;
- D) кедергі;

\$166. Логикалық элементтердің шықпасындағы ескерілетін шама ...;

- A) кернеудің бары не жоғы;
- B) деңгей;
- C) тоқтың шамасы;
- D) кедергі;

\$167. Цифрлық құрылғылардың негізінде ... тізбек бар.

- A) 2;
- B) 5;
- C) 3;
- D) кедергі;

\$168. ... логикалық элементі пайымдалған тұжырымды теріске шығару операциясын орындайды.

- A) «ЕМЕС»;
- B) «ЖӘНЕ»;
- C) «ЖӘНЕ-ЕМЕС»;
- D) «ЖӘНЕ-ЕМЕС»;

\$169. ... логикалық элементі пайымдалған тұжырымды логикалық көбейту операциясын орындайды.

- A) «ЕМЕС»;
- B) «ЖӘНЕ»;
- C) «НЕМЕСЕ»;
- D) «ЖӘНЕ-ЕМЕС»;

\$170. «ЕМЕС» логикалық элементі ... операциясын орындайды.

- A) пайымдалған тұжырымды логикалық қосу
- B) логикалық көбейту
- C) пайымдалған тұжырымды логикалық терістеу
- D) «ЖӘНЕ-ЕМЕС»;

\$171. ... логикалық элементі пайымдалған тұжырымды логикалық қосу операциясын орындайды.

- A) «ЕМЕС»;
- B) «НЕМЕСЕ»;
- C) «ЖӘНЕ»;
- D) «ЖӘНЕ-ЕМЕС»;

\$172. «НЕМЕСЕ» логикалық элементі ... операциясын орындайды.

- A) пайымдалған тұжырымды логикалық қосу
- B) логикалық көбейту
- C) бөлу;
- E) «ЖӘНЕ-ЕМЕС»;

\$173. Айтылым...

- A) бөлшек; аралас
- B) оң; теріс; натураль

C) ақиқат немесе жалған деп айтуға болатын сөйлем

D) қысқа; ұзын; орташа

\$174. Айтылым ... белгіленеді

A) =

B) Ағылшынның бас әріптерімен: A,B,C,..

C) $>=$

D) $<=$

\$175. Екі айтылымның ақиқаттық мәндері бірдей болса ,
онда олар ...

A) өзара байланысты деп аталады

B) бірмәнді деп аталады

C) өзара тұрақты деп аталады

D) өзара эквиваленті деп аталады

\$176. Екі айтылымның эквиваленттілігі былай белгіленеді

:

A) =

B) ==

C) \approx

D) \equiv

\$177. $A=B$ жазылуы:

A) өзара тұрақты деп аталады

B) A және B айтылымдарының екеуі де ақиқат

немесе екеуі дежалған болатындығын білдіреді

C) бірмәнді деп аталады

D) өзара байланысты деп аталады

\$178. Логика алгебрасында жалған мән былай белгіленеді:

A) 0

B) 2;

C) 0;

D) A

\$179. Логика алгебрасында ақиқаттық мән былай
белгіленеді:

F) 0

G) 9

H) 1

I) 8

J) 1

\$180. Келесі өрнектің $0 \wedge 1$ мәні мынадай болады:

A) 0

B) 2

C) 1

D) 3

E) 11

\$181. A-ның ақиқаттық мәні нешеге тең?

$\overline{A} = 1$

A) 1

B) 4

C) 3

D) 0

E) 2

\$182. Келесі өрнектің ақиқаттық мәні нешеге тең?

$$0 \wedge 1 \vee 1$$

E) 0

F) 10

G) 1

H) 12

\$183. Келесі өрнектің ақиқаттық мәні нешеге тең?

$$(0 \vee 1) \wedge 1$$

A) 0

B) 7

C) 3

D) 1

E) 2

\$184. Келесі өрнектің ақиқаттық мәні нешеге тең?

$$(1 \vee 0) \wedge (1 \vee 0 \wedge 1)$$

A) 3

B) 1

C) 4

D) 0

\$185. Келесі өрнектектің ақиқаттық мәндері қандай болады:

$$0 \rightarrow 1$$

- A) 1
- B) 4**
- C) 2
- D) 0

\$186. Басқа айтылымдарға тәуелді айтылымдар ... білдіреді:

- A) айнымалыны
- B) өрнекті
- C) функцияны
- D) айтылымды

\$187. Функциялар мынадай мәндерді қабылдай алады:

- A) ақиқат, жалған
- B) кездейсоқ**
- C) нақты
- D) бүтін

\$188. Тұрақты функциялар мынадай мәндерді қабылдай алады:

- A) бүтін
- B) әрқезде ақиқат (жалған);
- C) кездейсоқ
- D) нақты

\$189. Тек екі мән (0 немесе 1) қабылдайтын айнымалылар... деп аталады

- A) ақиқат, жалған
- B) кездейсоқ
- C) Екілік айнымалылар
- D) бүтін

\$190. Мына кестедегі функциялардың ішіндегі тепе-тең тұрақтысы :

		1	2	3	4

- A) F_2
- B) F_1
- C) F_3
- D) F_4

\$191. Схема талдау (анализ) есебінің көмегімен:

- A) Дайын схеманың жұмысын талдайды
- B) Компьютер құрастырылады
- C) Логикалық схема құрастырылады
- D) Логикалық функцияға лайықты схеманы анықтау

\$192. Схеманы синтездеудің мақсаты :

- A) Дайын схеманың жұмысын талдайды
- B) Компьютер құрастырылады
- C) Формула құрастыру
- D) логикалық функцияны сипаттайтын логикалық

өрнекке лайық қарапайым схемаларды анықтау

\$193. Келесі өрнектектің ақиқаттық мәні нешеге тең:

$\bar{0}$

- A) 1
- B) 2
- C) 0
- D) 4**

\$194. Келесі өрнектектің ақиқаттық мәні нешеге тең:

$\bar{1}$

- A) 1
- B) 3
- C) 2
- D) 0

\$195. Теріске шығару белгіленеді ...:

- A) \bar{A}
- B) A
- C) a
- D) a емес

\$196. Келесі өрнектің ақиқаттық мәні нешеге тең:

$$0 \wedge 0 =$$

- A) 1
- B) 2
- C) 3
- D) 0

\$197. Келесі өрнектің ақиқаттық мәні нешеге тең:

$$0 \wedge 1 =$$

- A) 1
- B) 2**
- C) 3
- D) 0**

\$198. A=1, B=0, C=1, болса, келесі өрнектің ақиқаттық мәні нешеге тең:

$$(A \wedge B) \vee C =$$

- A) 1
- B) 2
- C) 3
- D) 0

\$199. Логикалық элементтердің кірмесіндегі ескерілетін шама ...;

- A) кернеудің потенциалдық деңгейі;
- B) деңгей;
- C) тоқтың шамасы;
- D) кедергі;

\$200. Логикалык элементтерге ... санау жүйесі қолданылады;

- A) ондық;
- B) екілік;
- C) сегіздік;
- D) үштік;

Тест сұрақтарының жауаптары

Сұрақ нөмірі	жауабы	Сұрақ нөмірі	жауабы
1	A	101	B
2	D	102	D
3	C	103	A
4	B	104	B
5	D	105	C
6	A	106	B
7	B	107	D
8	A	108	B
9	C	109	D
10	A	110	A
11	D	111	B
12	C	112	A
13	D	113	A
14	B	114	A
15	D	115	A
16	C	116	B
17	A	117	C
18	B	118	B
19	C	119	D
20	B	120	B
21	D	121	A
22	A	122	C
23	D	123	D
24	A	124	C
25	D	125	D
26	A	126	C
27	D	127	A
28	A	128	D
29	A	129	C
30	D	130	D
31	D	131	A
32	C	132	D

33	D	133	B
34	A	134	A
35	D	135	C
36	A	136	D
37	C	137	A
38	B	138	C
39	B	139	B
40	D	140	D
41	A	141	A
42	A	142	B
43	A	143	D
44	A	144	A
45	A	145	A
46	B	146	D
47	C	147	B
48	A	148	C
49	E	149	A
50	B	150	A
51	D	151	C
52	D	152	A
53	B	153	A
54	C	154	C
55	D	155	B
56	A	156	C
57	B	157	C
58	B	158	C
59	C	159	A
60	D	160	A
61	A	161	B
62	A	162	B
63	D	163	B
64	C	164	A
65	A	165	A
66	B	166	A
67	B	167	C

68	A	168	A
69	B	169	B
70	A	170	C
71	B	171	B
72	A	172	A
73	B	173	C
74	A	174	B
75	C	175	D
76	B	176	A
77	B	177	B
78	B	178	A
79	C	179	D
80	D	180	A
81	B	181	D
82	C	182	D
83	D	183	D
84	D	184	B
85	A	185	D
86	C	186	C
87	B	187	A
88	C	188	B
89	A	189	A
90	A	190	B
91	A	191	A
92	D	192	D
93	A	193	A
94	D	194	D
95	C	195	A
96	D	196	D
97	B	197	A
98	D	198	A
99	C	199	A
100	A	200	B

Түсіндірме сөздіктер

AC (Alternating Current) - 220 вольт кернеулі электр желінің белгісі.

ACPI (Advanced Configuration and Power Interface) - компьютер мен оның жеке бөліктерінің электр қорегін бағдарламамен басқаруды анықтайтын келісілген стандарт.

AGP (Accelerated Graphics Port) - бейнетақтаны аналық тақтаға жалғауға арналған интерфейс немесе ажыратқы (айтылу мағынасына қарай).

ALU (Arithmetic Logic Unit) - орталық процессордың ең маңызды бөлігі болып табылатын арифметикалық-логикалық құрылғы.

AMR (Audio Modem Riser) - дыбыстық тақталар мен модемдердің "жеңілдетілген" нұсқаларын аналық тақтаға жалғастыратын ажыратқы.

APM (Advanced Power Management) - компьютер мен оның жеке бөліктерінің электр қорегін бағдарламамен басқарудың тәсілдерін анықтайтын алғашқы стандарт.

AT (Advanced Technology) - IBM-үйлесімді дербес компьютерінің архитектурасының түрі. Кейбір жағдайларда 80386 және одан төмен процессорлардың аналық тақталарының форм-факторларын белгілейді.

ATA (Advanced Attachment) - EIDE контроллерінің барлық жалғанған жалғанған құрылғылармен қатынасын анықтайтын ортақ келісімді стандарт.

ATAPI (ATA Packet Interface) - EIDE контроллеріне қатты дискіден бөлек CD-ROM, ZIP Iomega және өзге құрылғыларды жалғауға мүмкіндік беретін ATA стандартының кеңейтілуі.

ATX (AT Extension) - компьютердің электрқорегін бағдарламамен басқаруды анықтайтын келісілген стандарт. Компьютердің қорабы да, аналық тақта да, және компьютердің барлық басқа компоненттері стандартқа сай болуы керек.

Ақпаратты түрлендіру - құбылыстардың бір класының құбылыстардың басқа класына бейнеленуі.

Абстрактылы - абстракцияға негізделген.

Алгоритм - тапсырманы шешуге қажетті әрекеттер мен ережелер жиынтығы.

Анализ (талдау) - бір нәрсенің жекелеген жақтарын, қасиеттерін, құрамдас бөліктерін қарастыру арқылы ғылыми зерттеу тәсілі.

B&W (Black and White) - ақ – қара түсті немесе монохромды мониторға қолданылатын белгі.

BIST (Built-in Self Test) - жабдықтарды тестілейтін кіріктірілген бағдарламалық қамтамасыздау, нақтысында өзін-өзі тестілеу бағдарламасы.

Байт - 8 биттен тұратын ЭЕМ жадының немесе ондағы мәліметтердің адрестелетін ең кіші бірлігі.

Бит - екілік санау жүйесінің цифры (0 немесе 1 мәнін қабылдайды).

Бүлдік айнымалылар (немесе функциялар) - Айнымалы шамалар мен олардың функциялары тек екі мәнді (0 және 1) қабылдайды.

CD-ROM (Compact Disk Read-Only Memory) - тек оқуға арналған ақпаратты сақтайтын құрылғы.

Chip - микросхема.

Chipset - микросхемалардың жиынтығы.

COM Port (Communication port) – компьютердің стандартты тізбекті порты 115 Кбит/с мәлімет алмасуды іске асырады.

C.O.P. (CPU Overheating Protection) - аппараттық деңгейде жасалған, орталық процессорды қызып кетуден қорғау технологиясы.

CPU (Central Processor Unit) - орталық процессор.

CRT (Cathode Ray Tube) - электрондық-сәулелік құбыр. Ал CRT- монитор дегеніміз электрондық-сәулелік құбырдың негізінде жасалынған монитор (ЭСТ- монитор).

DDR SDRAM (Double Data Rate SDRAM) - SDRAM-ның өткізгіштік қабілеті екі есеге көбейтілген екінші буыны.

DDR200 - мәлімет тасымалдау жиілігі 200 МГц, ал өткізгіштік қабілеті 1600 Мбит/сек болатын DDR SDRAM – ды белгілейтін термин.

DDR266 - мәлімет тасымалдау жиілігі 266 МГц, ал өткізгіштік қабілеті 2100 Мбит/сек болатын DDR SDRAM – ды белгілейтін термин.

DDR333 - мәлімет тасымалдау жиілігі 333 МГц, ал өткізгіштік қабілеті 2700 Мбит/сек болатын DDR SDRAM – ды белгілейтін термин.

DDR400 - мәлімет тасымалдау жиілігі 400 МГц, ал өткізгіштік қабілеті 3200 Мбит/сек болатын DDR SDRAM – ды белгілейтін термин.

DIMM (Dual In-Line Memory Module) - жедел жады модульдерінің қазіргі кездегі қолданылатын бір түрі. SIMM жадыларынан айырмашылығы: қарсы жақ түйіндері өзара тұйықталмаған, яғни зара тәулісіз болады.

DMI (Desktop Management Interface) - жүйелік BIOS-тың компьютердің конфигурациясы туралы ақпарат саталатын аймағы.

Doze Mode - дербес компьютердің энергия тұтынуын азайтатын режим (ұйқы режимі).

DPMS (Display Power Management Signaling) - монитордың электркорегін басқаратын жүйе.

DRAM (Dynamic Random Access Memory) - мәліметтері қысқа уақыт аралығында жаңартылып тұрса ғана сақталынатын жады түрі.

DVD (Digital Video Disk) – бейне мәліметтерді сақтауға қолданылатын компакт-диск.

Диаграмма сандық шамалардың немесе геометриялық тәсілмен орындалған олардың қатынастарының шартты бейнесі.

Д-кодтар Екілік-ондық кодтар (8421, 2421, 7421. 8421+3, 8421+3)

Дизъюнкция Логикалық қосу

Жады - мәліметтерді қабылдауға, сақтауға және беруге арналған ЭЕМ-нің функционалдық бөлігі.

Сыртқы жады - мәліметтерді ұзақ уақыт сақтауға арналған алмалы-салмалы жад құралдары (магниттік диск, иілгіш магниттік диск т.с.с.).

КЭШ жады - процессор мен жедел жад арасында буфер ретінде пайдаланылатын, мәліметтер алу (қатынас құру) уақыты жедел жадқа қарағанда өте жылдам жад түрі

Жедел жады - берілген мезетте атқарылатын программалар мен оларға дер кезінде қажетті мәліметтерді сақтайтын электрондық жад.

Жылжытқыш - санды жылжыту операциясын орындайды (оңға жылжытқыш, солға жылжытқыш).

Информация - таңбалар мен сигналдар түрінде берілген зат немесе адам туралы мағлұмат, есептеу техникасында ЭЕМ-ге енгізіліп, оның жадында сақталатын, қажет кезінде өнделетін және сыртқы ортаға шығарылатын мәліметтер.

Инверсия - Логикалық терістеу

Интегралдық сұлба - Жүйедегі элементтердің бірыңғай корпуска конструктивтік тұрғыдан орналастырылуы.

Кодтау (Кодировка) - 1. Мәліметтерді олардың кодтық комбинацияларымен бейнелеу немесе мәліметтер элементі мен символдар жиынының кодтық комбинацияларын сәйкес келтіру.
2. Нақты сипаттамаларды программаға түрлендіру.

Квайн әдісі - Ықшамдауға арналған әдістердің бірі

Кері код Санның таңбалық разрядына 1 жазылады, сандық бөліктердегі 1-лер 0-мен, 0-дер 1-мен ауыстырылады.

Көп есептілік (Многозадачность) - операциялық жүйенің бір мезетте бірнеше тапсырманы орындау қабілеттілігі.

Конфигурация - белгілі бір жүйені оның нақты сипаттарын, құрылғылар құрамын, өзара байланыстарын және олардың функционалдық элементтерінің негізгі сипаттамаларын анықтай отырып орналастыру; аппараттық құралдардың және олардың бір-бірімен байланысу мүмкіндіктері жиыны; көрсетілген кешенге немесе жүйеге қосылатын құралдар тізімі.

Конъюнкция - Логикалық көбейту

Қосындылағыш Екі санды қосу құрылғысы

Қосымша код - Санның таңбалық разрядына 1 жазылады, санның сандық бөлігіндегі 1-лер нөлмен, 0-дер 1-мен ауыстырылып, ең кіші разрядына 1 қосылады.

Логика алгебрасының функциялары - Екілік айнымалылар жиынтығымен анықталатын және өздері 0 немесе 1 мәнді қабылдайтын функциялар.

Математикалық үлгі (Математическая модель) - 1.Объектінің қызметін және құрылымын сипаттайтын математикалық байланыстар жүйесі. 2. Математикалық формулалармен және тендеулермен өрнектеу арқылы кез келген объектіні математикалық түрде сипаттау.

Объект - бізді қоршаған нақты ақиқаттықтың зат, процесс, құбылыс бөлігі.

Ондық сан - Табиғи формада берілген, араб цифрларымен берілген сандар.

Процессор қосалқы (Сопроцессор) - негізгі процессордың функционалдық мүмкіндіктерін толықтыратын арнайы процессор

Позиция - Санның орналасқан орыны

Программа - өңделуге тиісті реттелген командалар тізбегі; есепті шешу алгоритмін сипаттайтын программалау тілінің сөйлемдер тізбегі.

Разряд - Бір биттік орын.

Сандар форматы (Формат чисел) - сандарды бейнелеу (ұсыну) түрі.

Санау жүйелері - Кез келген санның қайсыбір символдар (цифрлар) алфавитімен өрнектелу тәсілі

Тұрақты жад (Память постоянная) - ЭЕМ жұмысы барысында мазмұны өзгертілмейтін жад. Әдетте бұл жадқа мәліметтер оны дайындап жатқан кезде жазылады.

FAT (File Allocation Table) - каталогтар мен файлдардың орналасуы жөніндегі мәлімет саталатын дискінің арнаулы бөлігі.

FDC (Floppy Disk Controller) - иілгіш магниттік дискілі жинақтауыштың (флоппи-дискководтың) контроллері.

FDD (Floppy (иногда Flexible) Disk Drive) - иілгіш магниттік дискілі жинақтауыш (флоппи-дискковод).

HDC (Hard Disk Controller) - қатты дискінің контроллері.

HDD (Hard Disk Drive) - қатты дискі, винчестер. Операциялық жүйенің, әртүрлі қолданбалы бағдарламалардың файлдарын ұзақ уақытқа тұрақты сақтауға қолданылатын құрылғы.

Host Bridge - PCI шинасын жүйелік шинаға (процессордың шинасына) жалғастыруға қолданылатын бас көпір.

ID (Identification Number) - тәуелді нөмір. Мысалы, құрылғының тәуелді нөмірі.

IDE (Integrated Drive Electronics) - АТА интерфейсті қатты дискінің аталуы. Дискінің басқару электроникасы винчестердің өзінде болады.

IEEE 1284 - SPP, EPP и ECP тәртіптері сипатталған LPT портының спецификациясы.

INT (Interrupt) - үзіліс.

INT13 (Interrupt 13) - DOS-тың дискілермен жұмыс кезінде қолданылатын бағдарламалық үзілісі.

I/O (Input/Output) - мәліметтер ағынын, адресстерді және т.б. енгізу-шығару.

IR Connector - аналық тақтаның инфрақызыл датчикті жалғауға арналған түйіндері.

IrDA (Infrared Data Association) – шеткергі баяу құрылғыларды сымсыз жалғастыратын инфрақызыл портты интерфейсін аталуы.

IRQ (Interrupt Request) – орталық процессордың құрылғыға назар бөлуін қажеттейтіндігін білдіретін компьютердің бір компонентінен шығатын сигнал.

Jumpер (перемычка) - тізбекті электрлік тұйықтау арқылы аппараттық жолмен мінездемелерді өзгертуді қамтамасыз ететін кішкене түйіндік пластина.

L1 (Level 1) - кэш-жадының бірінші деңгейінің қысқартылған белгісі (көбінесе орталық процессорға қатысты болады).

L2 (Level 2) – кэш-жадының екінші деңгейінің қысқартылған белгісі (көбінесе орталық процессорға қатысты болады).

L3 (Level 3) - кэш-жадының үшінші деңгейінің қысқартылған белгісі (көбінесе орталық процессорға қатысты болады).

LAN (Local Area Network) - жергілікті есептеу желісі немесе ЖЕЖ.

Large - LBA режимін қуаттамайтын, сыйымдылығы 1 Гбайтқа жетпейтін қатты дискілердің секторларын адрестеу тәсілі.

LBA (Logical Block Addressing) - компьютерге сыйымдылығы 504 Мбайттан асатын қатты дискілерді қолдауға мүмкіндік туғызатын технология.

LPT (Line Printer) - дербес компьютердің параллель портының белгіленілуі.

Motherboard - дербес компьютердің негізгі тақтасы, аналық тақта деп те аталады.

NMI (Non-Maskable Interrupt) - маскіленбеген үзіліс.

Normal - параллель порттың SPP-ға сәйкес жұмыс тәртібі.

NVRAM (Random Access Memory) - энергияға тәуелді жады.

Overclocking - "үдету".

Parity - жұптық, мәліметтердің бүтіндігін тексеретін тәсілдердің бірі.

PC (Personal Computer) - ДК (дербес компьютер).

PC800 - өткізгіштік қабілеті 800 Мбит/сек RDRAM-ды белгілейтін термин.

PC1066 - өткізгіштік қабілеті 1066 Мбит/сек RDRAM-ды белгілейтін термин.

PC1600 - мәлімет тасымалдау жиілігі 200 МГц, өткізгіштік қабілеті 1600 Мбит/сек DDR SDRAM-ды белгілейтін термин.

PC2100 - мәлімет тасымалдау жиілігі 266 МГц, өткізгіштік қабілеті 2100 Мбит/сек DDR SDRAM-ды белгілейтін термин.

PC2700 - мәлімет тасымалдау жиілігі 333 МГц, өткізгіштік қабілеті 2700 Мбит/сек DDR SDRAM-ды белгілейтін термин.

PC3200 - мәлімет тасымалдау жиілігі 400 МГц, өткізгіштік қабілеті 3200 Мбит/сек DDR SDRAM-ды белгілейтін термин.

RAM (Random Access Memory) - уақытша сақталынатын мәліметтерге арналған жады түрі.

SB Pro (Sound Blaster Pro) - Creative Labs-тың алғашқы 8-биттік дыбыстық тақтасы.

SDRAM (Synchronous Dynamic RAM) - асинхронды жадыдан (FPM/EDO/BEDO) жылдам жұмыс істейтін синхронды қол жеткізуші жады.

SIMM (Single In line Memory Module) - қысқашты ажыратқыға орнатылатын жады модулі.

Slot - тақталар орнатылатын ажыратқыларды белгілеуге арналған термин. Сыртқы түрі жырықша ажыратқы. Процессорды, жадыны және т.б. құрылғыларды орату үшін пайдаланылады.

Socket - аналық тақтаға тігінен орналасатын микросхемаларға арналған ажыратқы түрі.

SPD (*Serial Presence Detect*) – чиптің мінездемесі мен өндіруші туралы мәліметтерді сақтайтын арнаулы жады модулі.

SPP (*Standard Printer Port*) - параллель порттың мәліметтерді бір бағытта тасымалдаумен сипатталатын жұмыс тәртібі.

Trigger - ағытқыш ілмек.

VGA (*Video Graphics Array*) - монитор мен бейнеадаптердің түрі.

VESA (*Video Electronics Standards Association*) - жергілікті VLB шинасының стандарты.

XMS (*Extended Memory Specification*) – кеңейтілген жадыны пайдалануға мүмкіндік беретін стандарт.

Асинхронды RS – триггер екі немесе–терістеу болмаса және-терістеу логикалық элементтерінен құрастырылады.

Дешифратор (*decoder*) - бұл кірмелеріне түскен сигналдарды бір шықпасындағы сигналға түрлендіретін түйін.

Регистрлер - Триггерлерден құрылған, негізгі атқаратын қызметі екілік жүйеде келтірілген разрядты цифрлар түріндегі сандарды қабылдауға және сақтауға арналған операциялық элементті регистр деп атайды.

Шифратор (*кодтаушы*) - кірмелердің біреуіндегі бірлік сигналдар n разрядты екілік кодқа түрлендіреді.

Логика - ойлаудың заңдылықтары мен формаларын зерттейтін ғылым (тұжырым жасау тәсілдерін зерттейді).

Мультиплексор – бұл паралель цифрлық кодтарды тізбектік кодтарға түрлендіруші түйін.

Буфер - мәліметтер уақытша сақталатын, компьютер жадының бөлігі.

Жіберу-қабылдау – бір операциялық элементтен екіншісіне санның кодын көшіріп жазу.

Жүйелік шинаның жиілігі - орталық процессордың сыртқы тізбектермен жұмыс жиілігі. Осы жиілікте көбінесе жедел жадының модульдері де жұмыс атқарады.

Контроллер - нақты құрылғы типінің жұмысын мақсатталған аппараттық жабдық.

Қосу – екілік кодтағы екі санның қосындысын табу.

Ішкі жиілік - орталық процессордың жұмыс жиілігі. Сыртқы жиіліктен ерекшелігі жады жүйесі жұмысына тікелей әсері жоқ.

Біғыстыру – код разрядтарының бастапқы орналасуының өзгертілуі.

Өткізгіштік қабілеті - өткізу жолы арқылы бір секундта өтетін битпен өлшенген мәліметтер көлемі.

Үйлесімділік - компьютердің бір электрондық компонентінің басқа компоненттен мәліметтер қабылдап және оны түрлендірмей өңдеу қабілеті.

Сопроцессор — орталық процессорға кіріктірілген немесе бөлек чип түрінде жасалған және математикалық есептеулерді жүргізуге арналған микросхема.

Синхронды D-триггер - RS-триггердің кемшіліктерінен арылады. D-триггер RS-триггерден және екі логикалық элементтің комбинациялық кірмелік схемасынан тұрады.

Санаушы T-триггер - бір кірмесі және екі шықпасы бар. Мұндай триггердің шықпаларындағы ақпарат кернеудің T кірмесіндегі әрбір оң аунауында кері мәнге өзгертіндіктен санаушы триггер кірмелік сигналдың жиілігін бөлуші ретінде қолданылады.

Санау – операциялық элементтің кірмесіне импульстық тізбек түскен кездегі сан кодының өсуі немесе кемуі.

Санауыш деп кірмесіне түскен импульстерді санын есептейтін тізбектелген амалды операциялық элементті атаймыз.

Сыртқы жиілік - жүйелік шинаның жиілігі. Осы жиілікте жады жүйесі жұмыс атқарады.

Сумматор - екі санның арифметикалық қосындысын алу арналған құрылғы.

Триггер - екі орнықты күйі бар және сыртқы сигналдың әсерінен бір күйден екінші күйге секіріп өте алатын құрылғы.

Триггер – ақпаратты жазуға және сақтауға арналған, екі орнықты жағдайы бар құрылғы.

Тағайындау – операциялық элементке кез келген тұрақтылық екілік кодының жазылуы. Мысалы, санауыштың барлық разрядтарына нөл жазу, нөлді тағайындау.

Түрлендіру – сан кодының бір жүйеден екінші жүйеге ауыстырылуы.

Таратылу – көптеген ақпарат көзінен бір қабылдаушыға немесе бір ақпарат көзінен бірнеше қабылдаушыларға сигналдар жіберу.

Форм-фактор - құрылғының, мысалы аналық тақтаның, жүйелік блоктың және қатты дискінің физикалық конструкциясын (габаритін) сипаттайтын ұғым.

Цифрлық компаратор – A және B екі көп разрядты екілік сандарды салыстыруға арналған түйін.

Әдебиеттер тізімі

1. А.Тарковский. BIOS. Санкт-Петербург «БХВ-Петербург», 2004 г.
2. С.Мюллер. Ремонт и модернизация ПК. Москва Санкт-Петербург. Киев 2004г.
3. Тынымбаев С.Т. Вычислительные машины, системы, комплексы и сети. Учебник для вузов. 2-ое издание. – Алматы: Рауан, 1997-480с.
4. В.С. Янпольский. Основы автоматизации и вычислительной техники. Москва. «Просвещение» 1991 г.
5. Айтқожаева Е.Ж. Цифрлық автоматтардың қолданбалы теориясы. Оқулық. – Алматы: Рауан, 1992-274с.
1. А.В.Могилев, Н.И.Пак, Е.К.Ханкер. Информатика, М., 2000г.
2. С.Симонович, Г.Евсеев. Практическая информатика. М., 1999г.
3. Информатика. Под ред. Макаровой. М. Финансы и статистика, 1997г.
4. Таненбаум Э. Архитектура компьютера. СПб.: Питер, 2003 – 704с: ил.
5. Харвей Г. Word для «чайников», 1998 г., М,
6. Левин А.В. Самоучитель работы на компьютере, 1997г., М.
7. Исакова А.К. Введение в информатику. Учебное пособие, Алматы, 1999г.
8. MICROSOFT OFFICE 97. Наглядно и конкретно. Пер.с англ.-М., Издательский отдел «Русская редакция», 1997.
9. Эффективная работа с MS Excel 2000. Додж М. МП. – 1056 с.
10. Молчанов А.А. Моделирование и проектирование сложных систем. К.: Выща школа, 1988.
11. Неуймин Я.Г. Модели в науке и технике. История, теория и практика. Л.: Наука, Ленинградское отд., 1984.

12. Гук М. Аппаратные средства IBM PC. – СПб.: Питер, 2002 -928с: ил. Тынымбаев
13. А. Гук. Процессоры фирмы Intel от 8086 до PENTIUM II. - Санкт-Петербург: Питер-Пресс, 1998г.
14. Моделирование обучения и поведения. М.: Наука, 1975.
15. Шрейдер Ю.А. О понятии «математическая модель языка». М.: Знание, 1971.
16. Хамахер К., Вранешич З., Захи С. Организация ЭВМ. – СПб.: Питер, 2003 – 848с: ил.
17. Успенский В.А., Семенов А.Л. Теория алгоритмов: основные открытия и приложения. М.Наука, 1987.